석사학위논문

KA 밴드 SPDT 스위치 설계

2023년 2월 22일

전 북 대 학 교 대 학 원

전 자 정 보 공 학 부

이 재 훈

KA 밴드 SPDT 스위치 설계

Design of a KA band SPDT switch

2023년 2월 22일

전 북 대 학 교 대 학 원

전 자 정 보 공 학 부

이 재 훈

KA 밴드 SPDT 스위치 설계

Design of a KA band SPDT switch

지도교수 정 용 채

이 논문을 공학 석사 학위논문으로 제출함.

2022년 10월 19일

전 북 대 학 교 대 학 원

전 자 정 보 공 학 부

이 재 훈

이 재 훈의 석사학위논문을 인준함.

위 원 장	전북대학교 부교수	임동구 (인)
부위원장	전북대학교 부교수	박석환 (인)
위 원	전북대학교 교수	정용채 (인)

2023년 1월 3일

전 북 대 학 교 대 학 원

- 목 차 -

ABSTRACT

1. 서론 1

2. **PIN 다이오드 이론** 3

2.1 PIN 다이오드 특징 3

2.2 삽입 손실과 격리특성 6

3. **SPDT 스위치 이론** 10

3.1. SPDT 스위치 구조 10

3.1.1. Series형 SPDT 스위치 11

3.1.2. Shunt형 SPDT 스위치 12

3.1.3. SPDT 스위치 이론 13

4. **PIN 다이오드 SPDT 스위치 설계** 15

4.1. SPDT 스위치 설계 사양 15

4.2. PIN 다이오드 정합 및 바이어스 단일화 16

4.3. 제안된 PIN 다이오드 SPDT 스위치 20

5. 결론 26

참고문헌

- 그 림 목 차 -

그림 2.1. 일반적인 PIN 다이오드: (a) 구조, (b) 순방향 바이어스 인가시 등가회로 및 (C) 역방향 바이어스 인가시 등가회로 3

그림 2.2. 2단자 네트워크 구성: (a) 직렬연결과 (b) 병렬연결 6

그림 3.1. 스위치 구조 분류 예시: (a) SPST 스위치, (b) SPDT 스위치 및 (c) DPDT 스위치 10

그림 3.2. 일반적인 series형 SPDT 스위치의 구성 11

그림 3.3. 일반적인 shunt형 SPDT 스위치의 구성 12

그림 3.4. 일반적인 series-shunt형 SPDT 스위치의 구성 13

그림 4.1. 구조별 특성 비교: (a) 삽입 손실과 (b) 격리 특성..... 15

그림 4.2. 동작 주파수에서 PIN 다이오드의 “On”/“Off” 스미스차트 결과: (a) 직렬연결과 (b) 병렬연결 17

그림 4.3. 등가 인덕터로 대체된 병렬 공진 회로 18

그림 4.4. 병렬 공진 회로를 이용한 LC 공진기를 통해 정합한 다이오드의 스미스차트 결과: (a) 직렬연결과 (b) 병렬연결 18

그림 4.5. 단일 바이어스 선로를 적용한 SPDT 스위치의 회로도 19

그림 4.6. 제안한 SPDT 스위치의 회로도 20

그림 4.7. 동일한 성능을 갖는 정합회로 크기 비교 21

그림 4.8. 바이어스 패드 개수 변화에 따른 삽입 손실 및 격리 특성 비교

..... 22

그림 4.9. PIN 다이오드 SPDT 스위치의 레이아웃 24

- 표 목 차 -

표 4.1. 제안된 SPDT 스위치의 회로와 레이아웃 시뮬레이션 결과 비교 25

표 4.2. 선행 연구 결과와 제안된 SPDT 스위치 성능 비교 25

ABSTRACT

Design of a KA band SPDT switch

Jaehun Lee
Division of Electronics and Information Engineering
The Graduate School
Jeonbuk National University

In this research, the SPDT(Single pole double throw) switch for KA-band is designed. The proposed switch is unequal structure that provides high isolation and low insertion loss characteristics. For characteristic analysis, equivalent circuit of PIN diode is studied and own characteristics according to structure are presented.

Proposed SPDT switch is designed using PIN diodes. PIN diodes cam be used in high frequency band according to their small junction capacities, which have little impact on communicate operation. It is unequal structure in which the transmit stage and the receive stage are different. In order to reduce the non-ideality of the PIN diode, matching was performed using a LC matching circuit for each diode stage. The LC matching circuit uses a parallel resonance circuit instead of an inductor, and the size can be effectively reduced. In addition, the bias pads were unified to reduce whole circuit size. The SPDT switch using PIN diode operates at a center frequency of 39 GHz. And the design used a 0.1μm pHEMT process was verified using the ADS simulation tool. From the simulation results, the proposed switch achieves low insertion loss and high isolation characteristic at transmit and receive stage.

Keyword : LC matching, PIN diode, SPDT, Unequal structure.

1. 서론

무선 통신 기술의 발달로 최근 밀리미터파 대역에 관한 연구가 활발히 진행 중이다. 기존에는 주파수 자체의 특성과 기술적 한계에 부딪혀 실제 상용이 어려웠지만, 넓은 대역 확보의 필요성과 기기의 소형화 등의 이유로 높은 주파수 대역의 이용은 선택이 아닌 필수이다.

무선 이동 통신 시스템의 하나의 기술인 고정형 무선 전송 기지국(Fixed Wireless Access: FWA) 기술은 최근 가전기기도 많이 적용되고 있으며 활용 범위는 점차 넓어지고 있다. FWA의 구성 요소 중 하나인 프론트 엔드 모듈(Front-End Module: FEM)은 FWA의 성능을 구분 짓는데 중요하다. SPDT(Single pole Double throw) 스위치는 송수신 시스템의 전반적인 동작을 제어하기에 FEM에 필수적이다.

SPDT 스위치는 안테나단으로 들어오는 신호를 수신단으로 전달해주고 송신단으로부터 입력된 신호를 수신단에 영향 없이 안테나단으로 전달해 주는 역할을 한다. 그러므로 송수신단 혹은 안테나단 간의 삽입 손실, 반사 손실, 격리 특성 및 동작 전력 능력을 중요한 설계 규격으로 판단한다.

기술의 발전으로 최근 밀리미터파 대역에서 사용 가능한 스위치들이 많은 논문을 통해 발표되고 있다. V 밴드(50 - 75 GHz)와 W 밴드(75 - 110 GHz) 전대역에서 낮은 삽입 손실을 갖는 MMIC(Monolithic Microwave Integrated Circuit) 기반 스위치[1], CMOS의 기생성분의 변화를 최소화 시켜 15 GHz의 넓은 대역폭에서 최대 1.29 dB의 삽입 손실, 최소 41.1 dB의 격리도를 갖는 스위치가 제안되었다[2]. DC - 38 GHz의 대역에서 0.18 μm CMOS 공정을 이용하여 높은 선형성을 갖는 스위치가 제안되었다. 해당 스위치는 31-38 GHz 대역에서는 최대 4.5 dB의 삽입 손실과 최소 24.3 dB의 격리 특성을 갖는다[3]. [4]에서는 GaN HEMT 공정을 이용하여 24 - 30 GHz 대역에서 최대 1.5 dB의 삽입 손실과 최소 28 dB의 격리 특성를 갖는 스위치를 제안하였고 필요와 목적에 맞게 공정 혹은 소자를 선택하여 설계가 되었다.

트랜지스터를 이용한 스위치는 설계자가 중점을 두는 특성에 따라 트랜

지스터의 구조를 직렬 혹은 병렬 연결하여 원하고자 하는 성능을 얻는다. 직렬연결의 경우 광대역 특성을 얻을 수 있으며 병렬연결의 경우 높은 격리도 특성 혹은 낮은 삽입 손실을 얻을 수 있다[5].

일반적으로 PIN 다이오드를 이용한 SPDT 스위치의 경우 수신단과 송신단의 구조가 동일한 대칭형 구조를 이루고 있다. 대칭 구조를 통해 전반적으로 준수한 성능을 얻을 수 있지만, 비대칭 구조를 이용한다면 각 단에서 주안점으로 보는 특성에 대해서 이점을 얻을 수 있다[6].

본 논문에서는 39 GHz의 중심주파수로 Ka 밴드에서 동작하는 SPDT 스위치를 설계하였으며, PIN 다이오드를 이용하여 SPDT 스위치의 동작을 구성하였다. 또한 각각의 다이오드에 LC 정합회로를 이용하여 최대한 이상적으로 동작할 수 있도록 정합을 시켜주었다. 제안된 회로는 비대칭 구조를 사용하여 중심 주파수 39 GHz에서 2.17 dB의 삽입 손실과 42 dB의 격리 특성을 갖는다.

본 논문의 전체적인 구성은 다음과 같다. 2장에서는 PIN 다이오드 이론에 대해서 확인하고 3장에서는 SPDT 스위치의 동작 원리, 구조 비교 등을 확인하여 설계하고자 하는 SPDT 스위치를 제시한다. 4장에서는 제안한 PIN 다이오드 SPDT 스위치의 설계 과정과 시뮬레이션 측정 결과를 나타내고 선행 연구와 비교하였다. 마지막으로 5장에서는 연구 결과에 대한 결론을 맺었다.

2. PIN 다이오드 이론

2.1. PIN 다이오드 특징

다이오드는 가장 간단하고 기초적인 비선형 회로 소자이다. 다이오드는 광 다이오드 (Photo diode), 쇼트키 다이오드(Schottky diode), 정전압 다이오드 (Zener diode) 등 필요한 상황에 따라 선택하여 사용할 수 있다. 그중 PIN 다이오드는 RF 및 밀리미터파 대역에서 널리 사용되는 반도체 소자이다. 이는 PIN 다이오드의 구조적 특징에 의해 설명이 가능하다. 그림 2.1.(a)는 PIN 다이오드의 구조를 나타내고, 2.1.(b)와 2.1.(c)는 각각 순방향과 역방향 바이어스가 인가된 상태의 PIN 다이오드의 등가회로를 나타낸다[7].

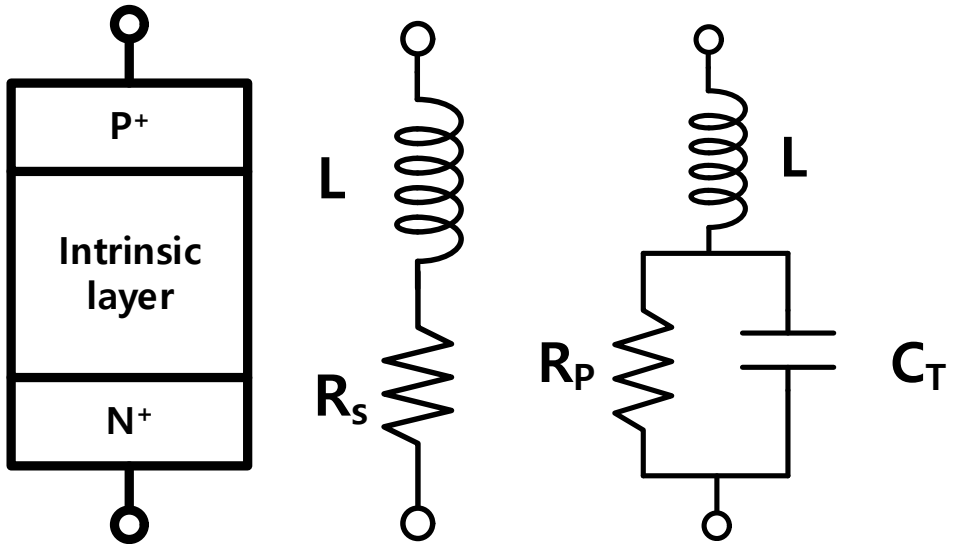


그림 2.1. 일반적인 PIN 다이오드: (a) 구조, (b) 순방향 바이어스 인가시 등가회로, (c)역방향 바이어스 인가시 등가회로.

Fig 2.1. Conventional PIN diode: (a) structure, (b) equivalent circuit with forward bias (c) equivalent circuit with reverse bias.

PIN 다이오드는 그림 2.1.(a) 에 나타낸 것처럼 별개의 세 층 구조를 가진 소자이다. 그 세 층은 높게 도핑된 p^+형 얇은 층, 상대적으로 두꺼운 진성(i-Si)층, 높게 도핑된 n^+형 얇은 층이다. PIN 다이오드는 공핍층 커패시턴스가 매우 작다는 장점이 있다. 일반적인 PN 다이오드의 공핍층 폭보다 PIN 다이오드 소자 내 진성층의 폭이 더 넓기 때문에 PIN 다이오드는 더 높은 항복 전압을 가지고 있다. 이는 높은 항복 전압이 요구되는 회로를 구성할 때 유용하게 이용할 수 있는 특징이다[8].

진성층의 두께가 얇을수록 빠른 스위칭 속도를 나타나고 진성층의 두께가 두꺼우면 높은 항복 전압을 가져 왜곡 특성이 적은 특징이 있다. 따라서 필요에 따라 적절한 특성을 갖는 PIN 다이오드를 선택하여 사용이 가능하다[9].

일반적으로 PIN 다이오드의 특성은 해당 다이오드의 물리적 계수에 따라 결정된다[10]. 순방향 바이어스가 인가될 때 유입된 전하들은 역방향 바이어스가 인가된 상황에서 재결합하기까지 일정 시간 존재한다. 이 일정 시간을 캐리어 수명(τ)이라 칭한다. PIN 다이오드에 흐르는 전류를 순방향 전류(I_F)라 정의하면, I_F는 순방향 바이어스가 인가되었을 때 진성층에 유입되어 축적된 전하의 양과 다이오드 전체 전류에 비례한다. 축적된 전하는 캐리어 수명에 비례한다. 이는 (2-1-1) 식으로 나타낼 수 있다. 다이오드에 일정한 전류가 인가된다면 축적된 전하는 일정하고, 이는 캐리어 수명과 축적된 전하에 대한 전류식 (2-1-2)로 간략하게 정리할 수 있다.

$$\frac{dQ}{dt} = I_F - \frac{Q}{\tau} \qquad [\mathrm{A}] \qquad (2\text{-}1\text{-}1)$$

$$I_F = \frac{Q}{\tau} \qquad [\mathrm{A}] \qquad (2\text{-}1\text{-}2)$$

PIN 다이오드 내 진성층 영역의 저항은 반도체의 저항률에 따른 수식을 이용하여 구할 수 있다. 반도체의 저항률 식에 PIN 다이오드의 경우를 나타내면 식 (2-1-3)처럼 나타낼 수 있다.

$$R_S = \frac{1}{Q(\mu_N N + \mu_P P)} \cdot \frac{T_I}{A_I} \quad [\Omega] \quad (2\text{-}1\text{-}3)$$

여기서 μ_N과 μ_P는 각각 전자와 정공의 이동 속도이고, N과 P는 전자와 정공의 농도, A_I와 T_I는 진성층의 너비와 두께이다. 식 (2-1-3)을 통해 진성층에 전하가 많이 쌓을수록 R_S는 낮아지는 반비례 관계임을 확인할 수 있다.

진성층의 전체 전하양 Q는 다음 식 (2-1-4)와 같이 표현할 수 있다.

$$Q = q(N+P)A_I T_I \quad [C] \quad (2\text{-}1\text{-}4)$$

식 (2-1-4)를 식 (2-1-2)에 대입하여 정리하면 식 (2-1-5)를 얻을 수 있다. 식을 단순화하기 위해 N과 P가 같다고 할 수 있다.

$$I_F = \frac{2qNA_I T_I}{\tau} \quad [A] \quad (2\text{-}1\text{-}5)$$

식 (2-1-3)을 식 (2-1-5)을 이용하여 치환하여 정리하면 식 2-1-6을 얻을 수 있다. 이는 순방향 바이어스가 인가되었을 때 PIN 다이오드의 직렬 저항(R_{SF})을 의미한다.

$$R_{SF} = \frac{T_1^2}{2\mu\tau I_F} \quad [\Omega] \quad (2\text{-}1\text{-}6)$$

단순화를 위해 전자와 정공의 농도 및 이동도의 차이가 거의 없다고 가정하였다. μ는 전자와 정공의 평균이동도이다. 식 (2-1-6)을 통해 순방향 바이어스 인가량이 커질수록 PIN 다이오드의 저항은 낮아짐을 확인할 수 있고 진성층의 두께와 너비 등 역시 PIN 다이오드 선택에 있어 중요한 요인임을 짚고 넘어갈 수 있다.

반대로 역방향 바이어스가 인가되었을 때 혹은 바이어스가 인가되지 않았을 때는 PIN 다이오드를 통한 전류의 흐름은 없다. 즉 무한대의 저항으로 동작하는 것을 의미한다. 다만 이는 이상적인 경우이고 실제로는 약간의 전류 누출이 존재한다. 이 경우에 병렬 저항(R_P)이 존재하고 진성층이 병렬 평판 캐패시터 역할을 하여 전체 캐패시터(C_T)가 나타나게 된다.

이러한 구조적 특징으로 인해 PIN 다이오드는 바이어스 인가 방향에

따라 그림 2.1.(b)와 2.1.(c)와 같이 다른 등가회로를 얻을 수 있다. 또한 인가되는 바이어스의 방향에 따라 다른 임피던스 값을 갖게 되며, 스위치로써 동작할 수 있다.

2.2. 삽입 손실과 격리특성

SPDT 스위치는 기본적으로 큰 송신 신호가 수신단에 영향이 적게 끼쳐야되고 수신되는 신호는 최대한 손실 없이 수신단에 도달해야한다. 그렇기에 삽입 손실(Insertion Loss: IL)과 격리 특성(Isolation: IX)은 스위치의 주요 특성 중 하나이다.

스위치를 구성하기 위해선 PIN 다이오드를 직렬 혹은 병렬로 연결하여 사용하게 된다. 그림 2.2.의 2단자 네트워크 구성에 PIN 다이오드의 임피턴스 값을 넣어 필요한 특성값을 구할 수 있다. 삽입 손실은 순방향 바이어스가 다이오드에 인가되었을 때의 등가회로 값을 통해 얻을 수 있고, 격리 특성은 역방향 바이어스가 인가되었을 때의 등가회로 값을 통해 얻을 수 있다[11].

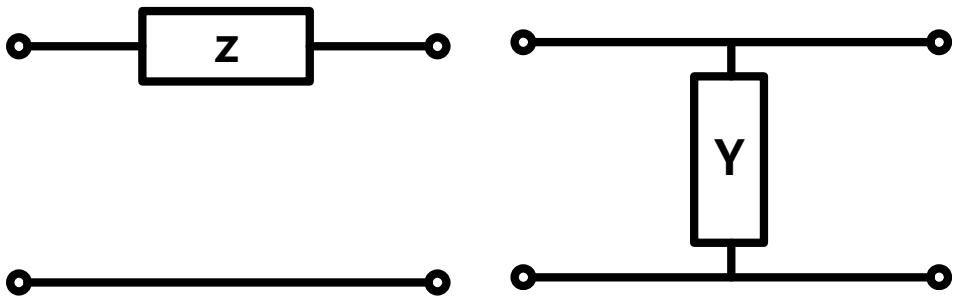


그림 2.2. 2단자 네트워크 구성: (a) 직렬연결과 (b) 병렬연결.
Fig 2.2. 2 port network: (a) series connection and (b) parallel connection.

직렬 임피던스에 대한 ABCD 매트릭스와 그를 이용하여 삽입 손실을 구하는 방법은 다음 일반식들로 유도할 수 있다.

$$Z = R + jX \tag{2-2-1}$$

$$\begin{bmatrix} A & B \\ C & D \end{bmatrix} = \begin{bmatrix} 1 & Z \\ 0 & 1 \end{bmatrix} \tag{2-2-2}$$

$$S_{21} = \frac{2}{A + B/Z_0 + CZ_0 + D} = \frac{2}{2 + Z/Z_0} = \frac{2Z_0}{2Z_0 + Z} \tag{2-2-3}$$

$$IL = 20\log\left|\frac{1}{S_{21}}\right| = 20\log\left|\frac{2Z_0 + Z}{2Z_0}\right| = 20\log\left|\frac{2Z_0 + R + jX}{2Z_0}\right| = 20\log\left|(1 + \frac{R}{2Z_0}) + \frac{jX}{2Z_0}\right|$$

$$= 20\log\left[\sqrt{\left(1 + \frac{R}{2Z_0}\right)^2 + \left(\frac{jX}{2Z_0}\right)^2}\right] = 10\log\left[\left(1 + \frac{R}{2Z_0}\right)^2 + \left(\frac{jX}{2Z_0}\right)^2\right] \tag{2-2-4}$$

PIN 다이오드의 직렬연결 상태에서 순방향 바이어스가 인가되었을 때의 임피던스는 그림 2.1.(b)의 값들을 대입하여 다음과 같이 유도할 수 있다.

$$Z_{diode} = R + jX = R_S + jX_L = R_S + j2\pi fL \tag{2-2-5}$$

식 (2-2-5)의 R과 X값을 식 (2-2-4)에 대입하면 삽입 손실에 관한 식 (2-2-6)을 구할 수 있다.

$$IL_{diode} = 10\log\left[\left(1 + \frac{R_S}{2Z_0}\right)^2 + \left(\frac{2\pi fL}{2Z_0}\right)^2\right] = 10\log\left[\left(1 + \frac{R_S}{2Z_0}\right)^2 + \left(\frac{\pi fL}{Z_0}\right)^2\right] \quad [\text{dB}] \tag{2-2-6}$$

역방향 바이어스가 인가되었을 때의 격리 특성은 다음과 같이 유도된다. 전체적인 방법은 순방향 바이어스가 인가되었을 때 삽입 손실을 구하는 방법과 유사하다.

$$R = 0,\ X = X_C = \frac{1}{2\pi fC_T} \tag{2-2-7}$$

식 (2-2-5) 대신 식 (2-2-7)을 식 (2-2-4)에 대입하여 정리해주면 식 (2-2-8)를 얻을 수 있다. 식 (2-2-8)은 역방향 바이어스가 인가된 상태에서는 격리 특성를 의미한다.

$$IX = 20\log\left[\sqrt{1^2+\left(\frac{X_C}{2Z_0}\right)^2}\right] = 10\log\left[1^2+\left(\frac{1}{4\pi f C_R Z_0}\right)^2\right] \quad [\text{dB}] \tag{2-2-8}$$

동일한 방법으로 병렬 연결되었을 때 어드미턴스에 대해서 삽입 손실과 격리 특성을 유도할 수 있다.

우선 병렬 어드미턴스에 대한 ABCD 매트릭스를 통해 삽입 손실의 일반식을 구할 수 있다. 이는 식 (2-2-9)에서 (2-2-11)의 일반식을 통해 식 (2-2-12)의 유도 과정을 확인할 수 있다.

$$Y = G + jB \tag{2-2-9}$$

$$\begin{bmatrix} A & B \\ C & D \end{bmatrix} = \begin{bmatrix} 1 & 0 \\ Y & 1 \end{bmatrix} \tag{2-2-10}$$

$$S_{21} = \frac{2}{A + BY_0 + C/Y_0 + D} = \frac{2}{2 + Y/Y_{x0}} = \frac{2Y_0}{2Y_0 + Y} \tag{2-2-11}$$

$$IL = 20\log\left|\frac{1}{S_{21}}\right| = 20\log\frac{2Y_0+Y}{2Y_o} = 20\log\left[1+\frac{G+jB}{2Y_0}\right] = 20\log\left[1+\frac{G}{2Y_0}+\frac{jB}{2Y_0}\right]$$

$$= 20\log\left[\sqrt{\left(1+\frac{G}{2Y_0}\right)^2+\left(\frac{B}{2Y_0}\right)^2}\right] = 10\log\left[\left(1+\frac{G}{2Y_0}\right)^2+\left(\frac{B}{2Y_0}\right)^2\right] \quad [\text{dB}] \tag{2-2-12}$$

병렬 연결된 다이오드는 순방향 바이어스가 인가된 경우에 격리 특성을 갖고 역방향 바이어스가 인가된 경우 삽입 손실을 갖는다. 이는 다이오드 방향에 따라 설정하기 나름이지만, 일반적으로 음극를 접지 방향으로 배치하여 설계를 진행하기에 같은 상황으로 가정하면 이해하기 편이하다.

병렬 연결된 다이오드에 역방향 바이어스가 인가될 때 다이오드의 어드미턴스를 구하기 위해서 식 (2-2-14)의 값을 갖는 식 (2-2-13)을 식 (2-2-12)에 대입하여 정리하면 식 (2-2-15)를 유도할 수 있다.

$$Y_{diode} = G + jB \tag{2-2-13}$$

$$G = 0, B = \frac{1}{X_C} = 2\pi f C_T \tag{2-2-14}$$

$$IL = 10\log\left[\left(1+\frac{G}{2Y_0}\right)^2+\left(\frac{jB}{2Y_0}\right)^2\right] = 10\log\left[(1)^2+\left(\frac{2\pi fC_T}{2Y_0}\right)^2\right] = 10\log\left[1+\pi fC_T Z_0{}^2\right] \quad \text{[dB]} \qquad (2\text{-}2\text{-}15)$$

같은 방법으로 순방향 바이어스가 인가되었을 때의 격리 특성은 식 (2-2-17)의 값을 갖는 식 (2-2-16)을 식 (2-2-12)에 대입하여 식 (2-2-18)을 얻을 수 있다.

$$Y_{diode} = G + jB \qquad (2\text{-}2\text{-}16)$$

$$G = \frac{R_S}{R_S{}^2 + X_L{}^2},\ B = \frac{X_L}{R_S{}^2 + X_L{}^2} \qquad (2\text{-}2\text{-}17)$$

$$IX = 10\log\left[\left(1+\frac{G}{2Y_0}\right)^2+\left(\frac{B}{2Y_0}\right)^2\right] = 10\log\left[\left(1+\frac{R_S Z_0}{2(R_S{}^2+X_L{}^2)}\right)^2+\left(\frac{X_L Z_0}{2(R_S{}^2+X_L{}^2)}\right)^2\right] \quad \text{[dB]} \qquad (2\text{-}2\text{-}18)$$

3. SPDT 스위치 이론

일반적으로 RF 스위치는 내부 회로의 구조 혹은 접점의 개수에 따라 SPDT(Single Pole Single Throw), SPDT(Single Pole Double Throw), DPDT(Double Pole Double Throw) 등으로 분류할 수 있다. 이에 대해 그림 3.1.로 나타냈다. 통상적으로 SPDT 스위치는 목표로 하는 특성에 따라 몇 가지 소자 혹은 공정 선택의 자유도가 존재한다. 본 논문에서는 PIN 다이오드를 이용한 SPDT 스위치에 대해 다루도록 하겠다.

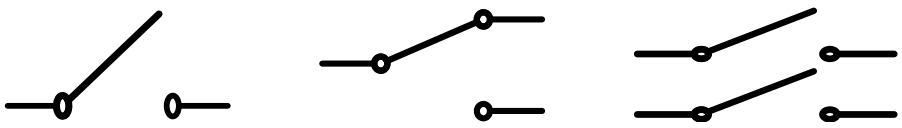


그림 3.1. 스위치 구조 분류 예시: (a) SPST 스위치, (b) SPDT 스위치 (c) DPDT 스위치

Fig 3.1. Examples of switch structure classification: (a) SPST switch, (b) SPDT switch, (c) DPDT switch

3.1. SPDT 스위치 구조

TDD (Time Division Duplexing) 방식을 이용하는 통신 시스템에서 송신단의 전력 증폭기, 수신단의 저잡음 증폭기 및 RF 스위치를 합쳐서 전단부 모듈(Front-end Module: FEM)이라 부른다. 여기서 RF 스위치는 안테나와 송수신단 사이를 스위칭해주는 역할을 하여 신호를 시간에 따라 각 송신단에서 안테나단으로 혹은 안테나단에서 수신단으로 송수신하는 선로 역할을 한다. 그러므로 그 역할을 수행하기에 가장 기본이 되는 구조는 SPDT 스위치이다. 이 스위치는 신호의 방향에 따라 역할이 다르다. 신호를 수신할 때 안테나단에서 수신단으로만 신호가 가게끔 송신단을 격리시켜야 하고 신호를 손실 없이 수신하여야 한다. 그리고 신호를 송신할

경우에는 송신단에서 안테나단으로 신호가 흐를 수 있도록 수신단에 대한 격리가 이루어져야 한다. 삽입 손실과 격리 특성 뿐만 아니라 사용 가능한 대역폭 역시 사용한 PIN 다이오드의 직렬 연결 혹은 병렬 연결에 따라 결정되어 중요한 요소로 여겨진다[12].

3.1.1. Series형 SPDT 스위치

Series형 PIN 다이오드 스위치는 그림 3.2.와 같이 PIN 다이오드가 2, 3번 단자에 직렬로 연결된 형태이다. 이는 가장 기본적인 형태로 설계자의 필요에 따라 다이오드 개수를 변화하는 등의 방법으로 응용할 수 있다.

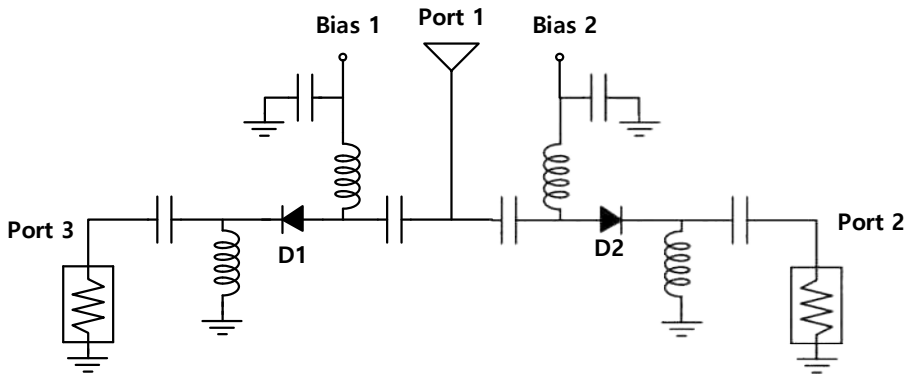


그림 3.2. 일반적인 series형 SPDT 스위치의 구성.

Fig 3.2. Conventional structure of series type SPDT switch.

Series형 SPDT 스위치는 다른 구조의 SPDT 스위치에 비해 비교적 광대역에서 동작한다. 다만 다이오드가 신호 전송에 직접적인 영향을 주기에 shunt형 SPDT 스위치에 비해서는 높은 주파수 대역에서 선형성 특징이 좋지 못해 비교적 낮은 주파수 대역을 위한 SPDT 스위치에 응용된다.

Series형 SPDT 스위치는 PIN 다이오드에 바이어스가 인가되는 방향에 따라 구분하여 동작을 설명할 수 있다. 우선 다이오드 1에 순방향 바이어

스가 인가되고 다이오드 2에 역방향 바이어스가 인가되는 상황이라면, 다이오드 1과 다이오드 2의 동작 상태는 각각 “On”과 “Off”이다. 이상적인 상황이라 가정했을 때 단자 1과 단자 2는 단락되어 있는 상태로 볼 수 있다. 또한 단자 3은 개방된 상태로 볼 수 있으며 이 상태에서는 2.2장에서 설명한 것처럼 다이오드가 “On” 상태이면 식 (2-2-6)과 같은 삽입 손실을 갖고, “Off” 상태이면 식 (2-2-8)과 같은 격리 특성을 보이게 된다. 반대로 다이오드 1에 역방향 바이어스가, 다이오드 2에 순방향 바이어스가 인가되는 상황이라면 각각의 다이오드는 반대의 “Off”와 “On” 상태를 나타내어 스위치가 반대의 동작 상태를 나타내게 된다.

3.1.2. Shunt형 SPDT 스위치

Shunt형 PIN 다이오드 SPDT 스위치는 series형 스위치와 다르게 PIN 다이오드가 단자 간 전송선로에 병렬로 연결된 구조이다. 가장 기본이 되는 회로는 그림 3.3을 통해 확인할 수 있다. 해당 구조 역시 설계자의 의도에 맞춰 다이오드의 개수를 추가하거나, $\lambda/4$ 선로를 이용하여 원하는 성능을 가진 스위치를 설계할 수 있다.

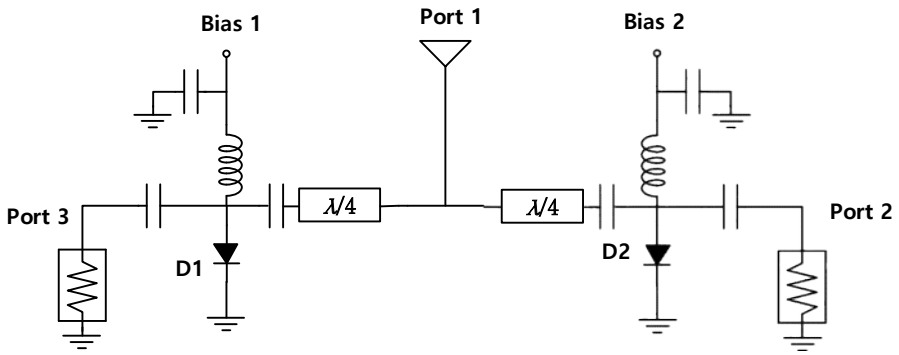


그림 3.3. 일반적인 shunt형 SPDT 스위치의 구성.

Fig 3.3. Conventional structure of shunt type SPDT switch.

Shunt형 SPDT 스위치는 series형 SPDT 스위치와 마찬가지로 가장 기본적인 형태로 설계에 용이하고, series형 스위치에 비교하면 격리 특성이

높게 나타난다. 다만 동작 주파수 대역을 넓히기 위해서는 $\lambda/4$ 선로를 필요로 하고, 이는 회로의 크기가 커진다는 단점이 존재한다.

Shunt형 SPDT 스위치의 동작 역시 바이어스 인가 방향에 따라 나눠서 설명이 가능할 수 있다. 다이오드 1과 다이오드 2에 각각 순방향 바이어스와 역방향 바이어스가 인가되는 상황이라면 다이오드 1은 “On” 상태가 되어 접지된 것처럼 보인다. 이는 단자 2가 나머지 단자들과 격리되어 있음을 판단할 수 있고, 다이오드 2의 경우 “Off” 상태가 되어 단자 1과 단자 3은 단락된 것처럼 보인다. 따라서 이 경우에는 삽입 손실을 갖게 된다. 반대로 다이오드 1과 다이오드 2에 각각 역방향 바이어스와 순방향 바이어스가 인가되는 상황이라면, 반대로 동작하여 단자 2와 단자 1인 단락 된 것처럼, 단자 3 부분은 격리된 것처럼 판단할 수 있다.

3.1.3. Series-shunt형 SPDT 스위치

Series-shunt형 SPDT 스위치는 series형 스위치와 shunt형 스위치의 구조를 적절히 합친 구조로 가장 기본적인 구조를 그림 3.4를 통해 확인할 수 있다. 설계자는 요구에 맞게 다이오드의 병렬연결단의 개수를 늘리는 등 구조적 변화를 줄 수 있다.

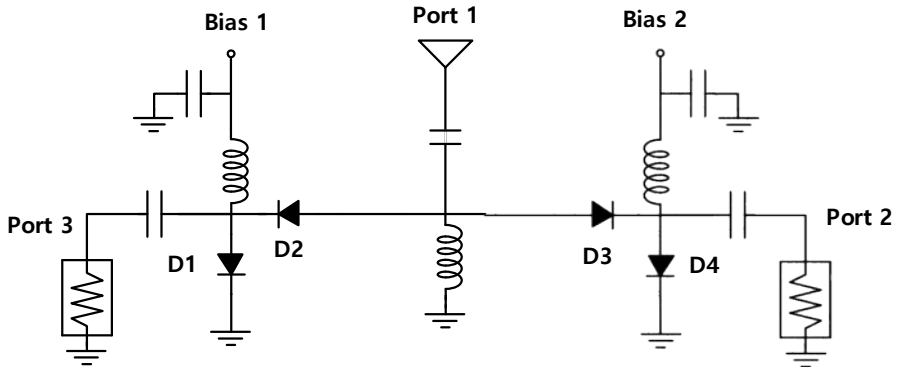


그림 3.4. 일반적인 series-shunt형 SPDT 스위치의 구성.

Fig 3.4. Conventional structure of series-shunt type SPDT switch.

Series-shunt형 스위치는 series형 스위치와 shunt형 스위치의 장단점을

적절히 가진 구조이다. 일반적인 shunt형 스위치보다 광대역 특성을 가지고 있으며, series형에 비해 높은 격리 특성을 가진다. 다만 series-shunt형 스위치는 series형과 shunt형의 구조를 합친 것으로 전체적인 회로의 크기가 크고 설계 및 제작에 있어 기본적인 두 구조에 비해 어려움이 따른다. 또한 series형 스위치와 마찬가지로 고출력의 신호가 인가되면 선형성이 낮아지는 단점을 가지고 있다.

해당 스위치의 역시 해당하는 수신단과 송신단에 각각 순방향과 역방향 바이어스가 인가된다고 가정한다면 동작을 이해하기 편이하다. 그림 3.4.를 기준으로 순방향 바이어스가 다이오드 1에 인가되고 다이오드 4에는 역방향 바이어스가 인가되는 상황이다. 이 상황에서 다이오드 2는 역방향 바이어스가 인가되는 것처럼 보이고, 다이오드 3은 순방향 바이어스가 인가되는 상황이라고 볼 수 있다. 이때, 다이오드 1과 다이오드 3은 “On” 동작을 하게 되고 다이오드 2와 다이오드 4는 “Off” 상태에 놓이게 된다. 더욱 간단하게 다이오드의 동작이 이상적이라 가정하면, 다이오드 3에 의해 단자 1과 단자 3은 단락된 상태이고, 다이오드 2는 개방 상태이므로 단자 2는 격리된 상황임을 알 수 있다. 비이상적인 상황임을 고려한다면 단자 1과 단자 3 사이의 누설되는 신호가 단자 2방향으로 흐를 수 있다. 그러한 신호는 다이오드 1을 통해 접지 처리할 수 있기에 series-shunt형 스위치는 series형 스위치에서 얻은 격리 특성보다 높은 격리 특성을 얻을 수 있다.

반대 경우인 다이오드 1에 역방향 바이어스, 다이오드 4에 순방향 바이어스가 인가되는 경우는 다이오드 2와 다이오드 3에 각각 순방향 바이어스와 역방향 바이어스가 인가된다고 볼 수 있다. 따라서 단자 1과 단자 2는 단락, 단자 3은 격리된 상태로 판단할 수 있다. 마찬가지로 비이상성에 의해 누설된 신호는 다이오드 4를 통해 접지로 빠지게 되어 높은 격리 특성을 얻을 수 있다.

4. PIN 다이오드 SPDT 스위치 설계

이번 장에서는 위의 PIN 다이오드 이론과 SPDT 스위치 이론을 바탕으로 KA 밴드에서 동작하는 SPDT 스위치를 설계하고자 한다. 해당 스위치는 송신단이 동작할 때 수신단에서 높은 격리 특성을 갖고 수신 단이 동작할 때 낮은 삽입 손실 특성을 갖다.

4.1. SPDT 스위치 설계 사양

WIN semiconductors 사의 0.1μm pHEMT 공정을 사용하여 설계를 진행하였다. 동작 주파수는 39 GHz이며 최종 목표 설계 사이즈로는 1200 μm ×1200 μm으로 대역 내 삽입 손실은 3 dB 미만, 격리 특성은 40 dB 이상을 목표로 한다. 통상적으로 PIN 다이오드를 이용한 SPDT 스위치는 3.1장에 제시한 구조들을 기본으로 설계 목표에 알맞게 조금씩 변화시키며 설계를 한다.

구조를 선택하기 위해 가장 기본적인 구조로 3가지 구조에 대해 시뮬레이션 결과를 비교해 보았다. 송신단이 “On” 동작일 때 격리 특성이 잘 이루어지는지와 수신단이 “On” 동작일 때 삽입 손실이 작은지를 주안점으로 뒀다.

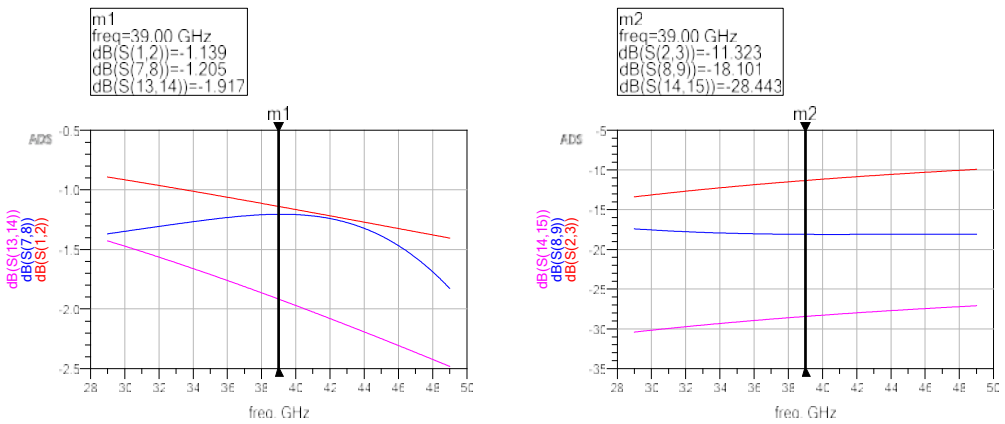


그림 4.1. 구조별 특성 비교: (a) 삽입 손실과 (b) 격리 특성.

Fig 4.1. Characteristics comparison between structures: (a) Insertion loss and (b) Isolation.

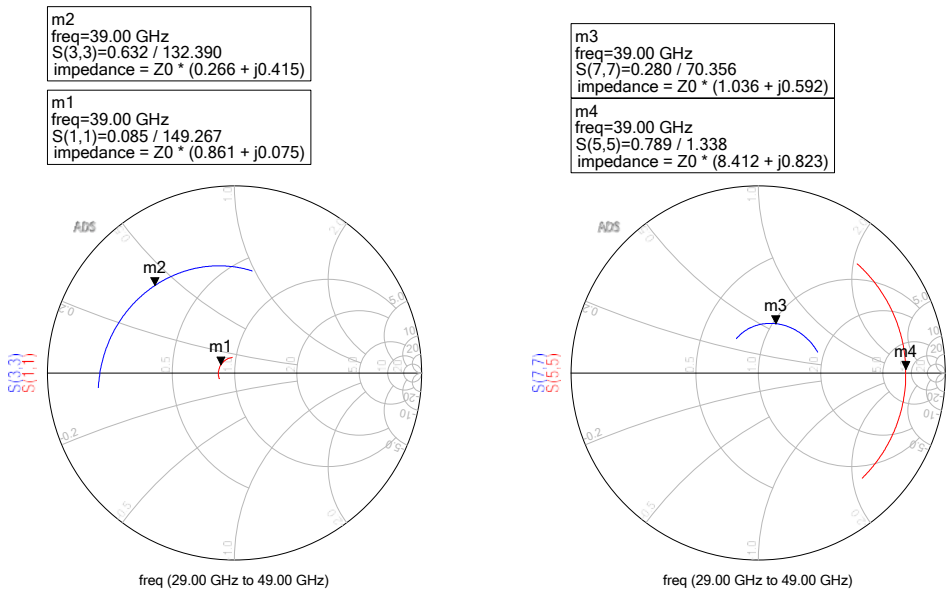
그림 4.1.은 각각 구조별 삽입 손실과 격리 특성를 나타낸 그래프로 동일한 조건에서 구조에 변화를 준 경우로 대략적인 구조의 성능을 확인할 수 있다. 삽입 손실의 경우, series형이 가장 선형적이고 작은 값을 갖고 series-shunt형의 경우 선형적이지만 다른 구조에 비해 다이오드가 많이 이용되고 있기에 그만큼 손실이 크다. 격리 특성의 경우, series형보단 shunt형을 이용했을 때 높은 격리 특성을 얻을 수 있으며 Series-shunt형의 경우가 세 가지 구조 중 가장 높은 격리 특성을 보이는 것을 확인할 수 있다.

대략적인 결과이지만, 목표로 하는 40 dB의 격리 특성에는 부족한 부분이 많다. Shunt형 다이오드 단을 늘려 격리 특성을 높이고, 비대칭 구조를 채택하여 불필요한 삽입 손실에서의 저하를 막고자 한다.

4.2. PIN 다이오드 정합 및 바이어스 단일화

그림 4.2.은 PIN 다이오드의 동작 주파수에서 스미스차트 결과를 보여준다. PIN 다이오드의 “On”/“Off” 동작을 단락과 개방의 개념에서 보기 위해 스미스차트를 확인하면 “Off” 상태이더라도 완벽한 개방 상태가 아니고 “On” 상태이더라도 완벽한 단락 상태가 아니다. 따라서 다이오드 단이 최대한 이상적인 동작을 하게끔 LC 정합회로를 이용하여 정합을 시켰다.

5 - shunt - forward
7 - shunt -reverse



(a) (b)

그림 4.2. 동작 주파수에서 PIN 다이오드의 연결 상태에 따른 “On”/“Off” 스미스차트 결과: (a) 직렬연결과 (b) 병렬연결.

Fig 4.2. Smith chart results for PIN diode operation according to connection: (a) Series connection and (b) Parallel connection.

다만 일반적인 사각 나선형 혹은 나선형 인덕터를 이용하는 것은 회로의 크기를 키우게 되고, 동작 주파수가 높은 상황에서는 삽입 손실이 커지게 된다. 또한 Q-지수가 매우 낮기에 정합회로 자체에서 큰 손실을 얻게 된다. 그에 대한 방안으로 그림 4.3과 같이 필요한 인덕턴스를 갖는 병렬 공진 회로를 사용하였다[13]. 하나의 병렬 캐패시터를 추가하면서 작은 인덕턴스를 통해 큰 등가 인덕터로 동작하게끔 하고, 필요한 작은 인덕턴스는 전송선로 자체의 인덕턴스를 통해 나선형 인덕터 등을 사용하지 않아 효율적인 공간 활용을 할 수 있었다.

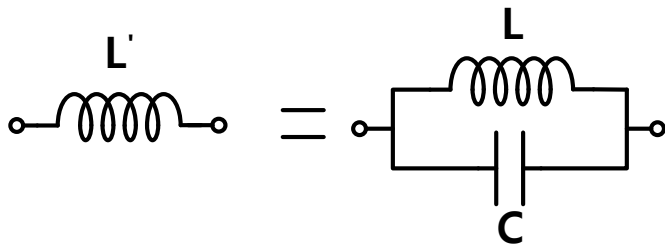
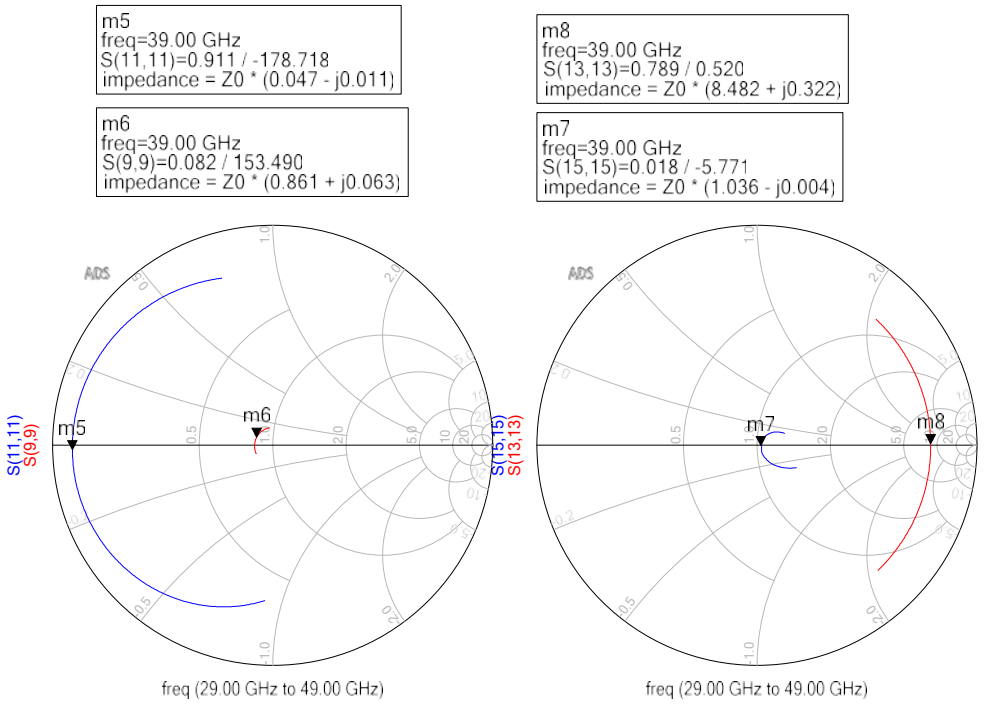


그림 4.3. 등가 인덕터로 대체된 병렬 공진 회로.

Fig 4.3. Replaced parallel resonance circuit for equivalent inductor.



(a) (b)

그림 4.4. 병렬 공진 회로를 이용한 LC 공진기를 통해 정합한 다이오드의 스미스차트 결과: (a) 직렬연결과 (b) 병렬연결.

Fig 4.4. Smith chart result of matched PIN diode by LC matching circuit using parallel resonance circuit: (a) series connection and (b) parallel connection.

회로의 소형화는 회로의 성능을 판단하는 하나의 규격이 될 수 있다. 대체할 수 없는 선로 및 소자를 제외한 나머지 부분에서 최대한 불필요한 부분을 줄여야 같은 회로를 구성하였을 때, 같은 성능을 내며 소형화가 가능하다. 3.1절의 그림 3.2 – 3.4를 예시로 스위치의 단자 2와 단자 3에 직렬 연결된 다이오드 방향이 단자 1을 기준으로 서로 대칭적으로 이루어져있고 병렬 연결된 다이오드의 방향이 일정하기 때문에 각각 다른 바이어스가 인가되어 서로 단자 2와 단자 3의 “On”/“Off” 동작이 교차되는 방식이 가능하다. 시뮬레이션 상에서는 확인할 수 없지만, 레이아웃 단계로 넘어가면 바이어스를 인가해주는 패드의 크기는 전체 레이아웃 크기의 상당한 부분을 차지하기에 이를 줄이는 것은 전체 회로의 크기를 줄이는 데 효과적이다[14]. 하나의 바이어스를 수신단과 송신단이 각각 반대 방향으로 인가되게끔 적절히 다이오드의 방향을 바꾸면 바이어스 패드의 개수를 줄일 수 있다. 이를 적용한 회로도는 그림 4.5.와 같다.

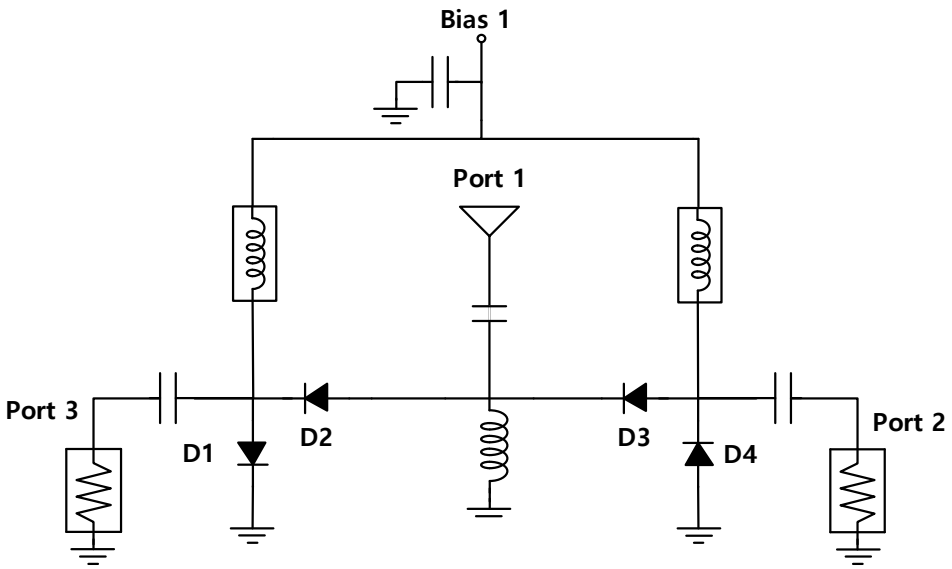


그림 4.5. 단일 바이어스 선로를 적용한 SPDT 스위치의 회로도.

Fig 4.5. Circuit diagram of SPDT switch using unified bias line.

동일한 전압이 인가되었을 때 각 단에 순방향과 역방향 바이어스로 인식되어 다이오드들이 동작해야 한다. 이는 순방향으로 인가되었을 때

다이오드를 정상적으로 “On” 동작시키면서 역방향으로 인가되었을 때 항복 현상(Breakdown)을 일으키지 않는 적당한 전압이 필요하다.

4.3. 제안된 PIN 다이오드 SPDT 스위치

그림 4.6.은 최종적으로 제안하는 PIN 다이오드 SPDT 스위치의 회로도이다.

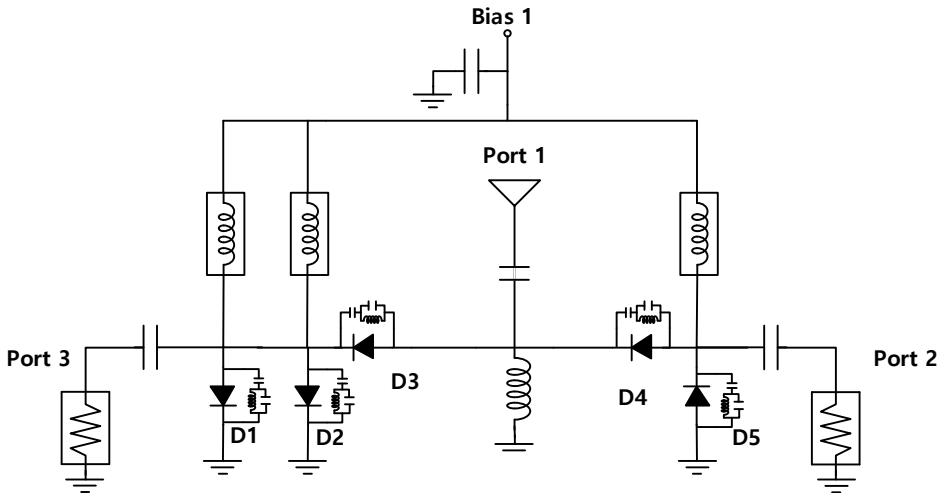


그림 4.6. 제안한 PIN 다이오드 SPDT 스위치의 회로도.

Fig 4.6. Circuit diagram of proposed PIN diode SPDT switch.

회로의 전체적인 구조는 송신단과 수신단의 비균형 구조이다. 설계의 어려움이 있지만 series형/shunt형 스위치에 비해 높은 격리 특성과 낮은 삽인 손실을 나타내는 일반적인 series-shunt형 스위치를 기본으로 정하였다. 송신단(2번 단자)에서 크게 증폭된 신호가 안테나단(1번 단자)으로 송신될 때, 수신단(3번 단자)에서의 격리 특성이 크게 나타나지 않으면 수신단에 신호가 넘어가 영향을 끼치게 된다. 따라서 수신단에 shunt형 다이오드 단을 추가하여 series-shunt-shunt형 구조를 채택하게 되었다. 단자 2, 단자 3 모두를 series-shunt-shunt형 구조를 사용하기에는 다이오드 단이 추가로 병렬 연결될 때 삽입 손실이 저하되는 점을 고려하여 격

리 특성이 특히 필요로 하는 수신단에만 추가적인 병렬 다이오드 단을 추가하였다.

또한 송신단의 PA를 거쳐 큰 신호가 안테나단으로 송신될 때 다이오드의 전력 조절 능력(Power handling capacity)을 보완하기 위해 다이오드 단에 하나의 다이오드를 사용하지 않고, 다이오드들을 2×2 배열로 구성하여 사용하였다.

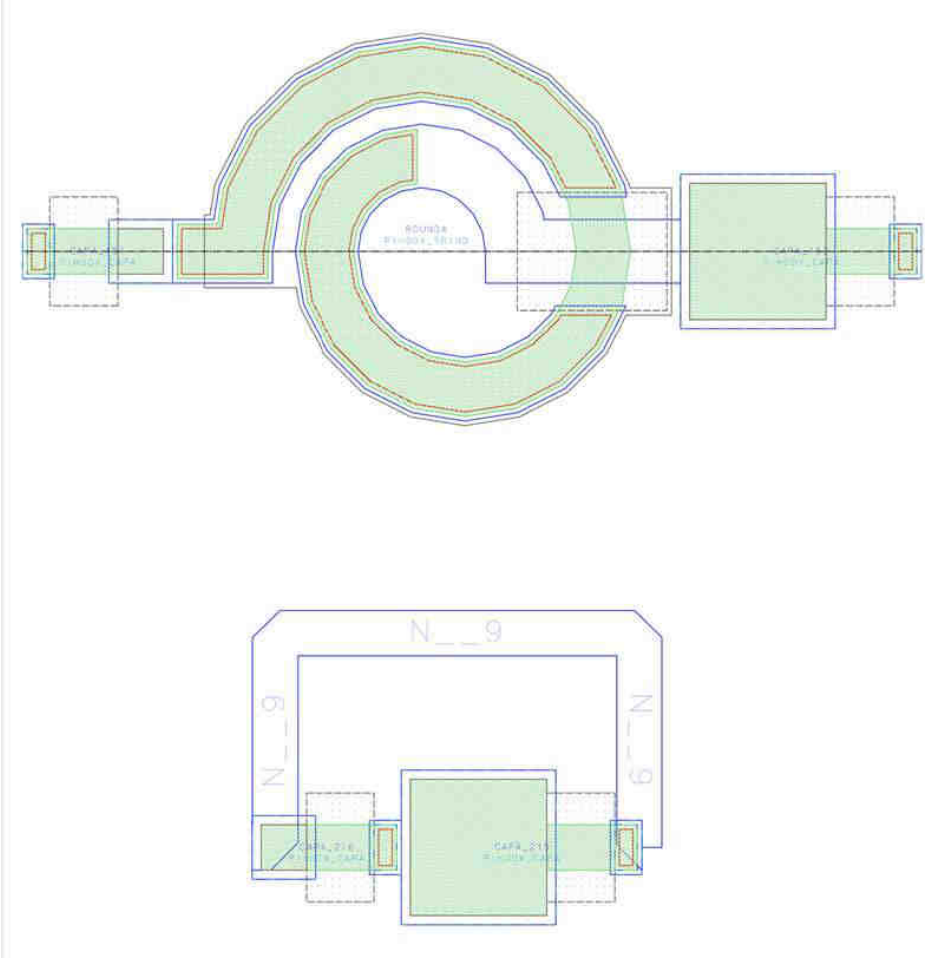


그림 4.7. 동일한 성능을 갖는 정합회로 크기 비교.

Fig 4.7. Matching circuit size comparison with same performance.

이들의 최대한의 이상적인 동작을 위해 동작 대역폭의 저하를 감안하고

LC 정합회로를 통해 정합해주었다. LC 정합회로 자체의 손실과 레이아웃 크기를 소형화시키기 위해 등가회로 상에서 인덕터로 동작하는 병렬 공진 회로를 대신 사용하였고 공진 회로 내에서는 필요한 인덕턴스 값을 갖는 전송선로를 이용하였다.

레이아웃 단계에서 패드에 의한 공간 낭비를 최소화하기 위해 바이어스 패드를 한 개로 구성하였으며, 바이어스 패드 2개를 이용하여 구성한 동일한 SPDT PIN 다이오드의 특성과 비교하였다. 이는 그림 4.8.을 통해 나타냈다.

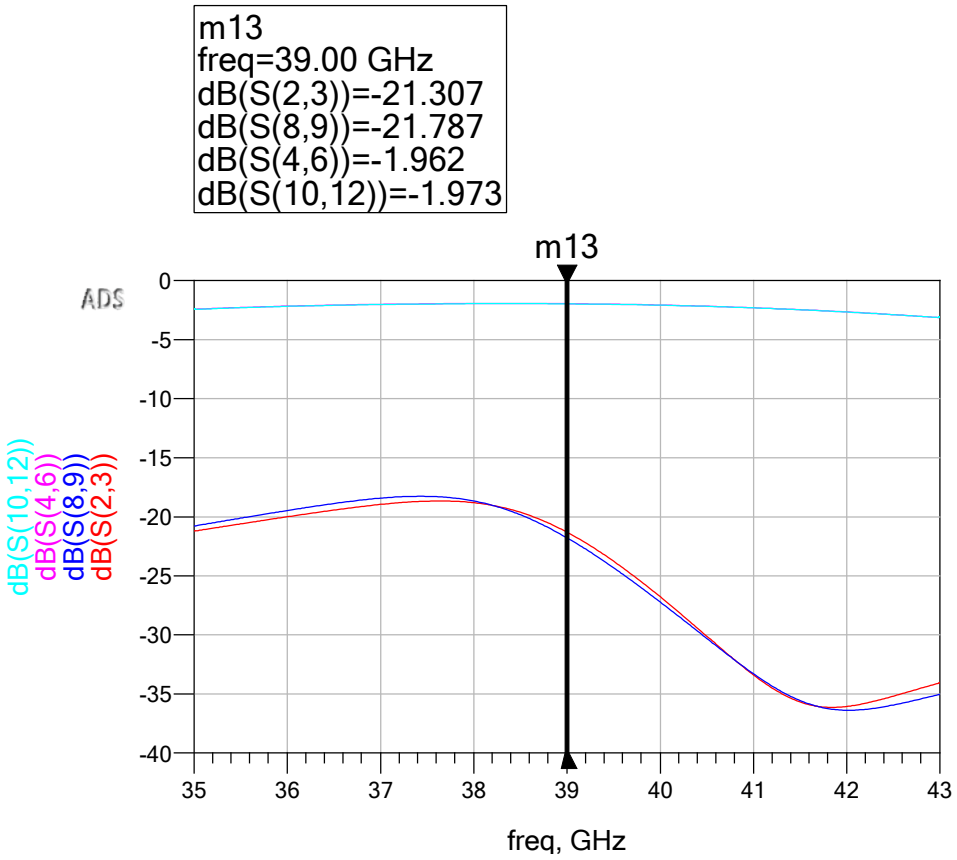


그림 4.8. 바이어스 패드 개수 변화에 따른 삽입 손실 및 격리 특성 비교.

Fig 4.8. Insertion loss and isolation characteristics comparison according to number of bias pads.

제안된 PIN 다이오드 SPDT 스위치는 목표 동작 주파수가 39 GHz로 비교적 높은 주파수 대역에서의 동작을 목표로 한다. 높은 주파수 대역에서 레이아웃 시뮬레이션 결과는 기생 성분과 소자 및 선로 등을 연결해주는 짧은 이음새만으로도 많은 변화가 있기 때문에 이에 대한 최적화가 필요하다.

레이아웃 회로의 크기는 1000μm×800μm으로 그림 4.9에 레이아웃 결과를 나타내었다. 레이아웃 이후의 시뮬레이션 결과와 이전의 시뮬레이션 결과를 비교하여 표 4.1.에 나타냈다. 선행 연구와의 비교는 표 4.2.에 나타냈다. 선행 연구는 FETs를 이용하여 광대역에서 선형적인 동작을 하는 SPDT 스위치를 주로 제시한다. 주로 PIN 다이오드를 이용해 제작한 스위치의 동작 주파수 대역은 V밴드 대역 혹은 W밴드 대역이다. 제안된 스위치는 V밴드 또는 W밴드에 비해 낮은 Ka 밴드 대역의 39 GHz를 중심주파수로 정하고, 선행 연구들에서 크게 다뤄지지 않은 반사 손실에 대하여 스위치 자체적으로 중심 주파수 기준 최소 20 dB를 목표로 설계하였다.

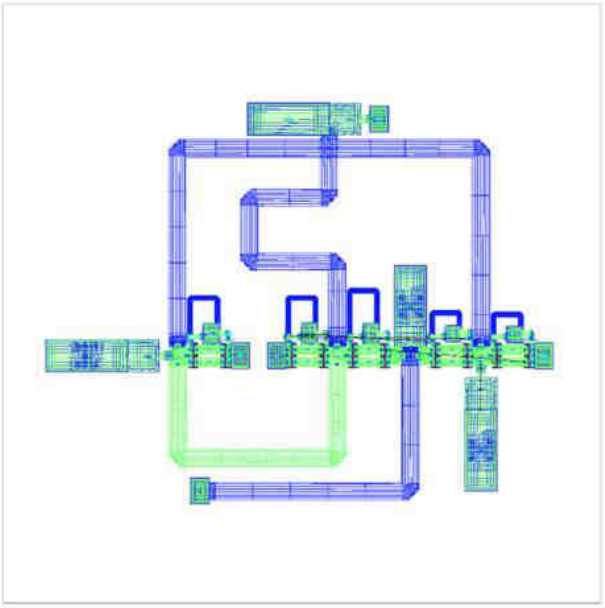


그림 4.9. PIN 다이오드 SPDT 스위치의 레이아웃.

Fig 4.9. Layout of PIN diode SPDT switch.

표 4.1. 제안된 SPDT 스위치의 회로와 레이아웃 시뮬레이션 결과 비교

Table 4.1. Simulation results comparison between schematic and layout.

	Tx단 동작		Rx단 동작	
	Schem.	Layout	Schem.	Layout
IL [dB]	1.722	1.726	2.279	2.167
RL [dB]	22.681	22.636	23.132	27.417
IX [dB]	42.530	42.038	-	

표 4.2. 선행 연구 결과와 제안된 SPDT 스위치 성능 비교.

Table 5.1. Performance comparison of the proposed design against state-or art.

ref.	Process	freq. [GHz]	IL [dB]	RL [dB]	IX [dB]	P_{1dB} [dBm]	Size [mm^2]
[1]	InGaAs mHEMT	50-75	1-1.6	>10.8	31.6-32.8	22	1.5
		75-110	1-1.6	>12	28.5-31.4	19	0.94
[2]	130nm BiCMOS	25-40	1.29-2.98	N/A	32.3-41.2	15.4	0.11
[3]	0.18μm CMOS	31-38	4.5-5.9	N/A	24.3-25.2	25.6 (@28 GHz)	0.39
[4]	0.1μm GaN HEMT	24-30	<1.5	N/A	>28	>27	1.08
[16]	0.1μm GaAs pHEMT	55 - 105	<2.8	>7	8-26	N/A	-
This work	0.1μm pHEMT	37-41 (39*)	<2.6 (2.28) <1.9** (1.72)	>10.5 (22.6)	>42 (42.5)	30.5	0.8

*중심주파수 **Tx단 동작시

5. 결론

본 논문에서는 PIN 다이오드를 이용한 SPDT 스위치를 제안하고 있으며, KA 밴드의 39 GHz를 동작 주파수로 설정하고, 높은 격리 특성과 낮은 삽입 손실 특성을 위해 송수신단의 다이오드 단을 동등하지 않게 구성했다. 송신단의 전력 증폭기에서 증폭된 신호를 PIN 다이오드가 견딜 수 있도록 다이오드 단의 PIN 다이오드를 2×2 형태로 배열하였다. 스위치의 삽입 손실 과 격리 특성은 다이오드 관련 수식을 통해 확인할 수 있었으며, 이상적인 다이오드가 개방 혹은 단락 동작을 하듯 정합 회로를 이용하여 이상적인 동작을 최대한 구현하고자 했다. 정합회로는 일반적인 LC 정합회로를 기반으로 나선형 인덕터의 큰 크기와 손실을 고려하여 LC 병렬 공진 회로를 이용해 실제로 이용되는 인덕터의 인덕턴스 값을 낮추고, 전송선로를 이용하여 인덕터와 같이 동작하게 하였다. 이를 통해 레이아웃 단계에서 설계의 자유도를 얻었고 회로의 크기의 소형화에 일조하였다. 제한된 회로 크기를 고려하여, 직렬연결의 경우 대칭적, 병렬연결의 경우 일정하게 배치되어있어 2개의 바이어스 패드를 통해 각각의 송수신단에 서로 다른 방향의 바이어스를 인가해주는 방법에서 다이오드의 방향을 바꿔 적절한 바이어스 값을 통해 양쪽에 순방향 및 역방향 바이어스를 인가하도록 하여 필요한 바이어스 패드의 개수를 감소시켰다.

설계는 WIN semiconductors 사의 $0.1\mu m$ pHEMT 공정을 기반으로 Keysight 사의 ADS(Advanced Design System) 프로그램을 이용해 진행하였다. 설계된 PIN 다이오드 SPDT 스위치는 시뮬레이션 상으로 37 - 41 GHz 대역에서 Rx/Tx단 동작시 각각 최대 2.6 dB, 1.9 dB의 삽입 손실, 최소 42 dB의 격리 특성, 송신단, 수신단 동작 시 각각 최소 11.5 dB, 10.15 dB의 반사 손실 특성을 가진다. 중심 주파수 39 GHz에서는 22.6 dB의 반사 손실, 42.5 dB의 격리 특성과 2.28 dB의 삽입 손실을 갖는다. 또한 높은 P_{1dB} 특성과 IP3 특성을 얻기 위해 직병렬로 구성된 다이오드 단을 이용하였다. 그 결과 30.5 dBm의 P_{1dB} 특성과 45.5 dBm의 OIP3 특성을 얻을 수 있었다.

본 논문에서 제안한 PIN 다이오드 SPDT 스위치는 좁은 동작 대역폭을 가졌지만, 높은 주파수 대역에서 얻기 힘든 높은 격리도와 낮은 삽입 손실을 동시에 얻었다. PIN 다이오드는 전력 소모가 있는 소자로 휴대용 무선 통신 기기보다는 고정형 무선 전송 기지국 등에 어울리는 소자이다. 일반적으로 TDD 시스템에서는 종단에 대역통과여파기를 부착하여 구체적인 주파수 대역에서 동작한다. 이는 좁은 대역폭이 상용화에는 더욱 유리하다고 판단할 수 있다[15].

본 논문에서 제시된 PIN 다이오드 SPDT 스위치는 밀리미터파 대역에서의 통신 기술에 이용될 구체적으로 특정된 주파수 대역에 대하여 높은 격리 특성 및 낮은 삽입 손실 특성을 가져 고정형 무선 전송 기지국 혹은 협대역 데이터를 송수신 하는 곳에 이용의 가능성을 확인했다.

참고문헌

[1] F. Thome, A. Leuther and O. Ambacher, "Low-Loss Millimeter-Wave SPDT Switch MMICs in a Metamorphic HEMT Technology," *IEEE Microwave and Wireless Components Letters*, vol. 30, no. 2, pp. 197-200, Feb. 2020.

[2] V. Kumar, G. S. Saravanan and S. K. Selvaraja, "Broadband Ka-band SPDT switch with 15 GHz bandwidth and 15.4 dBm IP1dB," *2022 32nd International Conference Radioelektronika (RADIOELEKTRONIKA)*, 2022, pp. 1-4.

[3] J.-F. Chang and Y.-S. Lin, "High Linearity DC-38 GHz CMOS SPDT Switch," *Applied Sciences*, vol. 11, no. 20, p. 9402, Oct. 2021

[4] D. Zeng et al, "A 24 ~ 30 GHz GaN HEMT SPDT switch MMIC: Journal of Nanjing University of Information Science & Technology," *Nanjing Xinxi Gongcheng Daxue Xuebao*, vol. 13, (4), pp. 444-449, 2021.

[5] C. W. Byeon and C. S. Park, "Design and Analysis of the Millimeter-Wave SPDT Switch for TDD Applications," in *IEEE Transactions on Microwave Theory and Techniques*, vol. 61, no. 8, pp. 2858-2864, Aug. 2013, doi: 10.1109/TMTT.2013.2271613.

[6] T. Kim, H. D. Lee, B. Park, S. Jang, S. Kong and C. Park, "Design of a K-Band High-Linearity Asymmetric SPDT CMOS Switch Using a Stacked Transistor," in *IEEE Microwave and Wireless Components Letters*, vol. 32, no. 12, pp. 1443-1446, Dec. 2022, doi: 10.1109/LMWC.2022.3192440.

[7] Bera, Subhash Chandra. *Microwave Active Devices and Circuits for Communication*. Berlin: Springer, 2019.

[8] Kasap, Safa O. *Principles of electronic materials and devices*. Vol. 2. New York: McGraw-Hill, 2006.

[9] *Design with PIN Diode*, Alpha Industies Inc. Application Note

APN-102, 1999. Available: http://www.alphaind.com

[10] Doherty, W. E., and R. D. Joos, "The PIN diode circuit designers' handbook." Appendix A, *Microsemi Corporation* 1 (1998).

[11] Sun, P., and D. Heo. "Analysis of parasitic effects for pin diode SPDT switch." *Electronics letters* 45.10 (2009): 1.

[12] N. A. Shairi, B. H. Ahmad and A. C. Z. Khang, "Design and analysis of broadband high isolation of discrete packaged PIN diode SPDT switch for wireless data communication," *2011 IEEE International RF & Microwave Conference*, 2011, pp. 91-94.

[13] 송경주. "능동 인덕터를 이용한 CMOS 마이크로웨이브 가변 대역 통과 여파기 설계." 국내석사학위논문 전북대학교 대학원, 2009. 전라북도

[14] M. H. Misran, N. A. Shairi, G. H. The and M. A. M. Said, "Design and performance analysis of single biasing based SPDT switch for wireless data communications," *2012 IEEE Asia-Pacific Conference on Applied Electromagnetics (APACE)*, 2012, pp. 363-366.

[15] Doherty, W. E., and R. D. Joos, "The PIN diode circuit designers' handbook." Chapter 6, *Microsemi Corporation* 1 (1998).

[16] V. Vassilev, A. Vilenskiy, H. -T. Chou, M. Ivashina and H. Zirath, "A 55-105 GHz PIN Diode SPDT Switch," *2021 International Symposium on Antennas and Propagation (ISAP)*, 2021, pp. 1-2, doi: 10.23919/ISAP47258.2021.9614359.

[17] Donggu Im, Kwyro Lee, Stacked-FET linear SOI CMOS SPDT antenna switch with input P1dB greater than 40dBm, *IEICE Electronics Express, 2012*, Volume 9, Issue 24, Pages 1813-1822.

[18] Jonghoo Park and Zhenqiang Ma, "A 15 GHz CMOS RF switch employing large-signal impedance matching," *Digest of Papers. 2006 Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems*, 2006, pp. 4 pp.