

WiMAX 어플리케이션을 위한 소형 기판 집적형 도파관 대역통과 여파기 설계

Design of Compact Substrate Integrated Waveguide Bandpass Filter for WiMAX Application

이재훈 · Phanam Pech · Girdhari Chaudhary* · 정용채

Jaehun Lee · Phanam Pech · Girdhari Chaudhary* · Yongchae Jeong

요 약

본 논문은 1/4 모드 및 1/8 모드 기판 집적형 도파관 캐비티를 기반으로 한 소형 기판 집적형 도파관 대역통과 여파기의 설계를 보여준다. 제안된 소형 기판 집적형 도파관 대역통과 여파기는 WiMAX 적용을 위해 5.5 GHz의 중심주파수에서 3단의 1/4 모드와 1/8 모드의 캐비티로 설계되었다. 1단과 2단은 1/4 모드 기판 집적형 도파관 캐비티, 3단은 1/8 모드 기판 집적형 캐비티로 구성된다. 제안된 기판 집적형 대역통과 여파기의 전송 영점을 저지 대역에 위치시켜 주파수 선택 특성을 향상시킨다. 중심주파수에서 제작된 기판 집적형 도파관 대역통과 여파기의 측정 삽입손실($|S_{21}|$)과 반사손실($|S_{11}|$)은 각각 1.26 dB와 19.94 dB이다. 또한 기판 집적형 도파관 대역통과 여파기의 측정 국부 주파수 대역폭은 11.96 %이다. 제작된 기판 집적형 도파관 대역통과 여파기의 회로 크기는 25 mm×22 mm이다.

Abstract

This paper proposes the design of a compact substrate-integrated waveguide (SIW) bandpass filter (BPF) based on quarter-mode (QM) and one-eighth-mode (OEM) SIW cavities. The proposed compact SIW BPF is designed with three stages of QM and OEM at a center frequency (f_0) of 5.5 GHz for WiMAX application. The first and second stages consist of QM SIW cavities, while the third stage consists of an OEM SIW cavity. The transmission zero of the proposed SIW BPF occurs in the stopband and improves the selectivity of the filtering response. At f_0 , the measured insertion loss ($|S_{21}|$) and input return losses ($|S_{11}|$) of the proposed SIW BPF are 1.26 and 19.94 dB, respectively. The proposed SIW BPF's measured fractional bandwidth and circuit size are 11.96 % and 25×22 mm, respectively.

Key words: Bandpass Filter, One-Eight-Mode, Quarter-Mode, Substrate Integrated Waveguide, WiMAX

I. 서 론

통신 시스템에서 여파기는 무선 동작을 위한 중요한

「본 논문은 과학기술정보통신부 및 교육부의 재원으로 한국연구재단의 지원을 받아 수행된 연구임(2020R1A2C20120587), (2019R1A6A1A09031717).」
전북대학교 전자정보공학부(Division of Electronics and Information Engineering, Jeonbuk National University)

*전북대학교 IT융합연구센터(IT Convergence Research Center, Jeonbuk National University)

· Manuscript received November 14, 2022 ; Revised December 20, 2022 ; Accepted January 19, 2023. (ID No. 20221114-015S)

· Corresponding Author: Yongchae Jeong (e-mail: ycjeong@jbnu.ac.kr)

구성 요소이다. 수신 여파기는 인접 주파수 대역의 다른 통신 신호의 간섭을 막고, 신호 선택성을 높이는 데 사용된다. 아울러 송신 여파기는 송신 신호 증폭 과정에서 발생하는 고조파를 위시한 불필요한 신호들을 최소화시킨다. 다양한 무선 서비스들이 공존하는 환경에서 WiMAX 시스템의 원활한 작동을 위해서 여파기가 필요하다. RF 애플리케이션을 위한 개별적인 여파기 및 별문을 통합한 제품이 있다. 이들은 대부분 전송선로형이다. 전송선로를 이용한 회로는 크기가 $\lambda/4$ 파장의 배수이기 때문에 크다는 단점이 존재한다.

기판 집적형 도파관(SIW: substrate integrated waveguide)은 고출력 처리 능력, 높은 Q-지수, 낮은 손실, 저렴한 제작 비용 및 제작 용이성의 장점으로 많은 주목을 받아왔다^{[1],[2]}. 일반적으로, SIW 대역통과 여파기는 전체 모드(FM: full mode) 캐비티로 구현된다. 그러나 FM SIW 캐비티는 특히 마이크로파 주파수에서 비교적 큰 면적을 차지한다. FM SIW 캐비티의 크기를 줄이기 위해 1/2 모드(HM: half mode), 1/4 모드(QM: quarter mode), 1/8 모드(OEM: one of eighth) SIW 캐비티들이 도입되었다.

참고문헌 [3]은 3단 및 5단 HM SIW 대역통과 여파기를 제시하였는데, 각 공진기는 두 개의 횡방향 슬롯(slot) 사이에 위치한 HM SIW 단면으로 구현되었다. HM SIW 공진기간의 결합(coupling)은 가로 슬롯의 길이와 폭으로 제어된다. 참고문헌 [4]는 HM SIW 기반 루프 방향성 여파기를 제안하였다. 또한 OEM SIW 캐비티를 이용한 5 GHz 대역통과 여파기 설계가 참고문헌 [5]에 의해 제시되었다. 인접 부분과 자기적으로 결합된 OEM SIW 캐비티로 대역통과 여파 특성을 얻었다. 참고문헌 [6]은 OEM SIW 캐비티의 다양한 결합 구조들과 결선(feeding) 기법에 대하여 설명했다. 또한, 다양한 유형의 결합 구조들과 결선 구조를 가진 OEM SIW 공진기에 대한 체계적인 연구가 참고문헌 [7]에 의해 제시되었다. 참고문헌 [8]이 제시한 구조는 다층 OEM SIW 대역통과 여파기를 제안하였는데, 대역통과 여파기는 4개의 OEM SIW 공진기와 3개의 금속층으로 구성되었다.

그림 1은 앞에서 소개한 여러 모드 SIW 캐비티의 전계 분포들을 보여준다. HM SIW 캐비티는 FM SIW 캐비티의 중심 단면을 따라 이등분하여 구현되므로, HM SIW

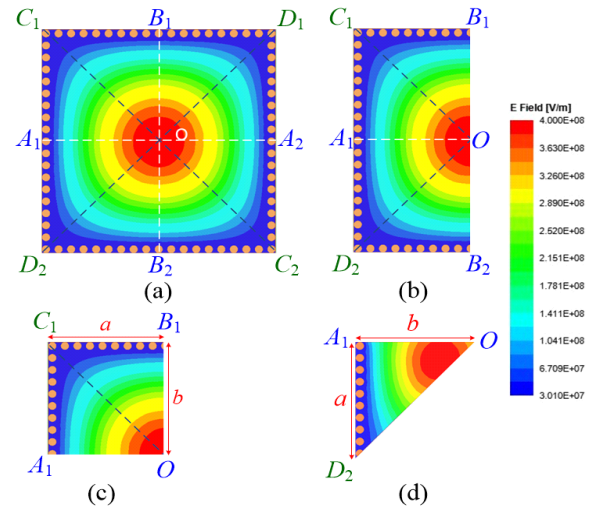


그림 1. SIW 캐비티의 전계 분포: (a) 전체 모드, (b) 1/2 모드, (c) 1/4 모드, (d) 1/8 모드

Fig. 1. Electric field distribution of different mode SIW cavities: (a) FM, (b) HM, (c) QM, and (d) OEM.

캐비티의 크기는 FM SIW 캐비티의 약 50 %이다. QM SIW 캐비티는 동일한 자기벽을 따라 FM SIW 캐비티를 두 번 이등분하여 생성되며, 그 결과 약 75 %의 크기가 감소된다. 마찬가지로 OEM SIW 캐비티는 FM SIW 캐비티의 자기벽을 3번 절단하여 얻어지며, 그 결과, 약 87.5 %의 크기가 감소된다. 이러한 SIW 캐비티들은 FM 캐비티와 동일한 기본 모드 공진 주파수를 제공한다.

본 논문은 소형 혼합모드 SIW 대역통과 여파기를 제시한다. 제안된 소형 SIW 대역통과 여파기는 단층 인쇄 회로 기판(PCB: printed circuit board)에서 QM 및 OEM SIW 캐비티들을 사용하여 구현된다. QM과 OEM SIW 캐비티의 혼합 모드를 사용함으로써 제안된 SIW 대역통과 여파기의 크기는 FM SIW 캐비티로 구현된 대역통과 여파기에 비해 훨씬 작게 된다.

II. 설계 수식

제안된 대역통과 여파기의 결합도는 그림 2(a)와 같다. 단락(shunt) LC 공진기 및 어드미턴스 인버터로 표현된 등가 회로는 그림 2(b)와 같다. 임의의 동일 L_i 값을 선택함으로써 병렬 공진기의 정전용량 $C_i = 1/\omega_0^2 L_i$ 로 구할 수 있

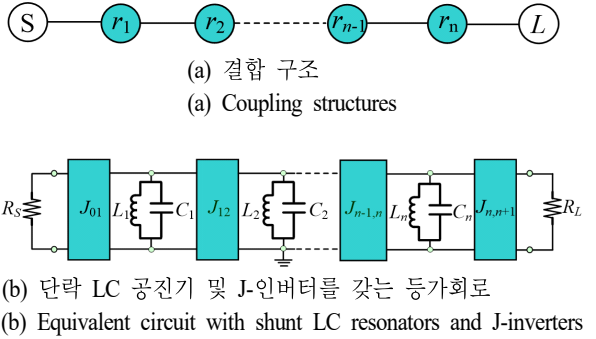


그림 2. 일반적인 대역통과 여파기

Fig. 2. Generalized BPF.

으며, 공진기의 경사 변수(slope parameter)는 $b_i = \omega_0 C_i$ 로 구할 수 있다. 경사 변수를 결정한 후, 결합 공진기의 J-인버터는 다음과 같이 구해진다^[9].

$$\begin{aligned} J_{01} &= \sqrt{\frac{\text{FBW} b_1}{R_S g_n g_1}}, J_{i,i+1} = \text{FBW} \sqrt{\frac{b_i b_{i+1}}{g_i g_{i+1}}} \\ J_{n,n+1} &= \sqrt{\frac{\text{FBW} b_1}{R_S g_n g_1}} \end{aligned} \quad (1)$$

공진기의 결합계수($K_{i,i+1}$)와 첫 번째 및 마지막 공진기의 외부 Q-지수(Q_{S1} , Q_{Ln})는 다음과 같이 정의된다.

$$\begin{aligned} K_{i,i+1} &= \frac{J_{i,i+1}}{\sqrt{b_i b_{i+1}}}, Q_{S1} = \frac{b_1}{R_S J_{01}^2}, \\ Q_{Ln} &= \frac{b_n}{R_L J_{n,n+1}^2} \end{aligned} \quad (2)$$

일반적으로, SIW 대역통과 여파기는 비아 홀 창(via-hole window)으로 구현할 수 있는 자기 결합을 사용하여 설계한다. 식 (3)을 이용하여 전자기 시뮬레이션으로부터 외부 Q-지수를 추출하거나 계산할 수 있다.

$$Q_{S, EML, EM} = \frac{f_{S1, Ln}}{\Delta f_{\pm 3\text{dB}}}, \quad (3)$$

위 식에서 f_{S1} , f_{Ln} , $\Delta f_{3\text{dB}}$ 는 각각 첫 번째 및 마지막 공진기의 공진주파수와 3-dB 대역폭을 나타낸다. 마찬가지로, 중간 단의 결합공진기 사이의 결합계수들은 식 (4)를 사용하여 전자기 시뮬레이션을 통해 추출할 수 있다.

$$K_{i,i+1} = \pm \frac{f_{P2}^2 - f_{P1}^2}{f_{P2}^2 + f_{P1}^2}, \quad (4)$$

식 (4)에서 f_{P1} 과 f_{P2} 는 각각 두 개의 분할 공진기의 공진 주파수이다.

그림 1(c)에 도시된 바와 같이, QM SIW 캐비티는 2개의 금속벽과 2개의 개방면을 갖는다. 따라서 QM SIW 캐비티는 대역통과 여파기의 첫 단, 중간 단, 마지막 단에 위치할 수 있다. 그림 1(d)에서 알 수 있듯이, OEM SIW 캐비티의 외벽 길이는 QM SIW 캐비티의 모서리 길이 a 및 b 와 동일하다. OEM SIW 캐비티는 금속 벽 1개와 개방된 측면 2개를 가지고 있으므로 대역통과 여파기의 첫 단 또는 마지막 단에 배치해야 한다. QM 및 OEM SIW 캐비티의 공진 주파수는 다음 방정식들을 사용하여 구할 수 있다^{[10][11]}.

$$f_{r-QM, OEM} = \frac{c}{2\pi \sqrt{\mu_r \epsilon_r}} \left[\sqrt{\left(\frac{\pi}{a_{eff}}\right)^2 + \left(\frac{\pi}{b_{eff}}\right)^2} \right], \quad (5)$$

$$a = a_{eff} + \frac{d^2}{0.95p} - \Delta w, \quad (6a)$$

$$b = b_{eff} + \frac{d^2}{0.95p} - \Delta w, \quad (6b)$$

$$\Delta w = h \left[\left(0.05 + \frac{0.3}{\epsilon_r} \right) \times \ln \left(0.79 \frac{a_{eff}}{h^3} + \frac{104(a_{eff}/2)^2 - 261}{h^2} + \frac{38}{h} + 2.77 \right) \right], \quad (6c)$$

위 식에서 c 는 진공에서의 빛의 속도, μ_r 및 ϵ_r 은 각각 기판의 상대 투자 계수와 유전 계수, a_{eff} 와 b_{eff} 는 등가 공진 공동의 모서리 길이, h 는 기판의 두께를 나타내며, d 는 금속화된 비아 홀의 직경, p 는 인접한 비아 홀 간의 간격이다. Δw 는 등가 자기벽에 대한 프링징 전계(fringing fields)를 계산하는 추가 폭이다. Δw 는 a_{eff} , h , ϵ_r 의 함수이다.

III. 소형 SIW 대역통과 여파기 설계

QM 및 OEM SIW 캐비티는 완벽한 자기벽을 형성하지 못하는 두 개의 개방된 면이 있어 자성이 누설되어 FM SIW 캐비티보다 낮은 Q값을 갖는다. Q값 감소로 인해 QM 및 OEM SIW 캐비티는 좁은 대역폭의 높은 Q값을 갖는 대역통과 여파기 설계 적용에 한계가 있다. 그러나 두 개의 서로 다른 모드 SIW 캐비티 간에 강력한 결합을

쉽게 얻을 수 있고, QM 및 OEM SIW 캐비티는 FM SIW 캐비티가 쉽게 제공할 수 없는 광대역 대역통과 여파기에 사용될 수 있다.

그림 3은 QM 및 OEM SIW 캐비티의 전자기 시뮬레이션을 통해 결정된 $Q_{es,el}$ 값을 나타낸다. $Q_{es,el}$ 은 비아홀 단락에서 탭(tap) 위치를 이동하여 제어할 수 있다. QM 및 OEM SIW 캐비티의 $Q_{es,el}$ 값은 비아 홀과 탭 간의 거리(L_1 , L_2)가 증가할수록 감소한다. 전자기(EM) 시뮬레이션을 통해 얻은 QM-QM SIW 캐비티의 K_{12} 값은 그림 4에, QM-OEM SIW 캐비티의 K_{23} 값은 그림 5에 나타냈다. K_{12} 와

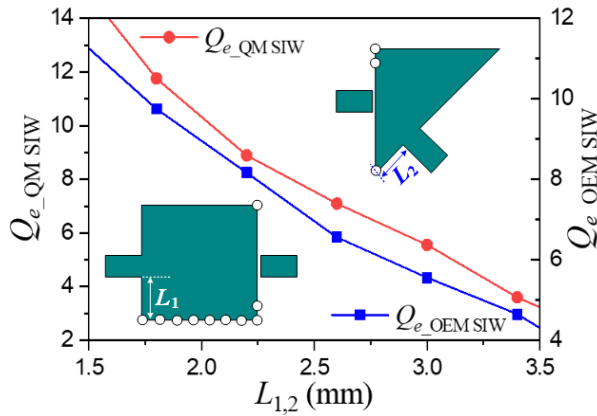


그림 3. L_1 에 따른 1/4 모드 SIW 캐비티의 $Q_{es,el}$ 및 L_2 에 따른 1/8 모드 SIW 캐비티의 $Q_{es,el}$.

Fig. 3. $Q_{es,el}$ of QM SIW cavity according to L_1 and $Q_{es,el}$ of OEM SIW cavity according to L_2 .

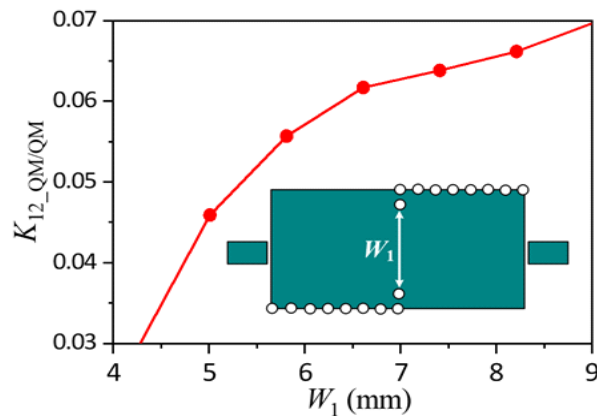


그림 4. W_1 에 따른 1/4모드-1/4모드 SIW 캐비티의 K_{12}

Fig. 4. K_{12} of QM-QM SIW cavities according to W_1 .

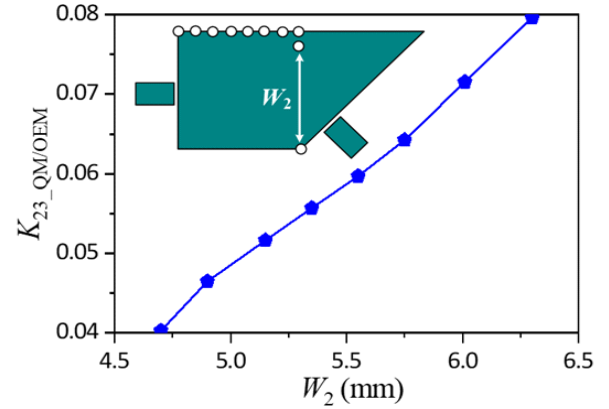


그림 5. W_2 에 따른 1/4모드-1/8모드 SIW 캐비티의 K_{23}
Fig. 5. K_{23} of QM-OEM SIW cavities according to W_2 .

K_{23} 의 값은 아이리스 창(iris window) 너비(W_1 , W_2)가 증가함에 따라 증가한다. 따라서 SIW 대역통과 여파기의 대역폭은 결합 아이리스 창 너비를 조정하여 제어할 수 있다.

본 논문에서 제안된 SIW 대역통과 여파기는 QM 및 OEM SIW 캐비티를 활용한다. 제안된 SIW 대역통과 여파기는 3단, 12 %의 국부 주파수 대역폭(FBW: fractional bandwidth), 20 dB의 반사손실로 설계되었다. 제안된 SIW 대역통과 여파기는 WiMAX 애플리케이션을 위해 5.5 GHz의 중심주파수로 설계되었다(표 1). L_i 로 2 nH를 선택하면 C_i 는 0.4186 pF로 결정된다. 식 (1)을 이용하면 $J_{01}=J_{34}=0.00637848$ 및 $J_{12}=J_{23}=0.00178871$ 을 구할 수 있으며, 식 (2)를 이용하면 $Q_{es}=Q_{el}=7.125$ 및 $K_{12}=K_{23}=0.1236$ 을 구할 수 있다. 1단과 2단은 QM SIW 캐비티로, 3단은 OEM SIW 캐비티로 구현하였다. 설계를 위해 $\epsilon_r=2.2$, $h=0.508$ mm인 Taconic 사의 TLY PCB를 사용했다. 마지막으로, QM 및 OEM SIW 캐비티의 가장자리 길이는 식 (5) 및 식 (6)을 통해 구했다.

IV. 시뮬레이션 및 측정 결과

제안된 SIW 대역통과 여파기의 레이아웃 및 상세 크기 정보는 그림 6(a)와 같다. 마찬가지로, 제작된 SIW 대역통과 여파기의 사진도 그림 6(b)에 나타냈다. 제안된 SIW 대역통과 여파기는 단층 PCB에 구현되었으며, 회로 크기

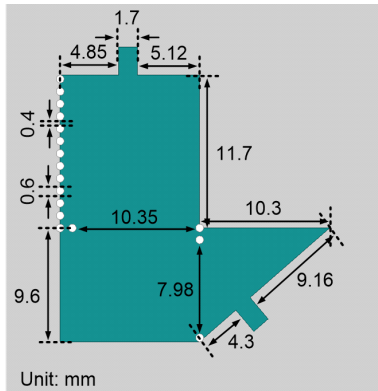
표 1. 제안된 SIW 대역통과 여파기의 세부 정보

Table 1. Specific information of proposed SIW BPF.

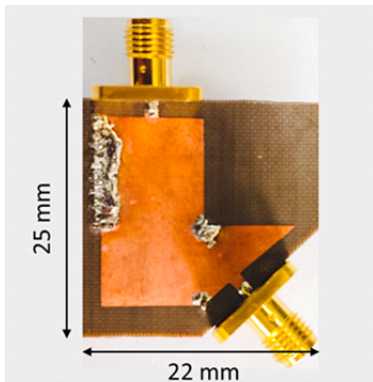
Stage	3	J_{01}	0.00637848	K_{12}	0.1236
f_0 (GHz)	5.5	J_{34}	0.00637848	K_{23}	0.1236
FBW (%)	12	J_{12}	0.00178871	Q_{es}	7.125
Insertion loss (dB)	20	J_{23}	0.00178871	Q_{el}	7.125
L_i (nH)	2	Taconic-TLY ($\epsilon_r = 2.2$, $h = 0.508$ mm)			
C_i (pF)	0.4186				

는 25 mm×22 mm이다.

그림 7은 제안된 SIW 대역통과 여파기의 EM 시뮬레이션 및 측정 산란 계수들을 2 GHz~16 GHz에 나타낸 것이다. 측정된 산란계수는 제작 공정에서의 공차(tolerance)로



(a) 물리적 길이를 나타낸 레이아웃
(a) Layout with dimensions



(b) 제작된 회로
(b) Photograph of fabricated circuit

그림 6. 제안된 소형 SIW 대역통과 여파기

Fig. 6. Proposed compact size SIW BPF.

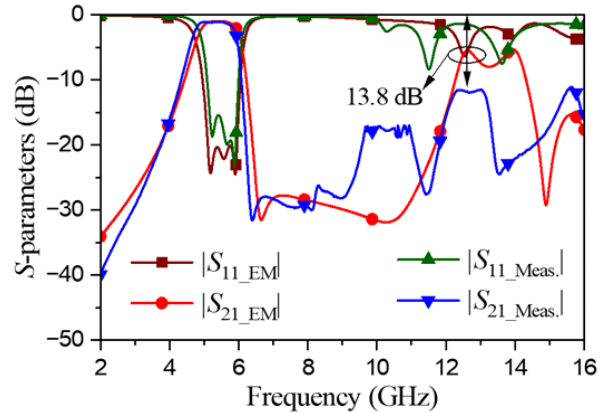


그림 7. 시뮬레이션과 측정 결과 비교

Fig. 7. The comparison of simulation and measurement results.

인해 EM 시뮬레이션 결과보다 약간의 주파수 하향이 발생되었다. 상기 비아 홀의 직경과 인접한 비아 홀 사이의 간격 공차는 SIW 캐비티의 $K_{i,i+1}$ 를 약간 변화시킬 수 있다.

구현된 $K_{i,i+1}$ 이 목표값과 약간 달라지면서 SIW 대역통과 여파기의 주파수 선택 특성, 반사 손실, 대역폭이 저하되었다. 중심 주파수에서 측정 삽입 손실과 반사 손실은 각각 1.26 dB와 19.94 dB이다. 11.96 %의 FBW를 얻었고, 통과 대역에서 약 1.35 dB와 14.97 dB의 최대 삽입 손실 및 최소 반사 손실값을 얻었다. 첫 번째 공진기와 마지막 공진기 사이의 작은 교차 결합으로 인해 통과대역보다 더 높은 주파수 대역에서 전송영점이 발생하여 주파수 선택 특성이 향상되었다. 13.8 dB 이상의 신호 감쇠특성이 6.5 GHz~16 GHz 대역에서 측정되었다.

제안된 SIW 대역통과 여파기와 최근 발표된 유사 SIW 대역통과 여파기의 전기적 성능들을 표 2에 비교하였다. 참고문헌 [6]은 QM SIW 캐비티를 사용하여 단층 PCB에

표 2. 최근 연구된 SIW 대역통과 여파기들과의 성능 비교

Table 2. Performances comparison with state-of-the-art SIW BPFs.

Ref.	f_0 (GHz)	FBW (%)	Stage	Insertion loss (dB)	PCB layer	Cavity	Circuit size ($\lambda_0 \times \lambda_0$)	Difficulty
[6]	4	16	4	1.37	1	QM SIW	$0.689 \lambda_0 \times 0.413 \lambda_0$	Low
[7]	9.1	19.8	3	1.3	3	QM & OEM SIW	$0.218 \lambda_0 \times 0.218 \lambda_0$	Normal
[8]	5.5	23.3	4	N/A	4	OEM SIW	$0.277 \lambda_0 \times 0.352 \lambda_0$	High
[12]	5.13	19	2	0.81	2	HM SIW	$0.342 \lambda_0 \times 0.992 \lambda_0$	Normal
[13]	4.65	12	3	2.2	3	HM SIW	$0.403 \lambda_0 \times 0.558 \lambda_0$	Normal
[14]	8	8	3	0.9	1	FM SIW	$0.528 \lambda_0 \times 1.24 \lambda_0$	Low
[15]	10	5	4	0.93	1	FM SIW	$1.166 \lambda_0 \times 1.426 \lambda_0$	Low
This work	5.5	12	3	1.26	1	QM & OEM SIW	$0.403 \lambda_0 \times 0.458 \lambda_0$	Low

4단 SIW 대역통과 여파기를 구현하였다. 참고문헌 [7]은 OEM과 QM 캐비티를 복합 사용하여 매우 작은 SIW 대역통과 여파기를 구현하였다. 참고문헌 [8]은 OEM SIW 캐비티를 사용하여 다층 PCB에 SIW 대역통과 여파기를 설계하였는데, 극(pole) 2개를 얻기 위해서 OEM SIW 공진기 4개와 금속층 3개가 필요했다. 참고문헌 [12]는 HM SIW 캐비티를 사용하여 대역통과 여파기를 구현하였는데, 3층 PCB를 사용하였다. 마찬가지로, 다른 3층 HM SIW 대역통과 여파기도 참고문헌 [13]에 의해 제시되었다. 참고문헌 [14]와 참고문헌 [15]는 HM 캐비티를 사용하여 임의의 중단 임피던스를 갖는 SIW 대역통과 여파기를 구현하였는데, 임의의 중단 임피던스를 갖는 SIW 대역통과 여파기는 FM 캐비티를 사용하여 회로 크기는 크다. 이에 반해, 제안된 SIW 대역통과 여파기는 단층 PCB에 구현되었고, QM SIW 캐비티에 OEM SIW 캐비티를 결합하여 단층 PCB에 구현하였다. 다층 PCB SIW 대역통과 여파기의 제작은 용이하지 않으며, 제작비용이 단층 SIW 대역통과 여파기에 비해 훨씬 비싸다. 제안된 SIW 대역통과 여파기의 회로 크기는 참고문헌 [7]과 참고문헌 [8]이 제안한 다층 PCB로 구현된 다단 SIW 대역통과 여파기들을 제외하고 가장 작다.

V. 결 론

본 논문은 QM과 OEM SIW 캐비티를 이용한 SIW 대역통과 여파기의 설계를 나타냈다. 대역통과 여파기의 공

진기로서 QM과 OEM SIW 캐비티를 혼합하여 저지 대역에 전송 영점을 위치시킴으로 주파수 선택 특성과 넓은 대역에 신호 억제로 주파수 선택성을 향상시켰다. 제안된 SIW 대역통과 여파기는 저렴한 가격으로 제작이 용이한 단층 PCB에 구현할 수 있으면서도 회로의 크기는 매우 작다. 동작 주파수에 따라 제안된 SIW 대역통과 여파기는 WiMAX 시스템에서 사용될 수 있다.

References

- [1] C. J. You, Z. N. Chen, X. W. Zhu, and K. Gong, "Single-layered SIW post-loaded electric coupling-enhanced structure and its filter applications," *IEEE Transactions on Microwave Theory and Techniques*, vol. 61, no. 1, pp. 125-130, Jan. 2013.
- [2] Z. C. Hao, W. Ding, and W. Hong, "Developing low-cost W-band SIW bandpass filters using the commercially available printed-circuit-board technology," *IEEE Transactions on Microwave Theory and Techniques*, vol. 64, no. 6, pp. 1775-1786, Jun. 2016.
- [3] Y. Wang, W. Hong, Y. Dong, B. Liu, H. J. Tang, and J. Chen, et al., "Half mode substrate integrated waveguide (HMSIW) bandpass filter," *IEEE Microwave and Wireless Components Letters*, vol. 17, no. 4, pp. 265-267, Apr. 2007.
- [4] Y. Cheng, W. Hong, and K. Wu, "Half mode substrate

- integrated waveguide(HMSIW) directional filter," *IEEE Microwave and Wireless Components Letters*, vol. 17, no. 7, pp. 504-506, Jul. 2007.
- [5] Z. Y. Zhang, N. Yang, and K. Wu, "5-GHz bandpass filter demonstration using quarter-mode substrate integrated waveguide cavity for wireless systems," in *2009 IEEE Radio and Wireless Symposium*, San Diego, CA, Jan. 2009, pp. 95-98.
- [6] S. Moscato, C. Tomassoni, M. Bozzi, and L. Perregirini, "Quarter-mode cavity filters in substrate integrated waveguide technology," *IEEE Transactions on Microwave Theory and Techniques*, vol. 64, no. 8, pp. 2538-2547, Aug. 2016.
- [7] X. Wang, X. W. Zhu, Z. H. Jiang, Z. C. Hao, Y. W. Wu, and W. Hong, "Analysis of eighth-mode substrate-integrated waveguide cavity and flexible filter design," *IEEE Transactions on Microwave Theory and Techniques*, vol. 67, no. 7, pp. 2701-2711, Jul. 2019.
- [8] Y. Zhu, "Design of a novel multi-layered eighth-mode substrate integrated waveguide filter by HFSS," in *2015 IEEE 6th International Symposium on Microwave, Antenna, Propagation, and EMC Technologies(MAPE)*, Shanghai, Oct. 2015, pp. 620-622.
- [9] G. L. Matthaei, L. Yong, and E. M. T. Jones, *Microwave Filter, Impedance-Matching Networks, and Coupling Structures*, Norwood, MA, Artech House, 1964.
- [10] Q. Lai, C. Fumeaux, W. Hong, and R. Vahldieck, "Characterization of the propagation properties of the half-mode substrate integrated waveguide," *IEEE Transactions on Microwave Theory and Techniques*, vol. 57, no. 8, pp. 1996-2004, Aug. 2009.
- [11] P. Pech, P. Kim, and Y. Jeong, "Co-design of a low noise amplifier with compact substrate integrated waveguide bandpass filtering matching network," *International Journal of RF and Microwave Computer-Aided Engineering*, vol. 32, no. 12, p. e23498, Dec. 2022.
- [12] T. R. Jones, M. Daneshmand, "Miniaturized slotted bandpass filter design using a ridged half-mode substrate integrated waveguide," *IEEE Microwave and Wireless Components Letters*, vol. 26, no. 5, pp. 334-336, May 2016.
- [13] M. H. Ho, C. S. Li, "Novel balanced bandpass filters using substrate integrated half-mode waveguide," *IEEE Microwave and Wireless Components Letters*, vol. 23, no. 2, pp. 78-80, Feb. 2013.
- [14] J. Jeong, P. Kim, P. Pech, Y. Jeong, and S. Lee, "Substrate-integrated waveguide impedance matching network with bandpass filtering," in *2019 IEEE Radio and Wireless Symposium(RWS)*, Orlando, FL, Jan. 2019, pp. 1-3.
- [15] P. Pech, P. Kim, G. Chaudhary, and Y. Jeong, "Substrate integrated waveguide quasi-elliptic filter with arbitrary termination impedances," *Journal of Electromagnetic Engineering and Science*, vol. 22, no. 4, pp. 472-478, Jul. 2022.

이 재 훈 [전북대학교/석사과정]

<https://orcid.org/0000-0001-5327-656X>



2021년 2월: 전북대학교 전자공학과 (공학사)
2021년 3월~현재: 전북대학교 전자정보공학부 석사과정
[주 관심분야] RFIC 회로 설계

Girdhari Chaudhary [IT융합연구센터/연구교수]

<https://orcid.org/0000-0003-2060-9860>



2004년 8월: B.E. in Electronics & Communication Engineering, NEC, Nepal
2007년 7월: M. Tech. In Electronics & Communication Engineering, MN-IT, Jaipur, India
2015년 2월: 전북대학교 전자정보공학부 (공학박사)
2015년 3월~2016년 10월: 전북대학교 BK21 PLUS HOPE-IT인력양성사업단 박사후연구원
2016년 10월~현재: IT융합연구센터 연구교수
[주 관심분야] Multi-Band Tunable 수동회로, Negative 군지연회로 및 응용 등

Phanam Pech [전북대학교/박사과정]

<https://orcid.org/0000-0002-1443-5086>



2016년 10월: B.Tech. in Electronics Engineering, NPIC, Cambodia
2019년 8월: 전북대학교 전자공학과 (공학석사)
2019년 9월~현재: 전북대학교 전자정보공학부 박사과정
[주 관심분야] Power Amplifier, Low Noise Amplifier, Filtering Matching Network, RF Power Transmitting System

정 용 채 [전북대학교/교수]

<https://orcid.org/0000-0001-8778-5776>



1989년 2월: 서강대학교 전자공학과 (공학사)
1991년 2월: 서강대학교 전자공학과 (공학석사)
1996년 8월: 서강대학교 전자공학과 (공학박사)
1991년 2월~1998년 2월: 삼성전자 정보통신본부 선임연구원
2006년 7월~2007년 12월: 미국 Georgia Institute of Technology 방문연구교수
1998년 3월~현재: 전북대학교 전자정보공학부 교수
[주 관심분야] RF 및 Microwave 회로 해석 및 설계