

석사학위논문

군지연 시간 정합 마이크로파 포락선 추적  
전력증폭기

2013년 2월 22일

전북대학교 대학원

전자정보공학부

문 태 수

군지연 시간 정합 마이크로파 포락선 추적  
전력증폭기

Group Delay Time Matched Microwave Envelope  
Tracking Power Amplifier

2013년 2월 22일

전 북 대 학 교 대 학 원

전 자 정 보 공 학 부

문 태 수

군지연 시간 정합 마이크로파 포락선 추적  
전력증폭기

지도교수 정 용 채

이 논문을 공학 석사 학위논문으로 제출함.

2013년 11월 7일

전 북 대 학 교 대 학 원

전 자 정 보 공 학 부

문 태 수

**문태수의 석사학위논문을 인준함**

위원장 전북대학교 최우영 (인)

위원 전북대학교 손해원 (인)

위원 전북대학교 정용채 (인)

2012년 12월 13일

전북대학교대학원

# 목 차

## 요 약

1. 서론	1
2. 포락선 추적 전력증폭기의 비선형 특성 분석	
2-1. EER과 ET에 대한 소개	3
2-2. 포락선 신호와 RF신호	6
2-3. 포락선 신호와 RF신호의 푸리에 급수전개	7
2-4. 시간 부정합에 따른 선형성 저하 분석	9
3. 광대역 마이크로파 균지연 시간 조정기	
3-1. 균지연 시간 조정회로	14
3-2. 바랙터 다이오드	14
3-3. 제안된 균지연 시간 조정기	17
3-4. 2단 균지연 시간 조정기 측정	23
4. 포락선 추적 증폭기	
4-1. 포락선 추적 증폭기	26
4-2. 포락선 추적 증폭기의 시뮬레이션	27
4-3. 제안하는 포락선 추적 증폭기	31
4-4. 제안하는 포락선 추적 증폭기의 측정	33
5. 고효율 E급 전력증폭기	
5-1. E급 고효율 전력증폭기의 소개	37
5-2. DGS를 이용한 고조파 차단회로 설계	37
5-3. 20 W E급 전력증폭기 측정	40
6. 하이브리드 포락선 추적 전력 증폭기	
6-1. 제안된 하이브리드 포락선 추적 전력증폭기	43

6-2. 2-tone 신호를 이용한 측정.....	45
6-3. 높은 PAPR을 갖는 WCDMA 신호.....	46
6-4. WCDMA 신호를 이용한 측정 .....	47
<b>7. 결 론</b> .....	<b>53</b>
<b>참고논문</b> .....	<b>55</b>

## 그림 목 록

그림 2.1 EER 전력증폭기의 기본 구조 .....	3
그림 2.2 ET 전력증폭기의 기본 구조.....	4
그림 2.3 하이브리드 ET(또는 EER) 전력증폭기의 기본 구조 .....	5
그림 2.4 시간지연 $\tau$ 에 의한 오류신호 파형 .....	10
그림 2.5 시간지연 $\tau$ 에 의한 $y(\theta)$ 의 파형 .....	10
그림 2.6 2-tone(5 MHz tone간격)에 대한 시간부정합에 따른 혼변조 특성 .....	13
그림 3.1 (n+m) port망 의 port reduction 방법 .....	17
그림 3.2 (a) 제안된 반사형 병렬 공진기와 (b) 마이크로파 반사형 균지연 시 간 조정기.....	18
그림 3.3 제안된 GDТА의 시뮬레이션 결과: (a) 균지연 시간 특성, (b) 균지 연 시간에 따른 삽입손실과 (c) 반사손실 .....	19
그림 3.4 제안된 GDТА의 측정결과: (a) 균지연 시간 특성, (b) 균지연 시간에 따른 삽입손실과 (c) 반사손실 .....	21
그림. 3.5 이득 보상된 2단 GDТА의 측정결과: (a) 균 지연 시간 특성, (b) 균 지연 시간에 따른 삽입손실과 (c) 반사손실 .....	23

그림. 3.6 제안된 2단 GDTA의 사진	25
그림. 4.1 포락선 증폭기의 기본 구조	26
그림. 4.2 포락선 증폭기의 등가모델	27
그림. 4.3 저전압 포락선 증폭기의 ADS 시뮬레이션 회로도	28
그림 4.4 저전압 포락선 증폭기의 ADS 시뮬레이션 결과: (a) 출력 포락선 전압, (b) 전류, (c) 게이트 구동기 출력전압, (d) 감지저항에 걸린 전압	28
그림 4.5 제안하는 포락선 증폭기의 회로도	31
그림. 4.6 200 kHz 간격 2-tone 포락선 신호에 대한 포락선 증폭기 측정결과: (a)출력 포락선 전압과 (b) 스위칭 전압	33
그림 4.7 WCDMA 1FA(5 MHz) 포락선 신호에 대한 포락선 증폭기 측정결과: (a)출력 포락선 전압과 (b) 스위칭 전압	38
그림 5.1 DGS를 이용한 E급 전력증폭기의 출력회로	30
그림 5.2 출력 고조파 차단을 위한 DGS: (a) 아령형태, (b)나선형태	30
그림 5.3 시뮬레이션 및 측정된 출력정합회로 전달특성( $S_{21}$ )과 (b) 측정된 DGS 부하회로의 임피던스	33
그림 5.4 E급 전력증폭기의 시간 축에서의 전압 및 전류시뮬레이션 결과	41
그림 5.5 E급 전력증폭기의 출력전력, 이득, 효율의 측정결과	41
그림 6.1 제안하는 하이브리드 포락선 추적 전력증폭기의 블록도	43
그림 6.2 RF신호와 포락선 신호 간의 대략적 시간 정합	44
그림 6.3 1 MHz 2-tone 신호에 대한 출력전력 측정결과	45
그림 6.4 WCDMA 1FA에 대한 CCDF 측정	48
그림 6.5 WCDMA 1FA에 대한 (a) 드레인 효율 및 (b) 출력 스펙트럼 측정결과	49
그림 6.6 WCDMA 2FA에 대한 드레인 효율 측정결과	42

그림 6.7 WCDMA 2FA에 대한 출력 스펙트럼 측정 결과: (a) +5 ns 변화에 따른 출력 스펙트럼, (b) -5 ns 변화에 따른 출력 스펙트럼 .....	44
그림 7.1 디지털 신호처리부와 연동된 하이브리드 포락선 추적 전력증폭기 블록도 .....	45

## 표 목 록

표 2.1 EER, ER 그리고 Hybrid ET의 비교 .....	5
표 3.1 2.14 GHz에서 SMV1233 측정 .....	15
표 3.2 SMV1233와 전송선로( $Z_c=84^\circ, 27^\circ$ )의 2.14 GHz 측정.....	16
표 6.1 1 MHz 2-tone 신호에 대한 IMD3 성능 개선표 .....	46
표 6.2 WCDMA 2FA 신호에 대한 ACPR 성능 개선표 .....	61



## 요 약

본 논문에서는 포락선 경로와 RF 경로간의 미세한 군지연 시간 부정합에 따른 포락선 전력증폭기의 선형성의 급감문제를 수식적으로 분석하였다. 이러한 문제를 해결하기 위해 고해상도로 5ns 시간 변화를 조절할 수 있는 광대역 마이크로파 군지연 시간 조정기 (Group Delay Time Adjustor: GDTA)를 설계하였다.

GDTA를 적용한 광대역 특성을 갖는 하이브리드 포락선 추적 전력증폭기 (Envelope Tracking Power Amplifier: ETPA)를 설계하기 위해 광대역 포락선 증폭기와 20W 출력의 E급 PA를 설계하였다. 이를 전체 포락선 추적 시스템에 적용하여 RF 경로에서의 군지연 1ns 단위시간 변화에 따라 선형성의 변화를 측정하였고 채널당 5 MHz의 2 FA 광대역 신호에 대해 약 7dB 이상의 ACPR 개선을 확인할 수 있었다.

주요어: 포락선 추적 시스템, E급 전력증폭기, 군지연 시간 조정기, 선형성, ACPR

## Abstract

# Group Delay Time Matched Microwave Envelope Tracking Power Amplifier

Taesoo Moon

Department of Electronics and Information Engineering

Chonbuk National University

In this paper, according to tiny time mismatching between RF and envelope path in the envelope tracking system, serious linearity degradation for envelope tracking system is mathematically analyzed. To solve this problem, wideband microwave group delay time adjustor (GDTA) controlling 5 ns time variation was designed.

In order to design hybrid envelope tracking power amplifier (ETPA) employing GDTA, wideband envelope amplifier and 20W class E RF power amplifier were designed. Applied for envelope tracking system, tendency of linearity change was observed and more than 7 dB

improvement of ACPR for 2 FA 5 MHz channel bandwidth signals was obtained by varying 1 ns time step of group delay.

Key word: envelope tracking system, class E power amplifier, group delay time adjustor, linearity, ACPR

# 1. 서 론

급속도로 발전하는 무선통신 시스템에서는 높은 데이터 용량을 요구함과 동시에 한정된 주파수 자원을 효율적으로 사용해야 한다. 또한 국가적인 차원에서 시스템의 에너지 소모를 줄이고 기존 통신시스템의 그린화를 적극 권장하고 있다. 따라서 광대역 특성을 갖고 침두치 대비 평균전력비(Peak to Average Power Ratio: PAPR)가 8~10 dB 가량 되는 WCDMA(Wideband Code Division Multiple Access)나 LTE(Long Term Evolution)와 같은 높은 PAPR 변조신호들을 사용함으로써 통신의 질과 주파수 이용 효율을 높일 수 있다. 하지만 높은 PAPR 신호를 이용한 무선통신 시스템 설계에 있어서 선형성 및 Back-off 영역에서의 효율 문제가 발생한다. 따라서 무선통신 시스템에서 가장 많은 전력을 소비하는 RF전력증폭기(Power Amplifier: PA)의 고효율 및 선형화 기법에 대한 기술개발이 활발하게 진행되고 있다<sup>[1-6]</sup>.

PA의 효율을 최대화 하기 위해 C/D/E 또는 F 급과 같은 고효율 PA를 사용하게 되는데, 이는 압축 영역 또는 포화영역에서 고효율로 동작시킬 수 있다. 하지만 추가적인 선형화 기법이 필요하며, 이로 인하여 시스템 효율이 저하되는 문제점이 있다. 또한 PA가 포화영역에서만 고효율 특성을 갖기 때문에 선형화 기법을 적용했다 하더라도 평균 효율 또한 높지 못한 단점이 있다. 변조신호는 대부분의 운용시간이 PAPR보다 낮은 신호에서 동작하므로 높은 PAPR을 갖는 변조신호에 대한 PA 설계에서 Back-off 영역에서의 효율개선이 필요하다.

이와 같은 문제점들을 해결하기 위해 평균전력에서의 효율을 높일 수 있는 포락선 추적(Envelope Tracking: ET)<sup>[1]</sup>, EER (Envelope Elimination Restoration)<sup>[2]</sup>, out-phasing<sup>[3]</sup>, Doherty<sup>[6]</sup> 과 같은 많은 여러 구조의 PA에 대한 연구들이 진행되어 왔다. 그 중에서 EER과 ET는 Kahn에 의해 제안되었고<sup>[5]</sup>, 기존의 고정적으로 인가되는 드레인 바이어스 대신에 RF입력신호의 포락선(Envelope)에 따라 드레인 바이어스가 변조되어 인가된다<sup>[6]</sup>. 각 RF입력

신호에 대해서 필요한 DC전력이 공급되기 때문에 이상적으로 100%의 효율을 얻을 수 있다. 하지만 두 개의 입력경로를 갖는 EER 또는 ET 시스템은 경로간 시간 부정합에 따른 선형성 저하문제가 발생한다. 따라서 두 개의 경로를 갖는 EER 또는 ET 증폭기는 시간 정합이 필요하게 되어, 시간 보상을 함으로써 선형성을 개선시킬 수 있다. 하지만 신호의 대역이 넓을수록 두 경로간의 미세한 시간 부정합에도 선형성이 크게 저하되기 때문에 정확한 시간 정합이 필요하다.

본 연구에서는 포락선 추적 전력 증폭기(Envelope Tracking Power Amplifier: ETPA)의 포락선 경로와 RF 경로간의 미세한 군지연 시간 부정합에 따른 선형성의 변화를 수식적으로 분석하였고, 군지연 시간 부정합에 따른 선형성 급감문제를 해결하기 위해 수 ns 단위의 시간을 조절할 수 있는 마이크로파 광대역 군지연 시간 조정기(Group Delay Time Adjustor: GDTA)를 WCDMA 하향 대역(2.11 GHz ~ 2.17 GHz)에 대해서 설계하였다<sup>[7]</sup>. 현재 국내외적으로 나와 있는 EER 또는 ET에서의 선형화 기술들은 대부분 디지털 제어회로<sup>[8-13]</sup>에 국한되어 있기 때문에 본 연구에서 사용되는 마이크로파 시간 제어회로를 사용한 설계를 거의 전무하다고 볼 수 있다.

이 기법을 적용하기 위한 PA는 DGS(Defected Ground Structure)를 적용한 20 W 출력을 낼 수 있는 E급 전력증폭기를 설계하였고<sup>[8]</sup>, 광대역 고효율 포락선 증폭기(Envelope Amplifier: EA)를 설계하였다. 동작 상태를 확인하기 위해 2-tone 신호 및 WCDMA신호에 대한 3차 혼변조 왜곡 및 인접채널전력비(Adjacent Channel Power Ratio: ACPR) 특성과 드레인 효율 개선을 확인함으로써, 높은 군지연 해상도 시간 조절을 통한 ET 시스템에서의 높은 선형성 개선을 이론적으로 제시하고 실험적으로 증명하였다.

## 2. 포락선 추적 전력증폭기의 비선형 특성 분석

### 2-1. EER과 ET 소개

EER은 그림 2.1과 같이 D/E 또는 F급의 스위치모드 전력증폭기의 설계에 적용된다. EER은 입력된 RF신호가 리미터(Limiter)에 의해 크기(Amplitude) 성분은 제거되고 위상(Phase) 성분만 인가되는 펄스폭 변조(Pulse Width Modulation: PWM) 신호로 변환되고, 포락선 감지기(Envelope Detector)에 의해 추출된 포락선이 전력증폭기의 증폭된 RF 위상출력신호와 재결합하여 출력되는 구조이다. 따라서 넓은 출력 구간에 대해서 높은 효율을 얻을 수 있지만 포락선 경로와 RF경로간의 매우 작은 시간 부정합에도 선형성의 저하가 매우 심하게 발생하기 때문에 시간 정합에 대한 세심한 고려가 필요하다. 또한 일반적으로 포락선 증폭기에 의한 고조파 성분을 제거하기 위해 스위치 단의 대역폭은 포락선 신호의 4배를 요구한다.

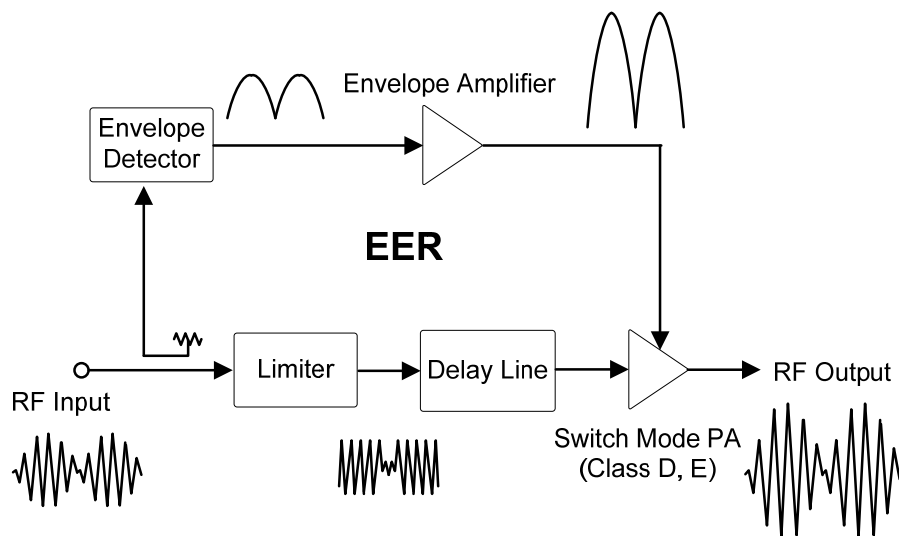


그림 2.1 EER 전력증폭기의 기본 구조

Figure 2.1 Basic structure of EER PA.

그림 2.2는 일반적인 포락선 추적 전력증폭기의 기본 구조를 나타낸다. EER과 유사한 구조를 띄지만 포락선 추적 전력증폭기는 리미터를 사용하지 않고, 선형모드 증폭기(A, AB 또는 B급)을 사용하게 되므로 RF 입력신호를 위상성분과 크기성분을 모두 포함하는 신호가 인가되어 선형증폭을 한다. 또한 EER과 마찬가지로 RF 입력 신호의 포락선을 추출하여 바이어스 변조기에 의해 증폭되어 각 RF 신호레벨에 필요한 변조된 바이어스만을 공급된다. 하지만 실제적으로 바이어스 변조기에 DC offset이 되어 전력증폭기에 공급되고, 선형모드 전력증폭기를 사용했기 때문에 EER 구조보다 효율은 떨어지지만 포락선 경로와 RF경로간 시간 부정합에 따른 선형성 저하가 상대적으로 덜하다. 또한 RF 입력신호가 크기성분을 포함하고 있기 때문에 위상성분만을 포함한 EER의 입력신호보다 주파수 대역이 좁아지기 때문에 더 좁은 주파수의 바이어스 변조기를 요구하게 되어 설계상의 이점이 있다.

그림2.3은 EER과 ET의 단점을 서로 보완한 Hybrid ET (또는 Hybrid EER)의 기본 구조이다. 전력증폭기는 EER에서 쓰이는 스위치모드 전력증폭기를 사용하였고, 리미터를 제거함으로써 ET 구조를 사용하였다.

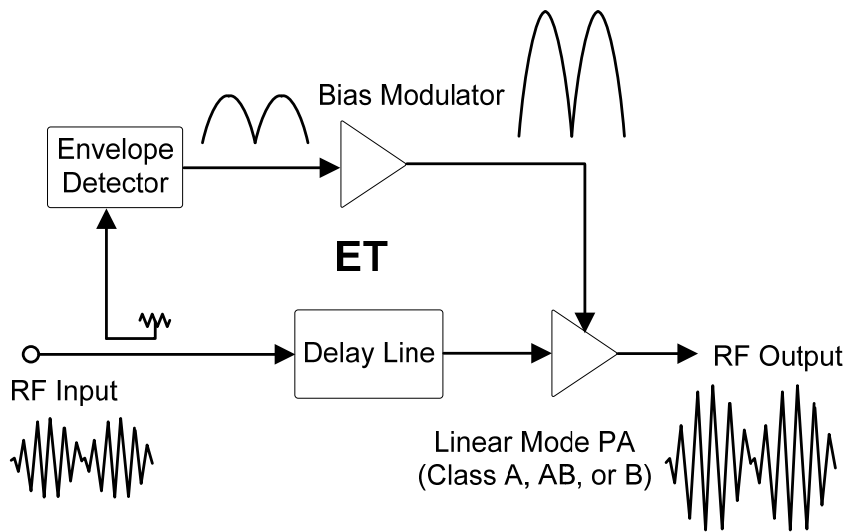


그림 2.2 ET 전력증폭기의 기본 구조

Figure 2.2 Basic structure of ET PA.

표 2.1은 EER과 ET 그리고 본 연구에서 사용한 Hybrid EER의 기본성능 비교이다. Hybrid ET는 EER과 ET의 장단점을 보완한 구조이기 때문에, 바이어스 변조기 설계 시 좁은 주파수 대역의 소자를 사용할 수 있고 이로 인해 포락선 경로와 RF 경로 간의 시간부정합에 따른 선형성 저하의 민감도가 떨어지게 된다. 특히 높은 이득과 효율을 동시에 얻을 수 있기 때문에 세 구조 중에서 가장 높은 전력부가효율(Power Added Efficiency: PAE)을 얻을 수 있다.

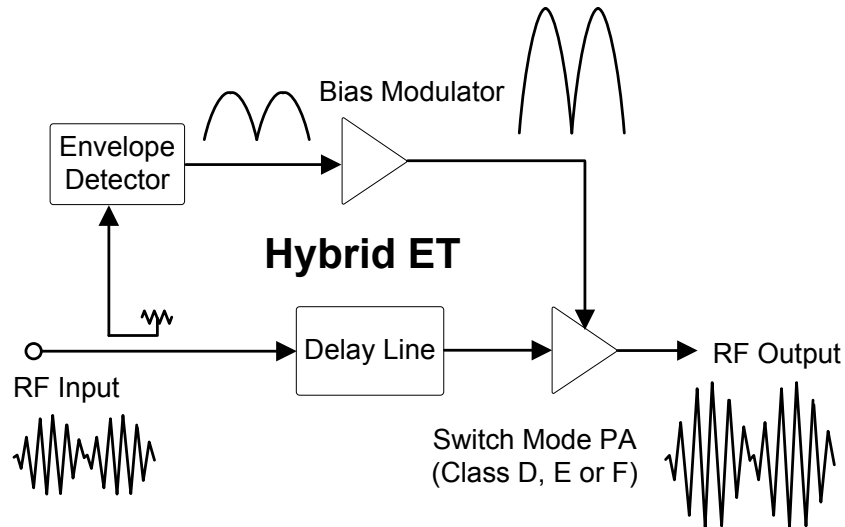


그림 2.3 하이브리드 ET(또는 EER) 전력증폭기의 기본 구조

Figure 2.3 Basic structure of Hybrid ET(or EER) PA.

표. 2.1 EER, ER 그리고 Hybrid ET의 비교<sup>[15]</sup>

Table. 2.1 Comparison among EET, ET and Hybrid ET.

	EER	ET	Hybrid ET
평균효율	매우 높음	높음	높음(PAE 높음)
이득	낮음	보통	보통
시간정합	매우 민감	민감	민감
포락선경로 대역폭	매우 넓음	넓음	넓음



ET 전력증폭기는 크게 바이어스 변조기(또는 포락선 증폭기)부분과 전력증폭기부분으로 구성되어있다. 즉, 2개 이상의 증폭기가 연결되어 있기 때문에 전체 시스템 효율을 높이기 위해서는 각 증폭기의 효율이 높아야 한다.

$$\eta_{EA} = \frac{P_{OUT\_EA}}{P_{DC\_EA}} \quad (2-1)$$

$$\eta_{PA} = \frac{P_{OUT\_PA}}{P_{DC\_PA}} = \frac{P_{OUT\_PA}}{P_{OUT\_EA}} = \frac{P_{OUT\_PA}}{\eta_{EA} P_{DC\_EA}} \quad (2-2)$$

$$\eta_{total} = \eta_{EA} \eta_{PA} = \frac{P_{OUT\_PA}}{P_{DC\_EA}} \quad (2-3)$$

$\eta_{EA}$  와  $\eta_{PA}$  는 각각 포락선 추적증폭기와 전력증폭기의 효율이다. 전체 효율  $\eta_{Total}$  은 식 (2-3)와 같이 두 효율의 곱으로 나타나기 때문에, 각 증폭기의 효율이 높아야 한다.

## 2-2. 포락선 신호와 RF신호

EER 또는 ET 시스템에서 포락선과 RF신호를 분석하기 위해서는 기저대역 신호(Base band signal)이용하여 분석할 수 있다. 기저대역신호는  $I, Q$  와 같이 복소형태(Complex form)또는  $A$  와  $\phi$  처럼 크기와 위상으로 표현된 페이저 형태(Phasor form)로 표현할 수 있다. 이 중에서 포락선 신호는 크기성분만을 포함하고 있고, RF신호는 위상성분만을(EER의 경우) 포함하고 있기 때문에 복소형태의 신호를 페이저 형태로 변환하여 분석해야 한다.

$$s_{BB} = I(t) + jQ(t) = A(t)\phi(t) \quad (2-4)$$

$$A(t) = \sqrt{I(t)^2 + Q(t)^2} \quad (2-5)$$

$$\phi(t) = e^{j \tan^{-1}(Q/I)} \quad (2-6)$$

$s_{BB}$  는 기저대역신호이고  $I, Q$  신호를 각각 식 (2-5)와 (2-6)같이 크기와 위상 신호로 표현할 수 있다. 따라서 시간 부정합을 분석하기 위해서 포락선 성분으로 생각할 수 있는 기저대역신호의 크기성분과 RF성분으로 생각할 수 있는 기저대역신호의 위상성분의 시간도메인에서의 위상비교를 통해서 EER 또는 ET의 선형성 저하특성을 분석할 수 있다.

### 2-3. 포락선 신호와 RF신호의 푸리에 급수전개

앞서 기저대역신호를 이용한 RF신호와 포락선 신호를 페이지형태로 변환한 결과를 분석의 용이성을 위해 간단한 주기 신호인 2-tone를 이용하여 분석하였다.

$$\begin{aligned}
 s_{RF\_2\text{-tone}} &= \frac{1}{2}[\cos(\omega_c + \omega_d)t + \cos(\omega_c - \omega_d)t] \\
 &= \cos \omega_c t \cdot \cos \omega_d t \\
 &= E_i(\theta) \cos[\omega_c t + \phi_i(\theta)] \quad \text{where } E_i(\theta) = |\cos \theta|, \theta = \omega_d t \quad (2-7)
 \end{aligned}$$

$$\phi_i(\theta) = \frac{\pi}{2}[1 - k(\theta)] \quad (2-8)$$

식(2-7)에서  $s_{RF\_2\text{-tone}}$  는 RF 2-tone 신호를 나타내고, 중심주파수  $\omega_c$  를 기준으로 2-tone 간격( $2\omega_d$ )을 갖는 식으로 표현할 수 있다. 신호의 위상과 크기를 구분 짓기 위해 식(2-4)와 같이 표현하였다.  $E_i(\theta)$  는 크기성분을 나타내는 포락선 신호이고,  $\phi_i(\theta)$  는 RF경로의 위상성분을 나타낸다. 따라서  $E_i(\theta)$  와  $\phi_i(\theta)$  의 위상차이를 통해서 두 경로 사이의 시간 부정합을 알 수 있고 그에 따른 선형성 저하를 정량적으로 산출할 수 있다. 또한 수식의 용이성을 위해서

위상 성분을 다시 정리하면 식(2-8)로 표현할 수 있다. 여기에서  $k(\theta)$  는 cosine 함수적으로 +1과 -1을 교차하는 사각파이다.

먼저 코사인 함수의 절대값을 갖는 포락선 신호 성분을 분석하기 위해 푸리에 급수전개를 통하여 각각의 주파수 성분을 추출할 수 있고 복소 푸리에 계수  $c_n$ 은 식 (2-9)으로 전개할 수 있다.

$$\begin{aligned}
 c_n &= \frac{1}{T} \int_{-T/2}^{T/2} |\cos \theta| e^{-jn\omega_0\theta} d\theta = \frac{1}{\pi} \int_{-\pi/2}^{\pi/2} \cos \theta e^{-jn\theta} d\theta \quad (T = 2\pi, \omega_0 = \frac{2\pi}{T} = 1) \\
 &= \frac{1}{\pi} \int_{-\pi/2}^{\pi/2} \left( \frac{e^{j\theta} + e^{-j\theta}}{2} \right) e^{-jn\theta} d\theta \\
 &= \frac{1}{\pi} \cos\left(\frac{n\pi}{2}\right) \left( \frac{2}{1-n^2} \right) \tag{2-9}
 \end{aligned}$$

식 (2-9)에서 구한 복소 푸리에 계수  $c_n$ 을 실수와 허수로 표현하면 다음과 같다.

$$c_n = \frac{a_n - jb_n}{2} \tag{2-10}$$

$$a_n = \begin{cases} \frac{2}{\pi}, & n=0 \\ \frac{2}{\pi} \cos\left(\frac{n\pi}{2}\right) \left( \frac{1}{1-n^2} \right) = \frac{4}{\pi} \frac{(1)^{(n-1)/2}}{n^2-1}, & n \geq 2 \text{ (} n \text{ is even)} \end{cases} \tag{2-11}$$

$$b_n = 0 \tag{2-12}$$

$$E_i(\theta) = |\cos(\theta)| = \left[ a_0 + \sum_{n=2,4,6} a_n \cos n\theta \right] \tag{2-13}$$

푸리에 급수식에 의해 식(2-10)과 같이 복소 푸리에 계수를 실수부분( $a_n$ )과 허수부분( $b_n$ )으로 나눌 수 있고, 푸리에 계수가  $n$ 에 대하여 우함수이기 때문에

계수는 실수 값만 갖게 되고 식(2-11)과 같이 계수 값을 얻을 수 있으며, 최종적으로 2-tone 신호의 포락선 신호의 푸리에 급수전개는 식(2-13)과 같이 표현할 수 있다.

같은 방법으로 위상신호에 대한 푸리에 급수전개를 하면 위상신호의 실수 푸리에 계수( $p_m$ )와 그에 따른 위상신호의 푸리에 급수 전개  $k(\theta)$ 를 다음과 같이 구할 수 있다.

$$p_m = \frac{4}{m\pi} \sin \frac{m\pi}{2} = \frac{4}{m\pi} (-1)^{(m-1)/2}, \quad (m \text{ is odd}) \quad (2-14)$$

$$q_m = 0 \quad (2-15)$$

$$k(\theta) = \sum_{m=1,3,5,\dots} p_m \cos m\theta \quad (2-16)$$

푸리에 계수가 기함수이기 때문에 복소 푸리에 계수의 실수와 허수 값이 각각 식(2-14)과 (2-15)로 나타낸다. 따라서 위상함수  $k(\theta)$ 를 식(2-16)으로 표현할 수 있다.

#### 2-4. 시간 부정합에 따른 선형성 저하 분석

앞 절에서 푸리에 급수 전개법을 이용하여 포락선 신호와 RF 신호의 위상신호에 대한 푸리에 급수전개를 하였다. 이 두 신호의 위상차이, 즉 RF 경로와 포락선 경로의 시간부정합( $\tau$ )에 의해 생기는 선형성 저하현상을 분석하였다.

$$y(\theta) = |\cos \theta| c(\theta + \tau) = \cos(\theta) + err(\theta) \quad (2-17)$$

$$err(\theta) = \begin{cases} -2\cos \theta, & \pi/2 - \tau \leq \theta < \pi/2 \\ -2\cos \theta, & 3\pi/2 - \tau \leq \theta < 3\pi/2 \\ 0, & \text{otherwise} \end{cases} \quad (2-18)$$

식(2-17)은  $\tau$ 만큼 시간 지연된 위상신호와 포락선 신호의 곱을 나타낸 것이다. 시간 지연이 없다면 순수한 cosine 신호가 나오게 되지만 지연이 생긴다면 오류함수  $err(\theta)$  만큼의 지연이 생기게 되고, 식(2-18)와 같이 표현할 수 있다.

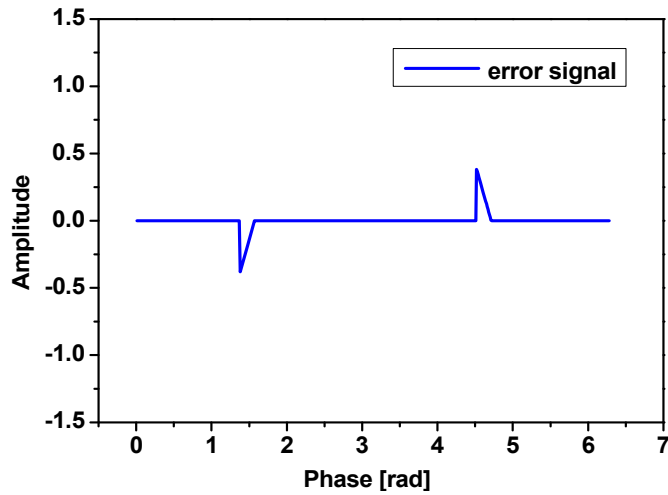


그림 2.4 시간지연  $\tau$ 에 의한 오류신호 파형

Figure 2.4 Error signal waveform according to time delay  $\tau$ .

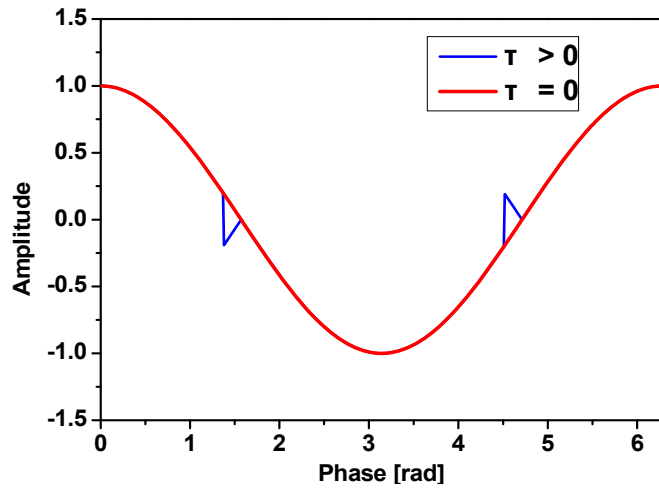


그림 2.5 시간지연  $\tau$ 에 의한  $y(\theta)$ 의 파형

Figure 2.5 waveform of  $y(\theta)$  according to time delay  $\tau$ .

그림 2.4 는 시간 부정합이 0.1 rad 의 시간 부정합에 생겼을 시 나타나는 파형이고, 그림 2.5 는 그에 따른 순수한 cosine 함수와 왜곡된 cosine 함수를 비교한 것이고 이 왜곡된 함수를 푸리에 분석하여 시간 부정합에 따른 선형성의 저하를 알 수 있다.

$$err'(\theta) = \begin{cases} -2\sin\theta, & 0 \leq \theta < \tau \\ -2\sin\theta, & \pi \leq \theta < \pi + \tau \\ 0, & otherwise \end{cases} \quad (2-19)$$

수식전개의 편의성을 위해 오류함수를 식(2-19)와 같이 변환하여 표현할 수 있다. 원하는 신호의 크기를 정규화된 값인 1로 정하고 오류함수의 푸리에 급수전개를 통한 푸리에 계수의 크기와 비교한다면 선형성의 저하 정도를 산출할 수 있다.

$$\begin{aligned} g_n &= \left( -\frac{4}{\pi} \right) \int_0^\tau \sin\theta \cos n\theta d\theta \\ &= \left( -\frac{2}{\pi} \right) \left| \frac{1 - \cos(n+1)\tau}{n+1} + \frac{\cos(n+1)\tau - 1}{n-1} \right| \end{aligned} \quad (2-20)$$

$$\begin{aligned} h_n &= \left( -\frac{4}{\pi} \right) \int_0^\tau \sin\theta \sin n\theta d\theta \\ &= \left( -\frac{2}{\pi} \right) \left| \frac{\sin(n+1)\tau}{n-1} - \frac{\sin(n+1)\tau}{n+1} \right| \end{aligned} \quad (2-21)$$

식(2-20)과 (2-21)은 오류함수에 대한 복소 푸리에 계수의 실수부와 허수부이다. 수식의 간략화를 위해 매우 작은 시간 부정합이 일어났다는 가정이 있다면  $n\tau$ 가 1보다 훨씬 작다는 조건을 얻을 수 있으므로 Taylor 근사식을 이용하면 다음과 같이 간단화 할 수 있다.

$$g_n \cong \left(-\frac{1}{\pi}\right) \left[ \frac{(n+1)^2 \tau^2}{n+1} - \frac{(n-1)^2 \tau^2}{n-1} \right] = -\frac{2\tau^2}{\pi} \quad (2-22)$$

$$h_n \cong \left(-\frac{1}{\pi}\right) \left[ \frac{(n+1)\tau}{n+1} - \frac{(n-1)\tau}{n-1} \right] = 0 \quad (2-23)$$

$$i_n = (g_n^2 + h_n^2)^{\frac{1}{2}} \approx |g_n| = \frac{2\tau^2}{\pi} \quad (2-24)$$

식(2-22)과 (2-23)는 Taylor 근사법에 얻어진 오류함수 복소 푸리에 계수의 실수부와 허수부이다. 복소 푸리에 계수의 크기 값은 식(2-24)으로 나타낼 수 있다. 식을 통하여 시간 부정합의 따른 선형성 저하는 부정합의 제곱에 비례함을 알 수 있다.

$$IMD_n = \frac{1}{|i_n|} \quad (2-25)$$

식(2-25)은 반송파 신호(carrier signal)에 대한 푸리에 계수 값이 1로 정규화 되었다고 보았을 때 오류함수의 크기  $i_n$ 을 비교하여 2-tone 신호의 혼변조 왜곡정도를 나타낸 것이다. 이를 이용하여 그림 2.6 과 같이 시간 부정합에 따른 혼변조 왜곡 특성을 확인할 수 있다. 3 차 혼변조 왜곡 (3<sup>rd</sup> Inter Modulation Distortion: IMD<sub>3</sub>) 특성이 시간 부정합에 따른 선형성 저하가 가장 심하다는 것을 알 수 있고, 0~10 ns 부정합 영역에서 선형성 저하가 가장 급격하게 일어나는 것을 알 수 있다.

따라서 10 ns 미만의 작은 시간 부정합에도 5 MHz 이상의 광대역 신호에 대해서는 선형성 저하가 급격하게 일어나는 것을 수식적으로 분석 하였고, 광대역 신호에 대해서는 10 ns 미만의 미세한 시간 조절의 필요성을 이를 통하여 알 수 있다.

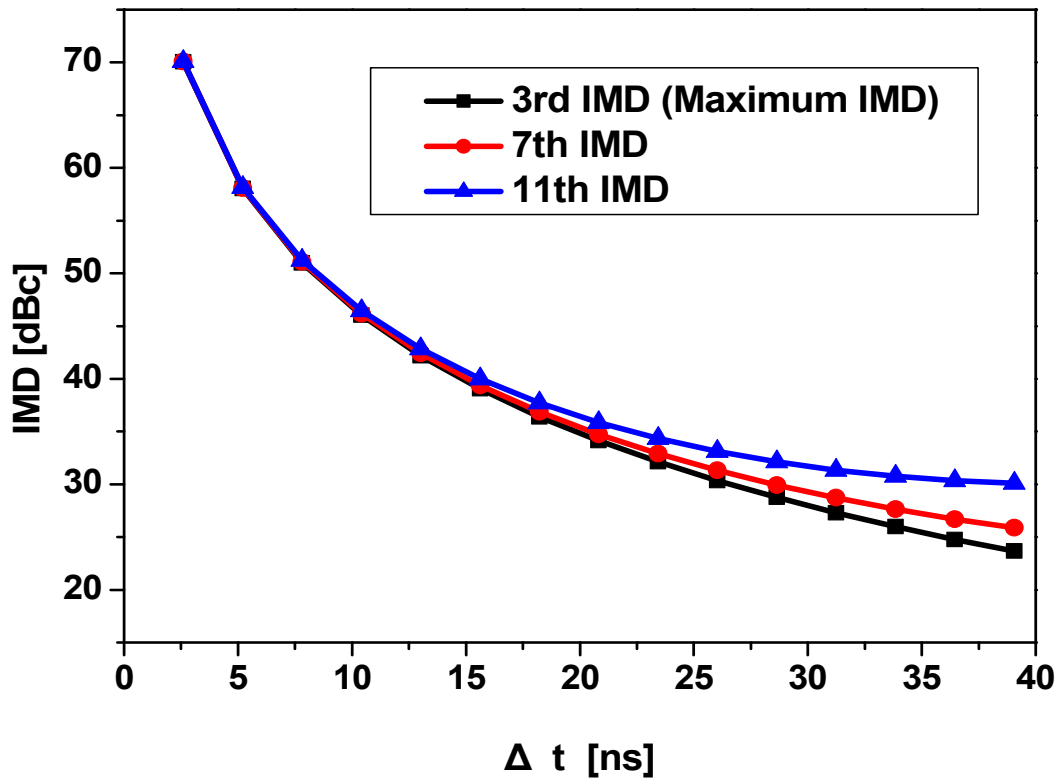


그림 2.6 2-tone (5 MHz tone간격)에 대한 시간부정합에 따른 혼변조 특성  
 Figure 2.6 IMD characteristics according to time mismatching for 2-tone signal (5 MHz spacing).



### 3. 광대역 마이크로파 균지연 시간 조정기

#### 3-1. 균지연 시간

균지연 시간(Group Delay)이란 신호가 특정 회로나 시스템을 지나는데 걸리는 시간이다. 일반적으로 시스템의 전기적 특성 또는 물리적인 크기나 구조에 의존한다. 균지연 시간은 각주파수 변화에 대한 전체 위상의 변화로 표현할 수 있고, 수식적으로 식(3-1)과 같이 표현할 수 있다.

$$G.D = -\frac{d\phi}{d\omega} \quad (3-1)$$

$\phi$ 는 전체 위상 그리고  $\omega$ 는 각주파수이다. 균지연 시간 특성을 이용하여 ET 또는 EER에서 생기는 두 경로 사이의 시간 부정합을 조절할 수 있다. 미세한 시간을 조절하기 위해서는 가변 커패시터와 가변 인덕터의 공진특성을 이용하여 위상변화의 기울기를 조절함으로써 균지연 시간을 조절할 수 있는 회로가 요구되고, 본 연구에서는 이를 구현하기 위해 바랙터 다이오드를 이용하였다.

#### 3-2. 바랙터 다이오드

바랙터 다이오드는 다이오드에 역 바이어스를 인가하여 커패시터로서 동작하게 되고 바이어스 전압에 의해서 커패시턴스를 조절할 수 있다. 또한 가변 인덕터의 경우에는 바랙터 다이오드에 전송선로를 연결하여 스미스차트 상에서 인덕턴스가 나타나는 영역을 이용하여 구현하였다.

표. 3.1 2.14 GHz에서 SMV1233 측정

Table. 3.1 Measurement of SMV1233 @2.14 GHz.

$V_c$	$R_j$ [Ohm]	C [pF]	Required L [nH]
0.5	1.39	31	0.17
1	1.31	11.72	0.47
2	1.25	5.28	1.05
3	1.15	3.22	1.72
4	1.10	2.21	2.50
5	1.00	1.70	3.25
6	0.93	1.41	3.92
7	0.85	1.24	4.46
8	0.87	1.14	4.85
9	0.82	1.09	5.07
10	0.83	1.05	5.27
11	0.83	1.03	5.37
12	0.85	1.02	5.42
13	0.85	1.01	5.48
14	0.87	1.00	5.53
15	0.8	0.99	5.59

표. 3.2 SMV1233와 전송선로( $Z_c=84^\circ, 27^\circ$ )의 2.14 GHz 측정

Table. 3.2 Measurement of SMV1233 with transmission line in series  
@2.14 GHz ( $Z_c=84^\circ, 27^\circ$ ).

$V_L$	$R_j$ [Ohm]	L [nH]
0	1.30	3.00
1	1.24	2.31
2	1.18	1.70
3	1.11	1.03
4.4	1.08	0.03

표 3.1 은 2.14 GHz 에서 측정된 SMV1233 바랙터의 커패시턴스 측정결과이고 공진에 필요한 인덕턴스를 나타낸다. 커패시턴스는 0.99~31 pF 을 얻었다. 표 1 에서의 요구하는 인덕턴스를 구현하기 위해 바랙터 다이오드에 전송선로를 연결하여 가변 인덕터를 구현하였고, 다음과 같이 표 3.2 와 같이 바이어스 전압에 따른 인덕턴스를 구하였다. 또한 바이어스 변화에 따른 삽입손실의 변화량을 줄이기 위해서 접합저항값( $R_j$ )이 낮고 바이어스에 따라 변화량이 적은 모델을 이용하였다.

### 3-3. 제안된 균지연 시간 조정기

그림(3-1)은 port reduction method를 나타내는 그림이다. 이를 이용하여 (m+n) port의 회로망에서 m 포트를 중단 시킴으로써 포트를 감소시킬 수 있다. 같은 방법으로 4-port 회로망인 제안하는 균지연 시간 조정기를 2-port로 감소시키면 다음과 같이 새로운 S-parameter 식을 얻을 수 있다<sup>[17]</sup>.

$$[S] = S'_{11} + S'_{12} [S'_L - S'_{22}]^{-1} S'_{21} \quad (3-2)$$

여기에서  $S'_L$ 은 중단되는 port의 S-parameter 행렬이고,  $S'_{ij}$ 는 4-port 회로망의 S-parameter이다.

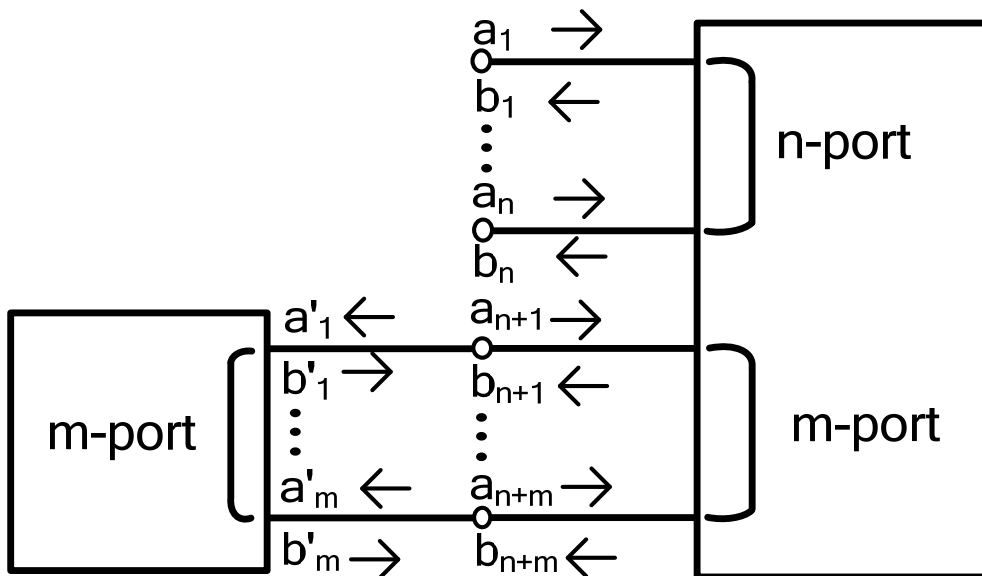


그림 3.1 (n+m) port망 의 port reduction 방법

Figure 3.1 Port reduction method of (n+m) port network.

그림 3.2(a)는 2절에서 구현한 가변커패시터와 가변인덕터를 병렬공진기 형태로 만들어 놓은 것이고, 병렬 공진기의 입력 어드미턴스를 이용하여 입력반사계수( $\Gamma_{RP}$ )를 구할 수 있다.

그림 3.2(b)는 본 연구에서 제안하는 반사형 균지연 시간 조정기의 회로도 이고 4-port 90° 하이브리드 결합기에서 병렬공진기로 2개의 port가 종단되기 때문에 종단된 port에 대한 S-parameter 행렬은 다음과 같다.

$$\Gamma_{RP} = \frac{(Y_0\omega L)^2 - (\omega^2 LC - 1)^2}{(Y_0\omega L)^2 + (\omega^2 LC - 1)^2} + j \frac{2Y_0\omega L(1 - \omega^2 LC)}{(Y_0\omega L)^2 + (\omega^2 LC - 1)^2} \quad (3-3)$$

$$[S_L] = \begin{bmatrix} \Gamma_{RP} & 0 \\ 0 & \Gamma_{RP} \end{bmatrix} \quad (3-4)$$

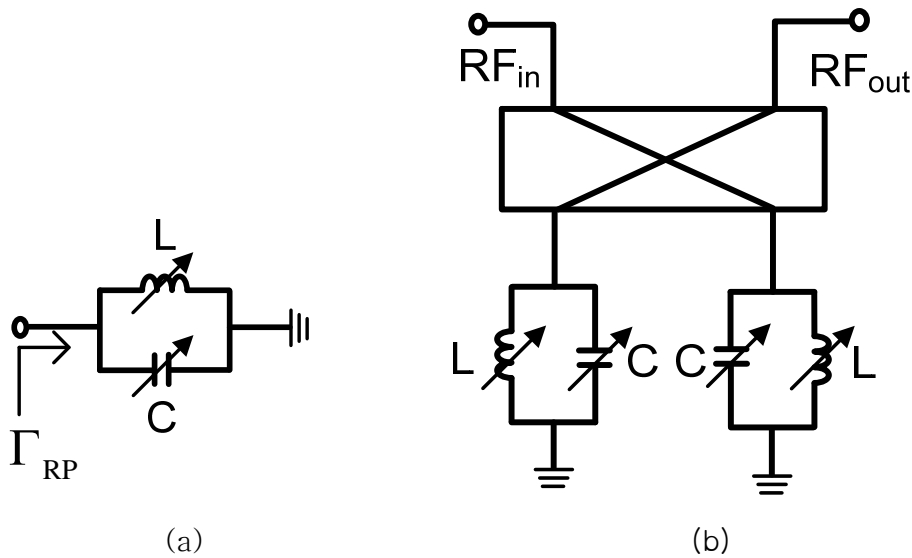


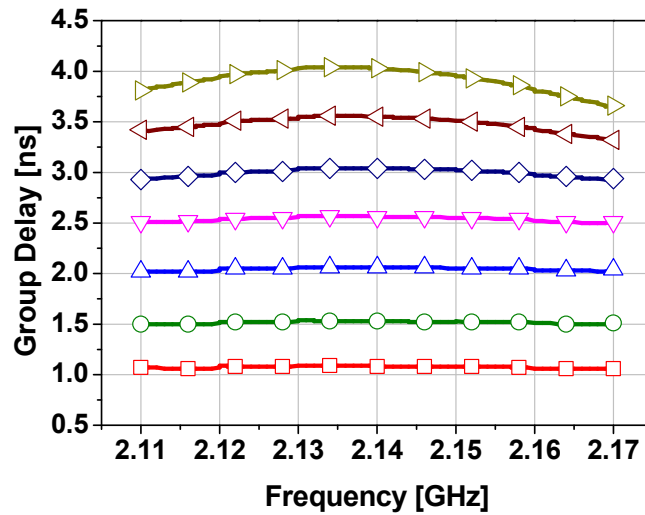
그림 3.2 (a) 제안된 반사형 병렬 공진기와 (b) 마이크로파 반사형 균지연 시간 조정기

Figure 3.2 (a) Reflective parallel resonator and (b) Proposed reflected type microwave GDTA.

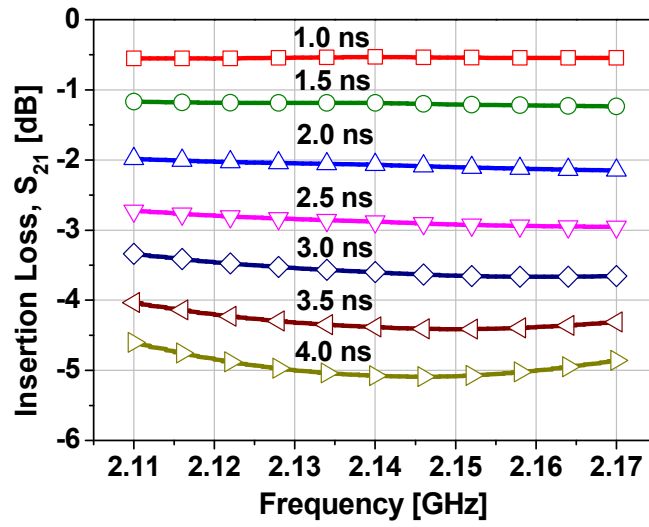
$$[S] = \begin{bmatrix} 0 & -j\Gamma_{RP} \\ -j\Gamma_{RP} & 0 \end{bmatrix} \quad (3-5)$$

$$\tau \Big|_{\omega=\omega_0} = - \frac{d\angle S_{21}}{d\omega} \Big|_{\omega=\omega_0} = \frac{4}{Y_0 \omega_0^2 L} = 4Z_0 C \quad (3-6)$$

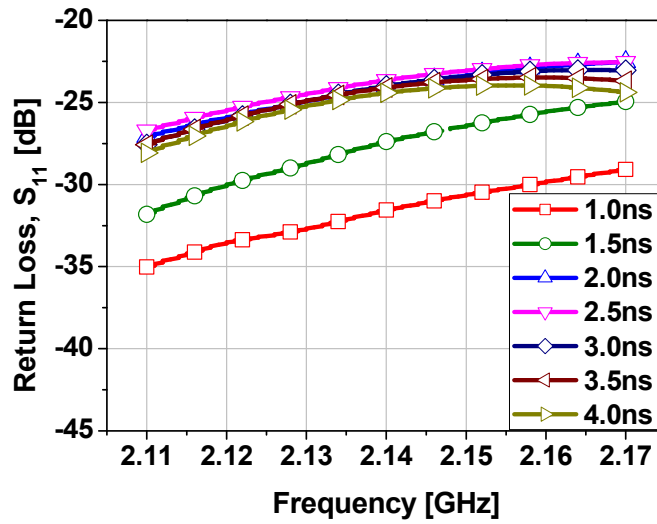
앞서 설명한 port reduction method를 적용하기 위해 식(3-3)과 (3-4)를 이용하면 새로운 2-port GDTA의 S-parameter를 식(3-5)와 같이 구할 수 있다. 그리고 새로운 S-parameter를 이용하여 GDTA의 군지연 시간을 식(3-6)과 같이 구할 수 있다. 식(3-6)을 보면 공진이 된 조건에서 커패시턴스가 증가하거나 인덕턴스가 감소하면 군지연 시간이 증가하는 것을 알 수 있다.



(a)



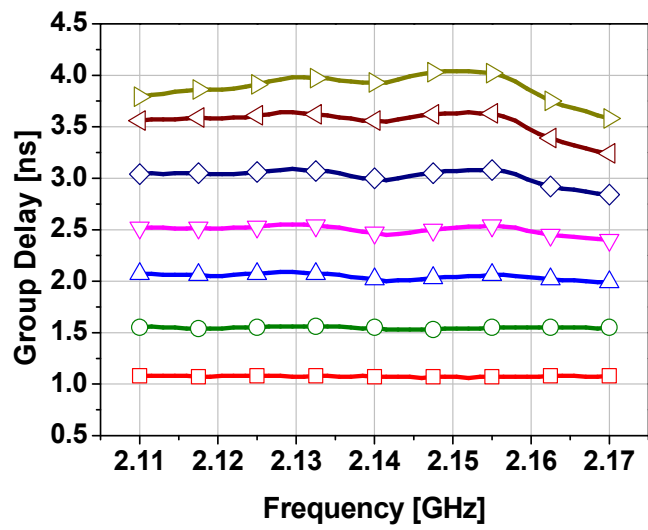
(b)



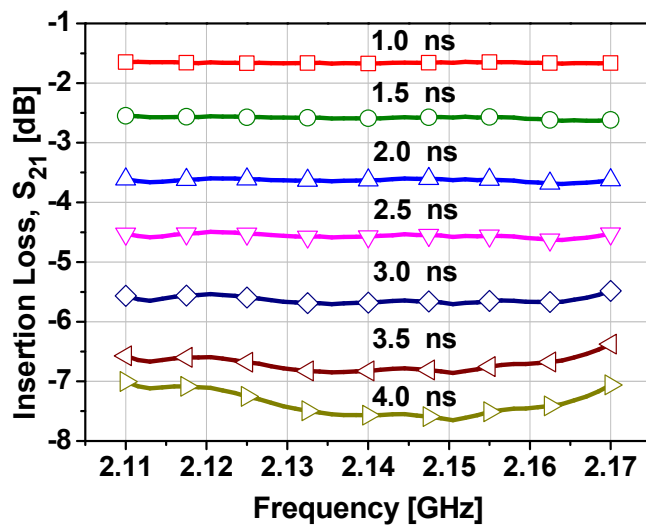
(c)

그림 3.3 제안된 GDTA의 시뮬레이션 결과: (a) 군지연 시간 특성, (b) 군지연 시간에 따른 삽입손실과 (c) 반사손실

Figure 3.3 (a) Simulated results of proposed GDTA: (a) Group delay, (b) insertion loss and (c) return loss.

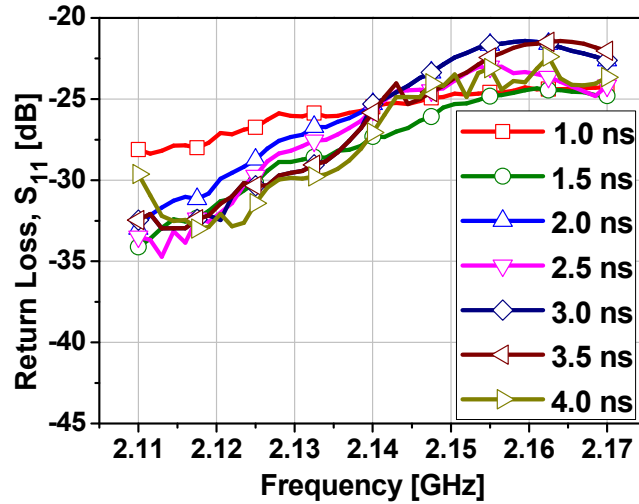


(a)



(b)





(c)

그림 3.4 제안된 GDTA의 측정결과: (a) 군지연 시간 특성, (b) 군지연 시간에 따른 삽입손실과 (c) 반사손실

Figure 3.4 (a) Measured results of proposed GDTA: (a) Group delay, (b) insertion loss and (c) return loss.

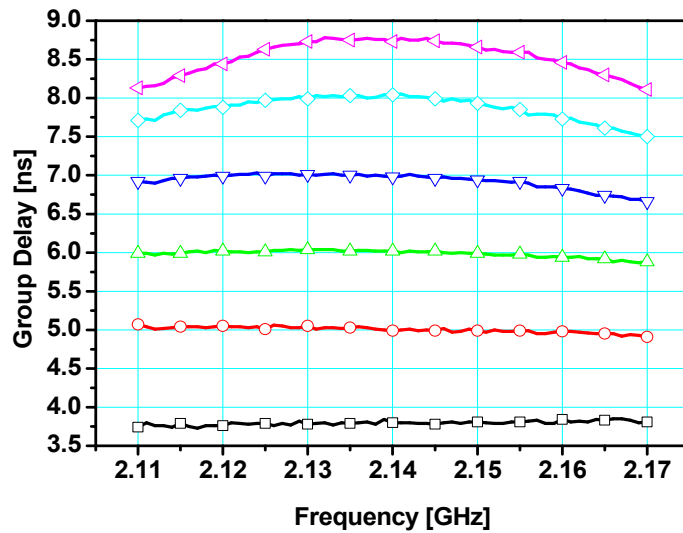
이러한 성질을 이용하여 ADS를 이용하여  $90^\circ$  하이브리드 결합기와 skyworks 사의 바랙터 다이오드 SMV1233-011LF를 사용하여 WCDMA 하향링크 대역인 2.11~2.17 GHz에 대해서 시뮬레이션 하였다. 그림 3.3은 커패시턴스와 인덕턴스를 가변시켰을 시 얻은 특성이고, 각각 군지연 시간, 군지연 시간에 따른 삽입손실 및 반사손실을 나타낸다. 군지연 가변 시간과 삽입손실은 각각 최대  $3 \pm 0.16$  ns 과  $4.5 \pm 0.25$  dB를 얻었고, 반사손실은 최소 22.53 dB를 얻었다.

그림 3.4는 제안된 GDTA의 측정결과이다. 커패시턴스를 증가하여 군지연 시간을 증가시키면 군지연 시간과 삽입손실의 평탄도가 나빠지는 것을 확인할 수 있었고, 군지연 가변 시간과 삽입손실은 각각 60 MHz 대역에서 최대  $3 \pm 0.17$  ns 와 최소 0.57 dB의 평탄도를 얻었고, 반사손실은 최소 22.18 dB를 얻었고 시뮬레이션 결과와 거의 일치함을 알 수 있다.

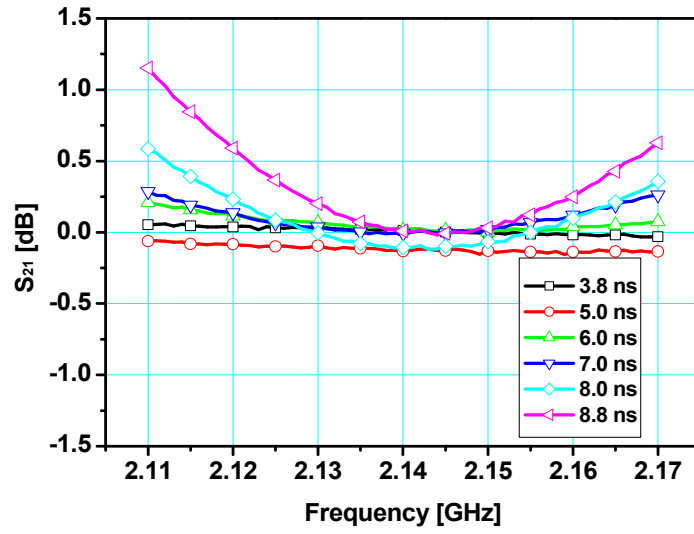
### 3-4. 2단 군지연 시간 조정기 측정

EER 또는 ET의 RF 경로에 제안하는 마이크로파 GDTA를 적용하기 위해서 더 큰 군지연 시간 가변 특성을 요구한다. 따라서 앞서 제작했던 GDTA를 cascade 두 단으로 제작하여 두 배의 큰 군지연 가변 시간 특성을 얻도록 하였다. 또한 군지연 시간을 가변함에 따르는 삽입손실을 가변 감쇠기와 이득보상 증폭기를 이용하여 군지연 시간 특성은 얻되, 이득이 항상 0 dB 특성이 나오도록 제작하였다. 바랙터 다이오드는 Skyworks사의 SMV1233-011LF를 사용하였고, 결합기는 S03A2150N1 그리고 이득보상 증폭기는 Mini-circuits의 ERA-5SM을 사용하였다.

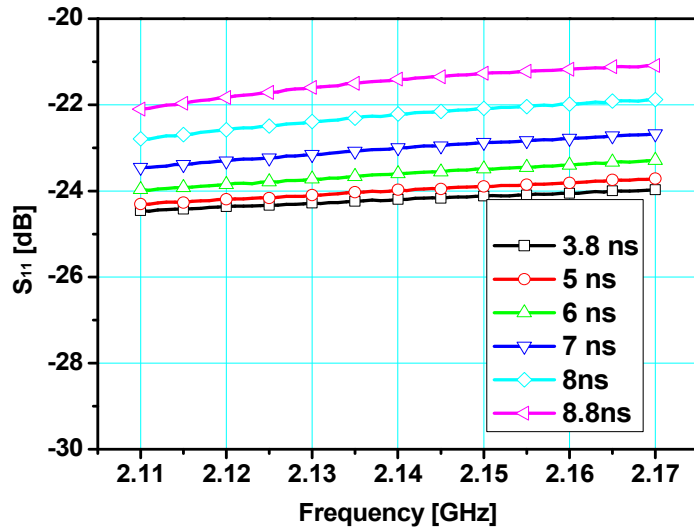
그림 3.5는 이득 보상된 2단 GDTA의 특성을 나타낸다. 3.8~8.8 ns의 군지연을 가변 시켰을 때에 평탄도는  $5 \pm 0.3$  ns을 얻었고, 삽입손실은 최대  $0.6 \pm 0.5$  dB를 얻었다. 또한 반사손실은 최소 21 dB를 얻었다. 그림 3.6은 제작된 이득 보상된 2단 GDTA의 PCB 사진이다.



(a)



(b)



(c)

그림 3.5 이득 보상된 2단 GDTA의 측정결과: (a) 군 지연 시간 특성, (b) 군 지연 시간에 따른 삽입손실과 (c) 반사손실

Figure 3.5 (a) Measured results of 2-stage GDTA: (a) Group delay, (b) insertion loss and (c) return loss.

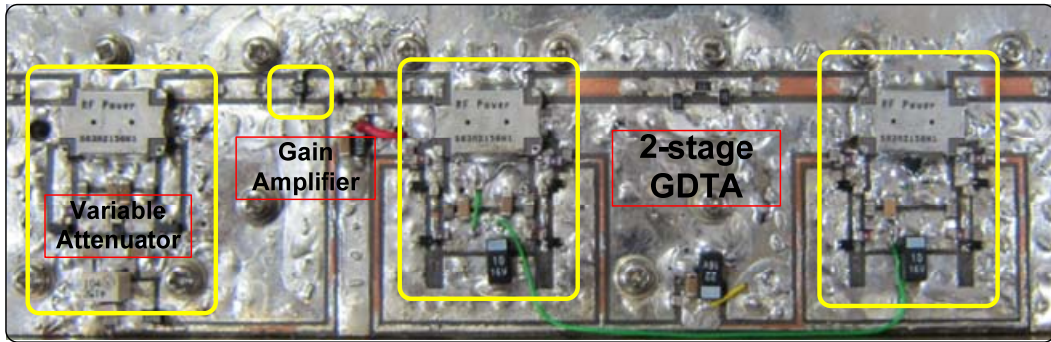


그림 3.6 제안된 2단 GDTA의 사진

Figure 3.6 Photo graph of proposed 2 stage GDTA.

## 4. 포락선 추적 증폭기

### 4-1. 포락선 추적 증폭기

RF입력 신호가 포락선 검출기를 거쳐 추출된 포락선 신호를 증폭시킴으로써 전력증폭기의 드레인 바이어스에 인가되도록 하는 포락선 증폭기(Envelope Amplifier: EA)는 그림 4.1과 같이 크게 선형단(linear stage)과 스위칭단(switching stage) 두 부분으로 나뉘어져 있다. 포락선 증폭기의 성능이 전체 시스템의 성능을 좌우할 수 있기 때문에 대역폭 및 효율을 개선하기 위한 다양한 방법들이 제시되어 왔다<sup>[17-19]</sup>.

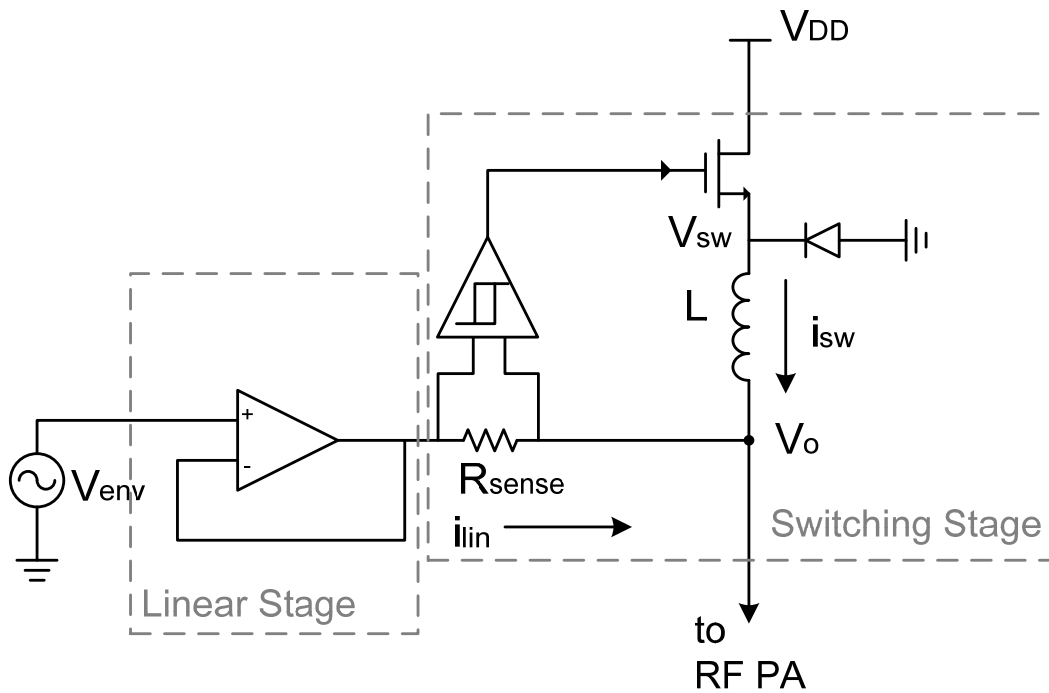


그림 4.1 포락선 증폭기의 기본 구조

Figure 4.1 Basic structure of envelope amplifier (EA).

그림 4.2는 포락선 증폭기의 등가모델을 나타낸다. 식(4-1)과 같이 부하가 되는 전력증폭기에 흐르는 전류( $i_{Rload}$ )는 스위칭단의 전류( $i_{sw}$ )와 선형단의 전류( $i_{lin}$ )의 합으로 결정이 된다. 협대역, 고효율 동작을 하는 스위칭단에서 대부분의 DC전류를 공급해준다. 스위칭단은 일종의 buck converter로서 동작하며, 따라서 쇼트키 다이오드(Schottky diode)에 의해 폐루프(closed loop) 형성하고 hysteresis 비교기에 의해 피드백으로 인가되는 클럭전압( $V_{sw}$ )의 듀티비(duty ratio)에 의해 전류량이 결정된다. 또한 인덕터는 클럭에 의해 생기는 고주파 성분을 제거하는 저 대역 통과 여파기(Low Pass Filter: LPF) 역할을 한다. 그리고 광대역, 낮은 효율로 동작하는 선형단은 동작 상태에 따라 적은 양의 DC전류와 AC전류를 공급하고, Op-amp의 전압증폭에 의해 포락선 신호의 전압을 증폭해주며 전압원으로 동작한다.

$$i_{Rload} = i_{sw} + i_{lin} \quad (4-1)$$

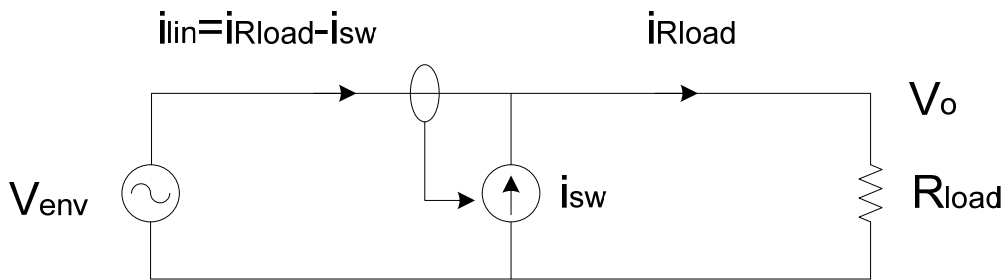


그림 4.2 포락선 증폭기의 등가모델

Figure 4.2 Equivalent model of envelope amplifier.

#### 4-2. 포락선 추적 증폭기의 시뮬레이션

포락선 증폭기의 동작을 확인하기 위해서 ADS2009 를 이용한 회로 시뮬레이션을 하였다. 출력 포락선 첨두치 전압이 5 V 인 간단한 포락선 증폭기를 시뮬레이션 하였고 회로 구성은 그림 4.3 과 같다.

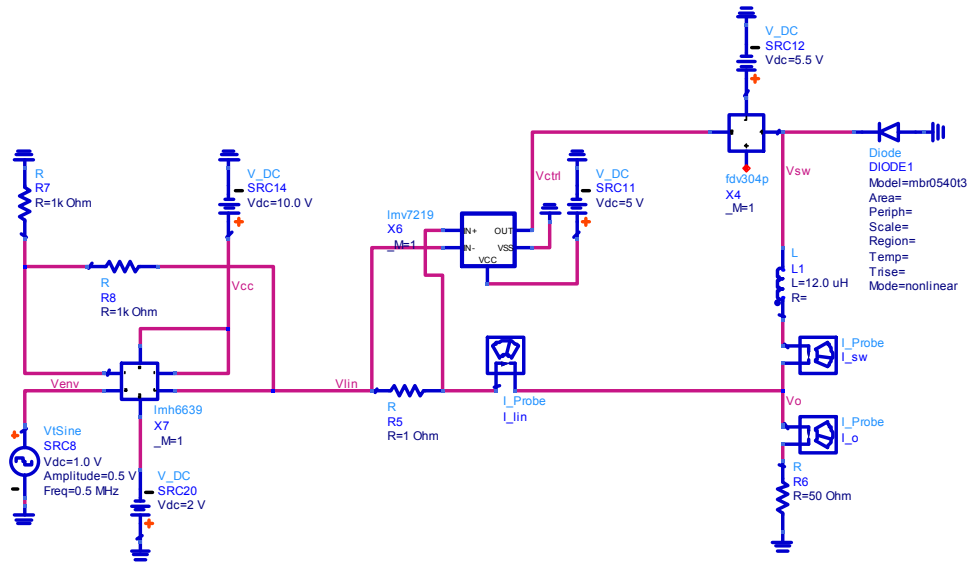
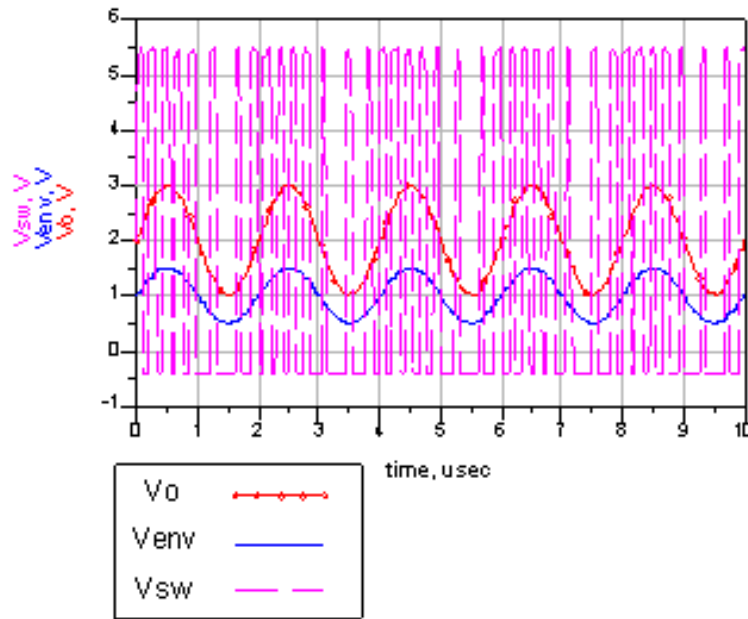
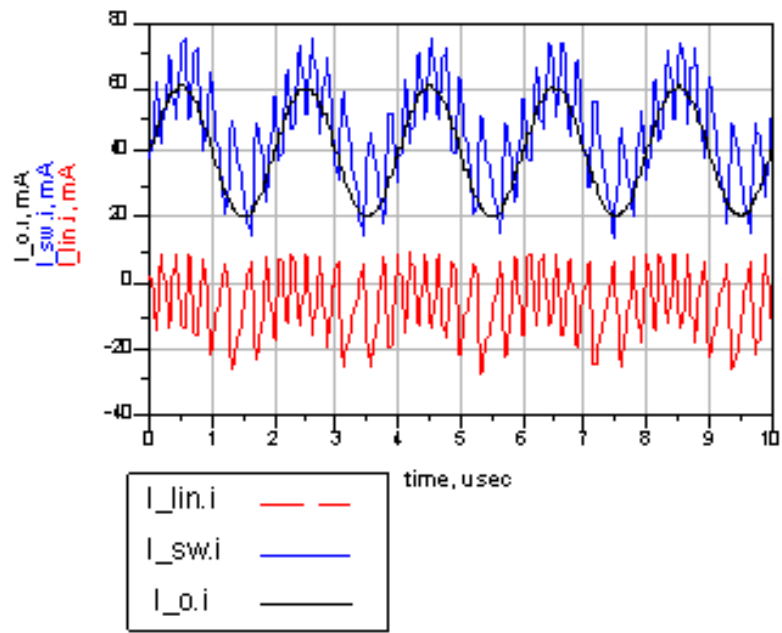


그림 4.3 저전압 포락선 증폭기의 ADS 시뮬레이션 회로도

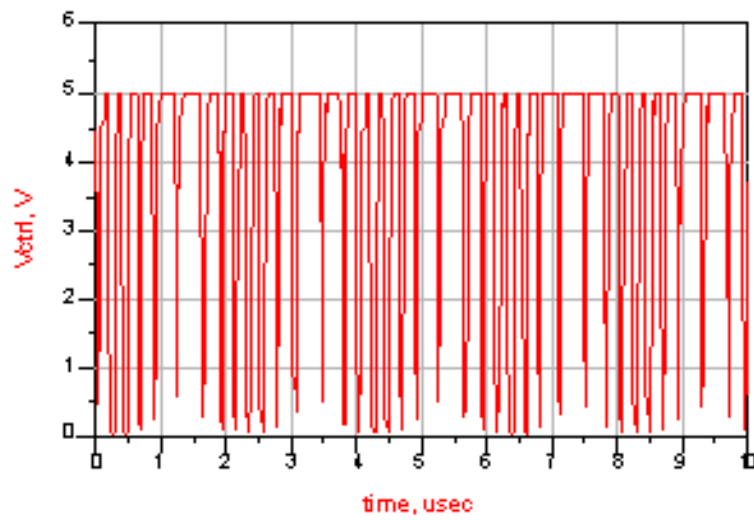
Figure 4.3 ADS simulation schematic of low voltage envelope amplifier.



(a)

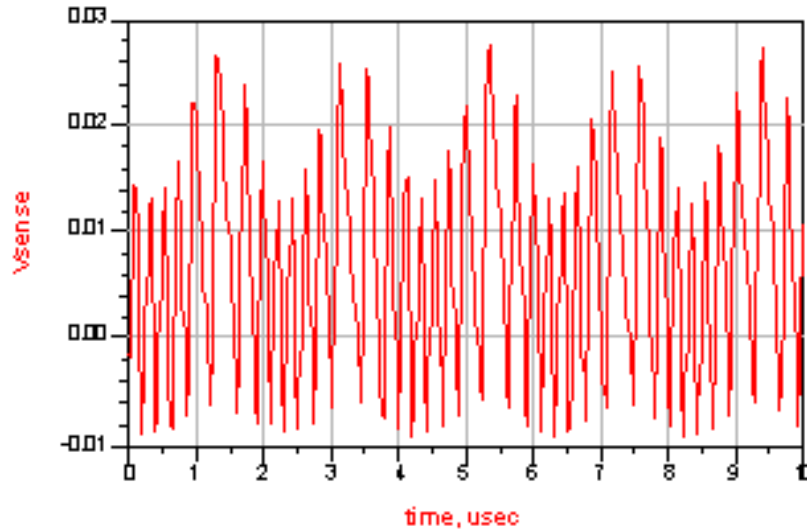


(b)



(c)





(d)

그림 4.4 저전압 포락선 증폭기의 ADS 시뮬레이션 결과: (a) 출력 포락선 전압, (b) 전류, (c) 게이트 구동기 출력전압, (d) 감지저항에 걸린 전압

Figure 4.5 ADS simulation results of low voltage envelope amplifier: (a) output envelope voltage, (b) current, (c) gate driver output voltage and (d) voltage @  $R_{sense}$

그림 4.4는 5V 출력을 내는 저전압 포락선 증폭기의 ADS 시뮬레이션 결과이다. 그림 4.5(a)는 입력 포락선 신호의 크기가 상대적으로 높은 부분에서는 클럭이 ‘on’이 자주 발생하고, 낮은 부분에서는 ‘off’가 자주 발생함을 알 수 있다. 그림 4.4(b)는 스위칭 단에서 대부분의 DC 전류를 공급해주고 선형 단에서는 노이즈 성분을 제거하거나 AC전류를 공급해주는 역할을 함을 알 수 있다. 그림 4.4(c)는 게이트 구동기의 5 V 출력전압을 나타낸다. 그림 4.4(d)는 저항 감지기 양단에 걸리는 전압이다. 거의 수 mV의 전압이 나타나기 때문에 실제 실험에서는 안정적인 동작을 하기 위해 hysteresis 전압이 매우 낮은 비교기를 사용하거나 저항 감지기의 저항 값을 올릴 수 있다.

### 4-3. 제안하는 포락선 추적 증폭기

그림 4.5 는 본 연구에서 제안하는 포락선 증폭기의 회로도이다. 기지국용 고전력 증폭기를 동작시키기 위해서는 점두치가 25 V 이상인 드레인 전압이 필요하므로 출력 포락선 전압이 25 V 가 되도록 설계해야 한다. 따라서 전압공급원 역할을 하는 선형단의 Op-amp 를 2 단으로 하여 25 V 이상의 높은 전압이 출력되도록 설계하였고  $R_1 \sim R_4$  의 비율을 조절하여 전압이득을 조절할 수 있도록 하였다. 또한 안정적인 전류공급을 위해 이득이 1 인 전류완충기(current buffer)를 사용하여 PMOS 와 NMOS 는 각각 선형단에 흐르는 전류를 sinking 과 sourcing 해주는 역할을 한다. Op-amp 는 고전압동작과 광대역 특성을 갖는 Texas Instruments 사의 THS3001HVDGN 을 사용하였고, 전류완충기로 사용된 PMOS 와 NMOS 는 각각 Fairchild 사의 FDC365P 와 FDC8884 를 사용하였다.

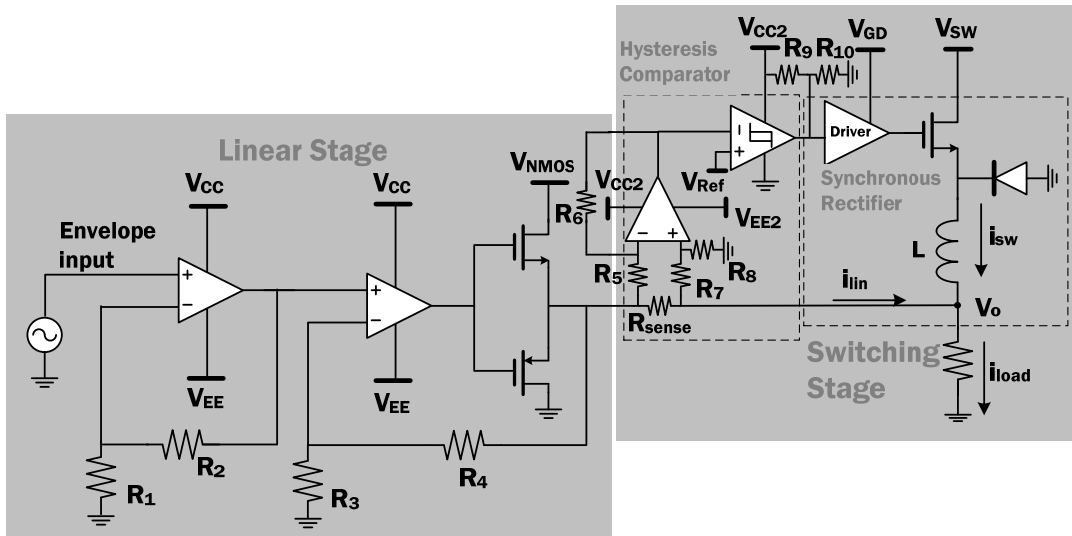


그림 4.5 제안하는 포락선 증폭기의 회로도

Figure 4.5 Schematic of proposed envelope amplifier.

전류공급원 역할을 하는 스위칭단에서는 크게 buck converter 부분과 hysteresis 비교기 부분으로 나눌 수 있다. 먼저 Hysteresis 비교기는 op-amp, 감지저항( $R_{sense}$ ) 그리고 비교기로 구성되어 있다. 선형단에 흐르는 전류의 변화를 감지하여 감지저항에 양단에 걸리는 미세한 전압을 op-amp 가 증폭하여 비교기의 한 단자에 입력에 연결된다. 또 다른 입력인 기준전압 ( $V_{ref}$ ) 과 비교하여 기준 전압이 높은 경우에는 5 V 클럭이 ‘on’ 상태로 출력되고 낮은 경우에는 ‘off’ 상태로 출력한다. 이 때, 감지저항 값은 높은 값을 가질수록 미세전압 감지를 더욱 더 잘 할 수 있기 때문에 높은 값을 사용하면 좋지만, 너무 높은 값을 사용하게 되면 전압강하가 심하게 일어나서 전체 시스템의 큰 전력 손실을 유발한다. 실제 사용된 소자는 비교기는 National Semiconductor 사의 LM311 을 사용하였고, op-amp 는 선형단 op-amp 와 동일 부품을 사용하였다. 또한 감지저항의 경우 높은 전력을 견딜 수 있도록 5 W 저항 0.01  $\Omega$  을 사용하였다.

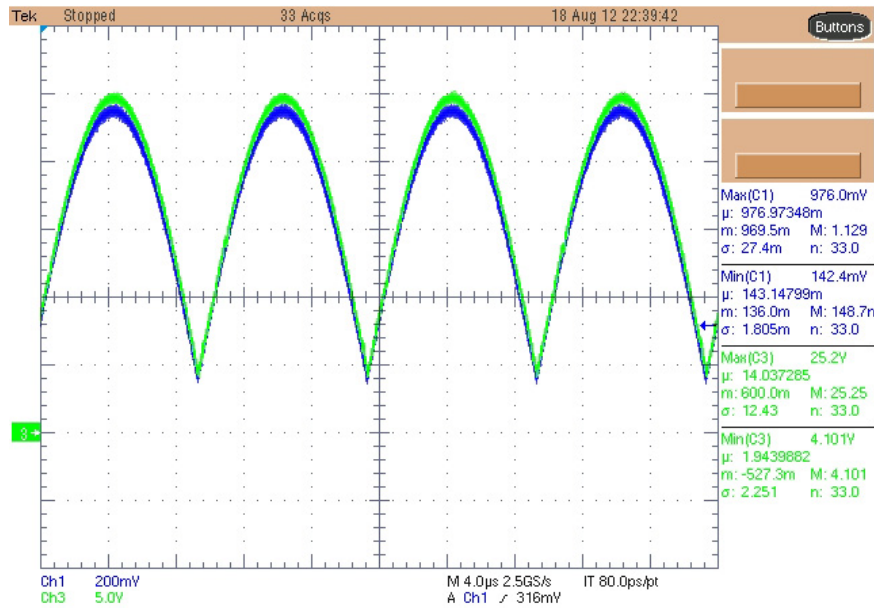
스위칭단의 Buck converter 부분은 비교기로부터 나온 5 V 의 출력을 게이트 구동기(gate driver)가 입력으로 받아서 고전압 동작을 위해 10 V 로 증폭된다. 게이트 구동기의 10 V 출력은 스위치 역할을 하는 Power MOSFET 의 게이트에 입력되어 buck converter 로 동작하게 된다. 클럭에서 생기는 고주파 신호를 제거하고 수십 W 의 전력을 견디기 위해 26 uH 코일 인덕터를 이용하였고, 게이트 구동기는 MAXIM 사의 MAX5064A 를 이용하였고, 고출력전류를 낼 수 있는 Power MOSFET(NMOS)은 Fairchild 사의 FDC653N 을 사용하였다.

#### 4-4. 제안하는 포락선 추적 증폭기의 측정

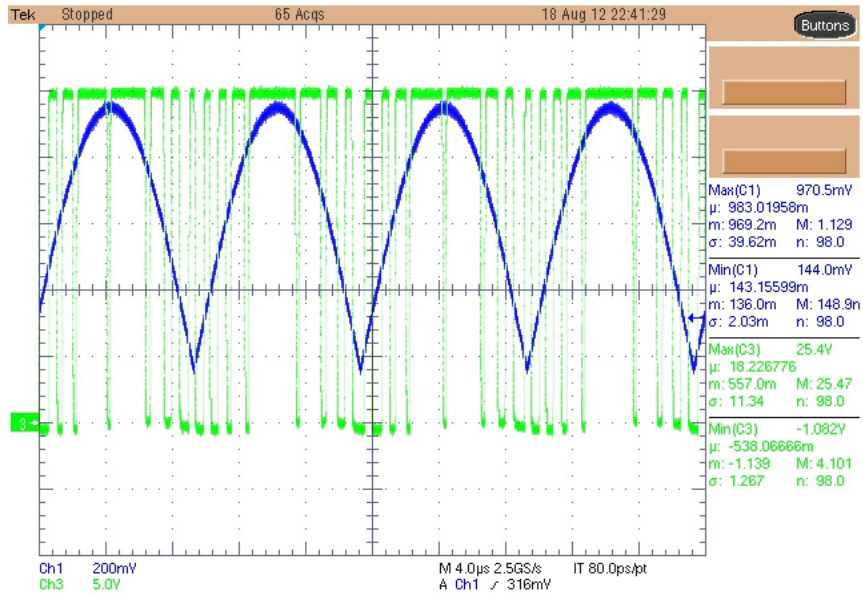
앞서 제시했던 이론을 검증하기 위해서 제안하는 포락선 증폭기를 실험으로 나타내었다. 포락선 증폭기의 효율 식(4-2)과 같이 표현할 수 있다.

$$\eta_{EA} = \frac{\frac{V_{O\_EA\_rms}^2}{R_{load}}}{P_{LIN} + P_{SW} + P_{CTRL}} * 100\% \quad (4-2)$$

부하저항에서 얻은 출력 포락선 전압의 실효치와( $V_{O\_EA\_rms}$ ) 부하저항 값을 이용하여 출력 AC 전력을 구한 뒤, 그 값을 선형단에서 소비한 전력( $P_{LIN}$ ), 스위칭 단에서 소비한 전력( $P_{SW}$ ) 그리고 제어회로에서 소비된 DC 전력( $P_{CTRL}$ )으로 나눈 값이다.



(a)



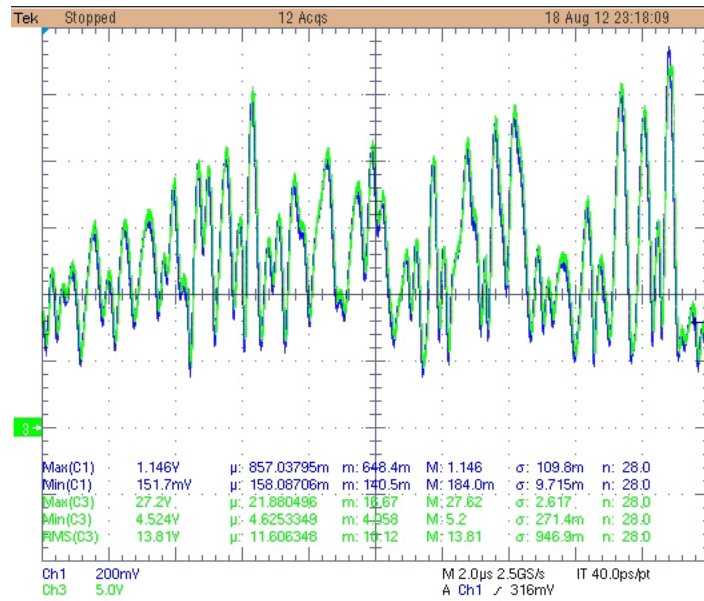
(b)

그림 4.6 200 kHz 간격 2-tone 포락선 신호에 대한 포락선 증폭기 측정결과:  
(a)출력 포락선 전압과 (b) 스위칭 전압

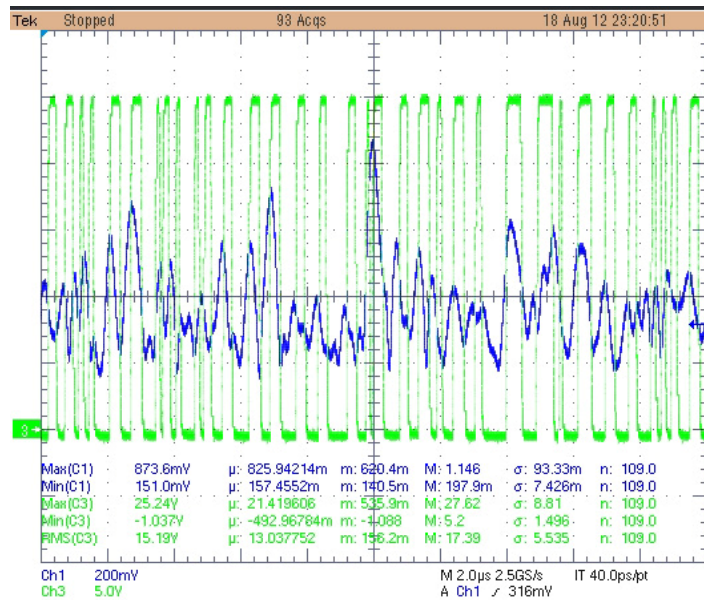
Figure 4.6 Measured results of envelope amplifier for 200 kHz 2-tone spacing: (a) output envelope voltage and (b) switching voltage.

그림 4.6 는 200 kHz 의 톤 간격을 갖는 포락선 증폭기의 측정결과이다. 포락선 증폭기를 측정하기 위한 부하저항은 20W 급 전력증폭기 기준으로 10 Ω 으로 측정하였다. 그림 4.6 (a)는 포락선 추적 증폭기의 입력전압과 출력전압을 비교한 것이다. 이득이 약 25 인 op-amp 단을 이용하여 최대 25.2 V 를 얻었고, 16.96 V 의 실효치를 얻었다. 식(4-2)를 이용하여 효율을 구하면 10Ω 부하저항에 대해서 85.4 %의 효율을 얻는다.

그림 4.6 (b)는 포락선 입력신호와 비교한 스위칭 단의 Power MOSFET 의 출력전압 결과이다. 신호의 크기가 큰 경우에는 클럭의 ‘on’이 빈번하게 발생하고, 작은 경우에는 ‘off’가 빈번하게 발생하는 것을 확인할 수 있다.



(a)



(b)

그림 4.7 WCDMA 1FA(5 MHz) 포락선 신호에 대한 포락선 증폭기 측정결과:

(a)출력 포락선 전압과 (b) 스위칭 전압

Figure 4.7 Measured results of envelope amplifier for WCDMA 1FA(5 MHz): (a) output envelope voltage and (b) switching voltage.

광대역 신호에 정상적으로 동작하는 확인하기 위해 WCDMA 1FA(5 MHz 대역폭)에 대해서 측정하였다. 그림 4.7 (a)는 입력 WCDMA 포락선 전압과 출력 포락선 전압을 비교한 것이고 왜곡 없이 정상적으로 증폭되었음을 확인할 수 있고, 최대 출력전압은 약 27.2 V을 얻었다.

그림 4.7 (b)는 입력 WCDMA 포락선 신호와 Power MOSFET의 스위칭 출력전압의 비교결과로서 큰 신호에서는 클럭이 'on'이 빈번하게 발생하고 작은 신호에 대해서는 'off'가 더 빈번하게 발생함을 확인할 수 있다.

## 5. 고효율 E급 전력증폭기

### 5-1. E급 고효율 전력증폭기 소개

제안하고자 하는 하이브리드 포락션 추적 전력증폭기(Hybrid Envelope Tracking Power Amplifier: Hybrid ETPA)를 설계하기 위해서는 스위치 모드 전력증폭기의 설계가 필요하다. 본 연구에서는 유사 E급 전력증폭기를 설계하였다<sup>[14]</sup>.

E급 전력증폭기는 증폭기의 출력에서 발생하는 신호왜곡 성분인 고차의 고조파 성분들을 차단하여, 시간축 상에서, 출력전류와 전압이 겹치지 않은 상태를 말한다. 특히, 고조파 성분들을 모두 개방(open)상태로 놓아 제거하는 것이 E급 전력증폭기의 개념이다. 보통 고조파 성분들을 제거하기 위해 제거하고 싶은 고조파의 개수에 따라 출력 정합의 스텐브(stub)의 개수가 증가하게 되고, 그로 인하여 많은 고조파 성분을 제거하기 위해 회로의 크기가 커질 우려가 있다. 따라서 회로의 복잡성을 없애기 위해 어느 정도의 효율 개선을 양보하면서 3차 정도의 고조파만 제거함으로써, 고효율 특성을 얻을 수 있다.

본 연구에서는 DGS(defected ground structure) 개념회로를 간단하게 구현하면서 5차의 고조파까지 차단하여 높은 효율을 얻을 수 있는 E급 전력증폭기를 설계하였다.

### 5-2. DGS를 이용한 고조파 차단회로 설계

PCB 뒷면 특정 패턴으로 그라운드를 식각(etching)하여 전기적 효과(slow wave effect)를 이용한 출력 고조파 차단회로를 구성하였다<sup>[20-21]</sup>.



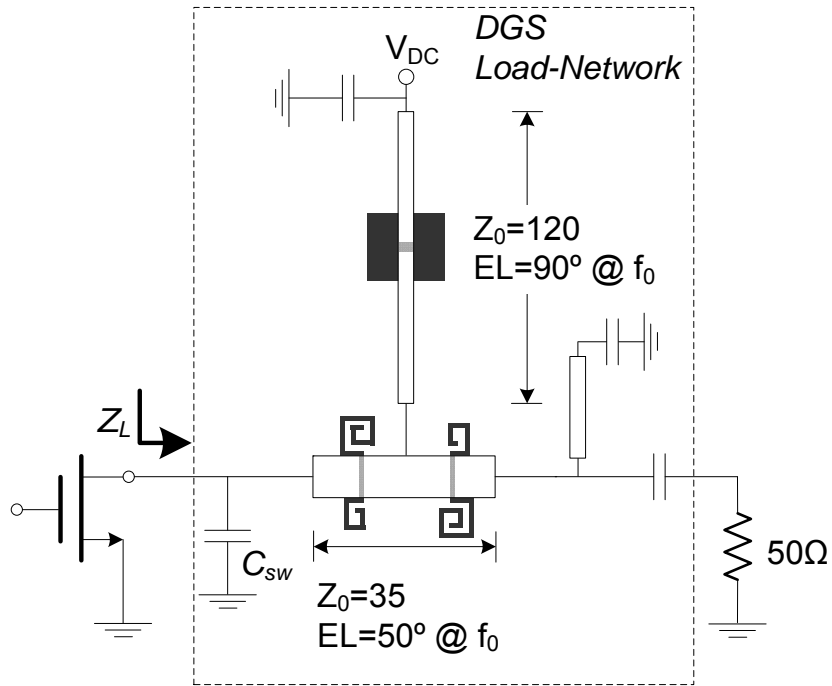


그림 5.1 DGS를 이용한 E급 전력증폭기의 출력회로  
 Figure 5.1 Output circuit of class-E PA with DGS.

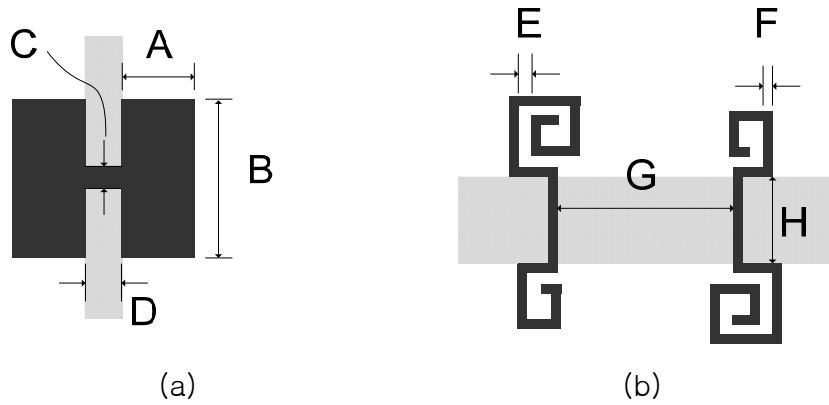
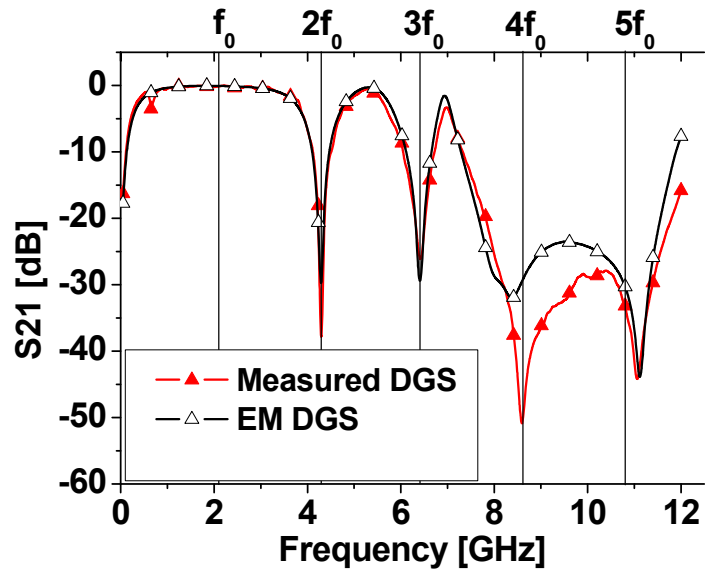
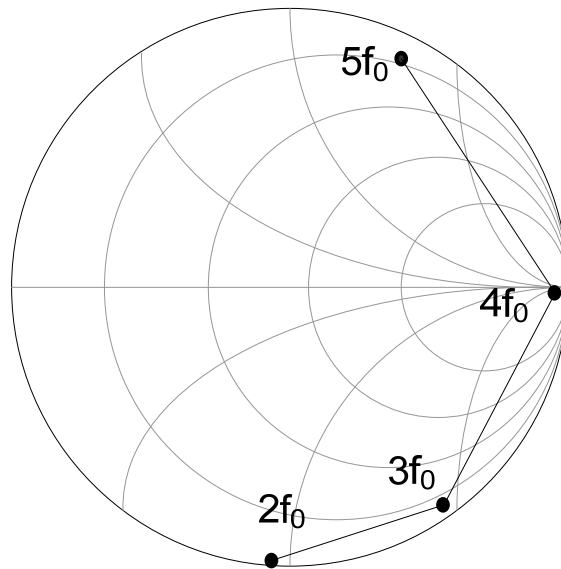


그림 5.2 출력 고조파 차단을 위한 DGS : (a) 아령형태, (b) 나선형태  
 Figure 5.2 DGS for output harmonic termination: (a) dumbbell type and (b) spiral type.



(a)



(b)

그림 5.3 (a) 시뮬레이션 및 측정된 출력정합회로 전달특성( $S_{21}$ )과 (b) 측정된 DGS 부하회로의 임피던스

Figure 5.3 (a) Simulated and measured transmission characteristics of output matching network and (b) DGS load impedance.

그림 4.6과 4.7은 DGS를 이용하여 기본 주파수( $f_0$ )가 2.14 GHz에 대해서 5차 출력 고조파 성분까지 제거할 수 있는 정합회로를 포함한 E급 전력증폭기의 출력 회로도이다. 2차 고조파를 차단하기 위해서 드레인 바이어스 선을  $\lambda/4$ 로 하였고, 뒷면에 아령형태의 DGS를 구성하여 3차 고조파 성분을 제거하였다. 또한 나선형태의 DGS를 구성하여 4차와 5차 고조파 성분을 제거하도록 하였다.

이를 Ansoft사의 HFSS 11버전을 이용하여 Rogers사의 RT/Duroid 5880 ( $\epsilon_r = 2.2$ )로 EM시뮬레이션 및 측정을 하였다. 그 결과 그림 4.8 (a)을 보면 측정결과에서 기본 주파수에서 0.05 dB만의 삽입손실이 발생하였고 2차, 3차, 4차, 5차 고조파에 대해서 각각 37.2 dB, 26.7 dB, 49.5 dB, 32.4 dB의 고조파 차단 특성을 얻었고 시뮬레이션 결과와 거의 일치함을 알 수 있다. 그림 4.8 (b)를 보면 DGS를 적용시켰을 시 5차까지의 모든 고조파가 정확히 개방지점에 위치하진 않지만 기본 주파수의 부하 지점에 비해 거의 개방특성을 갖는다고 생각할 수 있다.

따라서 모든 고조파 성분들이 정확한 개방점에 위치하지 않았지만 E급 동작과 유사하게 동작하기 때문에 유사 E급 전력증폭기로 간주 될 수 있다.

### 5-3. 20 W E급 전력증폭기 측정

앞서 설계한 고조파 차단회로를 이용하여 전력증폭기에서 발생하는 출력 고조파 성분을 제거할 수 있음을 제시하였다. 이를 이용하여 20 W급 전력증폭기를 설계하기 위해 Nitronex사의 NPTB00025 GaN HEMT 소자를 이용하여 고조파 차단회로를 구성하여 E급 전력증폭기를 구현하였다.

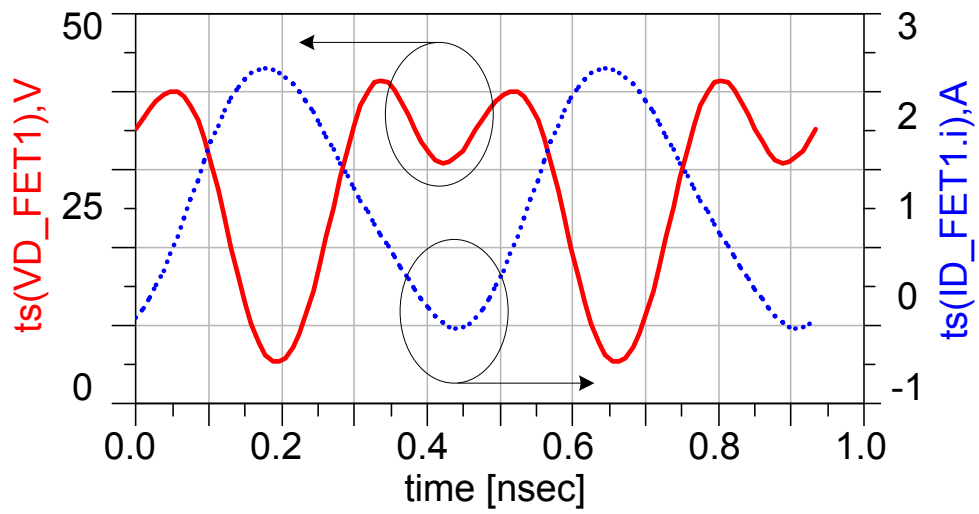


그림 5.4 E급 전력증폭기의 시간 축에서의 전압 및 전류시뮬레이션 결과

Figure 5.4 Simulated drain voltage and current for class-E PA

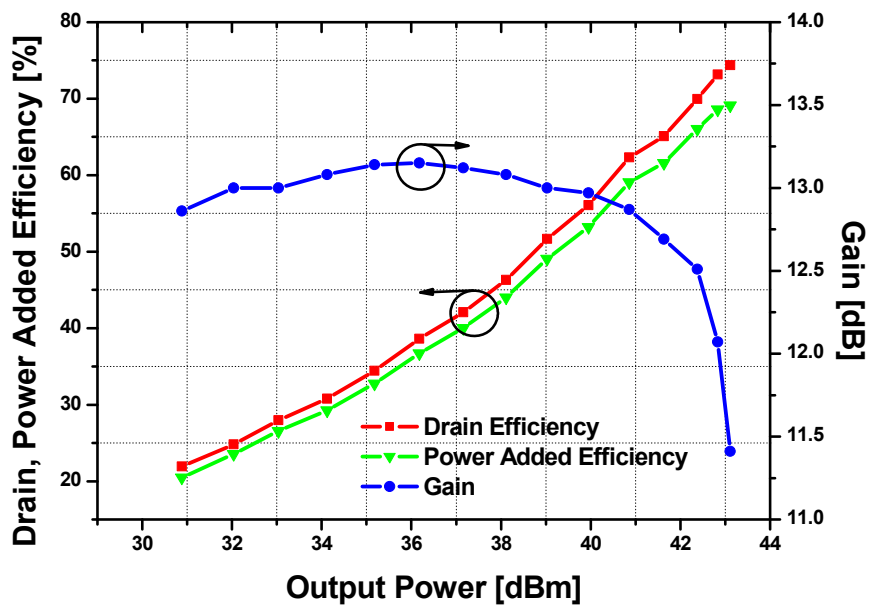


그림 5.5 E급 전력증폭기의 출력전력, 이득, 효율의 측정결과

Figure 5.5 Measured output power, gain and efficiency for class-E PA.

그림 4.9는 ADS2009를 사용하여 E급 전력증폭기의 시간 축에서의 출력 전압, 전류 특성을 확인한 것이다. 그림에서 볼 수 있듯이 전압과 전류가 파형이 거의 겹치지 않기 때문에, 불요 성분인 고차 고조파 성분들이 제대로 제거되었음을 생각할 수 있다.

그림 4.10은 E급 전력증폭기의 출력전력, 이득, 효율특성을 나타낸 것이다. 게이트 전압이  $-2\text{ V}$ (B급 바이어스 동작)조건에서  $2.14\text{ GHz}$ 의 CW 신호에 대해서 최대 출력전력은 약  $43.1\text{ dBm}$ 을 얻었고, 그때의 이득은  $11.41\text{ dB}$ 이고, 드레인 효율과 전력부가효율은 각각  $69.11\%$ 와  $74.36\%$ 를 얻었다.

## 6. 하이브리드 포락선 추적 전력 증폭기

### 6-1 제안된 하이브리드 포락선 추적 전력증폭기

앞서 설계한 GDTA, 포락선 증폭기와 E급 전력증폭기를 연동하여 하이브리드 포락선 추적 전력증폭기를 구성하였다. 그림 6.1은 본 연구에서 제안하는 하이브리드 포락선 추적 전력 증폭기의 블록도이다. 전력증폭기의 드레인 바이어스 부분에 Tantal 커패시터를 제거하여 정상적인 포락선 출력신호가 전력증폭기에 인가될 수 있도록 하였고, 증폭기의 이득에 영향이 없도록 하기 위하여

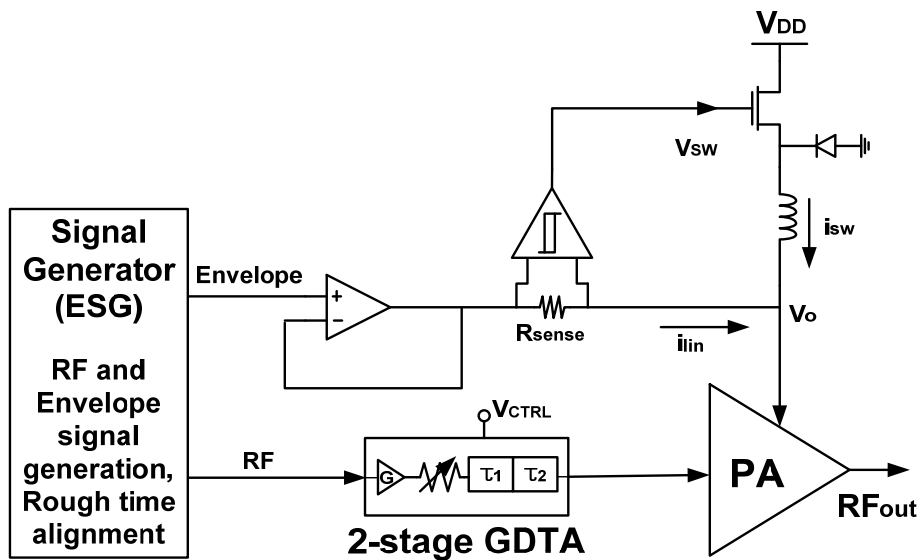


그림 6.1 제안하는 하이브리드 포락선 추적 전력증폭기의 블록도

Figure 6.1 Block diagram of proposed hybrid envelope tracking PA.

GDTA의 이득을 항상 0 dB로 유지하고 수 ns의 세밀한 시간 조절을 가능케 하는 DC 바이어스( $V_{CTRL}$ )에 따른 동작을 학습모드에서 참조테이블(Look Up Table: LUT)화 하였다.

측정하기에 앞서 GDTA는 포락선 경로와 RF 경로간의 미세한 시간(10 ns 미만)의 균지연 시간만이 조절될 수 있기 때문에 장비 또는 DSP 단에서 10 ns 이상에서의 대략적인 시간정합을 해줘야 한다.

그림 6.2는 5 MHz 채널대역을 갖는 WCDMA 1FA 신호에 대해서 시간 측상에서 입력신호간의 대략적 시간 정합을 한 측정결과이다. 장비상에서 10 ns 단위로 시간을 조절할 수 있기 때문에 10 ns 이상에서의 대략적 정합이 가능하다. 하지만 실제적으로 입력신호간의 시간을 정합한 것이기 때문에 실10 ns 정도의 균지연 시간을 가조정 해야함을 실험적으로 확인하였다.

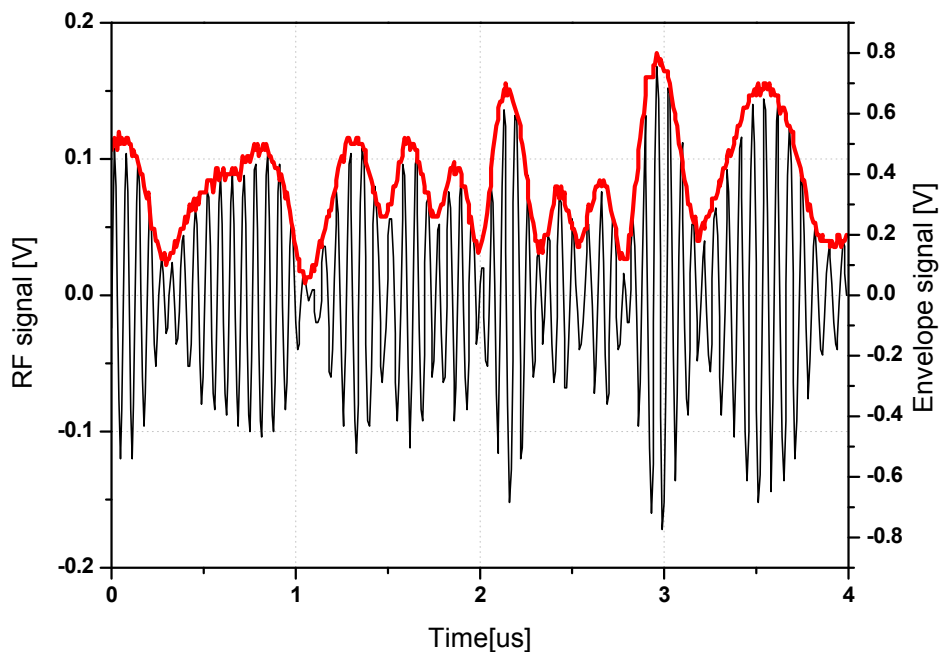


그림 6.2 RF신호와 포락선 신호 간의 대략적 시간 정합

Figure 6.2 Coarse time matching between RF and envelope signal.

## 6-2 2-tone 신호를 이용한 측정

먼저 회로의 검증을 위해서 톤의 간격이 1 MHz 인 2-tone 신호에 대해서 측정하였다. 그림 6.3 은 하이브리드 포락선 추적 전력증폭기의 측정결과이다. 동일한 출력 전력조건에서 각각 3 ns 부정합된 경우와 정확히 정합된 경우의 3 차 혼변조 왜곡의 개선을 확인할 수 있다.

표 6.1 은 3ns 부정합된 상태와 시간 정합된 경우의 출력 및 IMD3 특성을 비교한 표이다. tone 당 36 dBm 이상의 출력에 대해서 낮은 대역 신호에 대해서는 11.81 dB의 개선 특성을 얻었고 높은 신호에 대해서는 10.81 dB의 성능 개선효과를 확인할 수 있다.

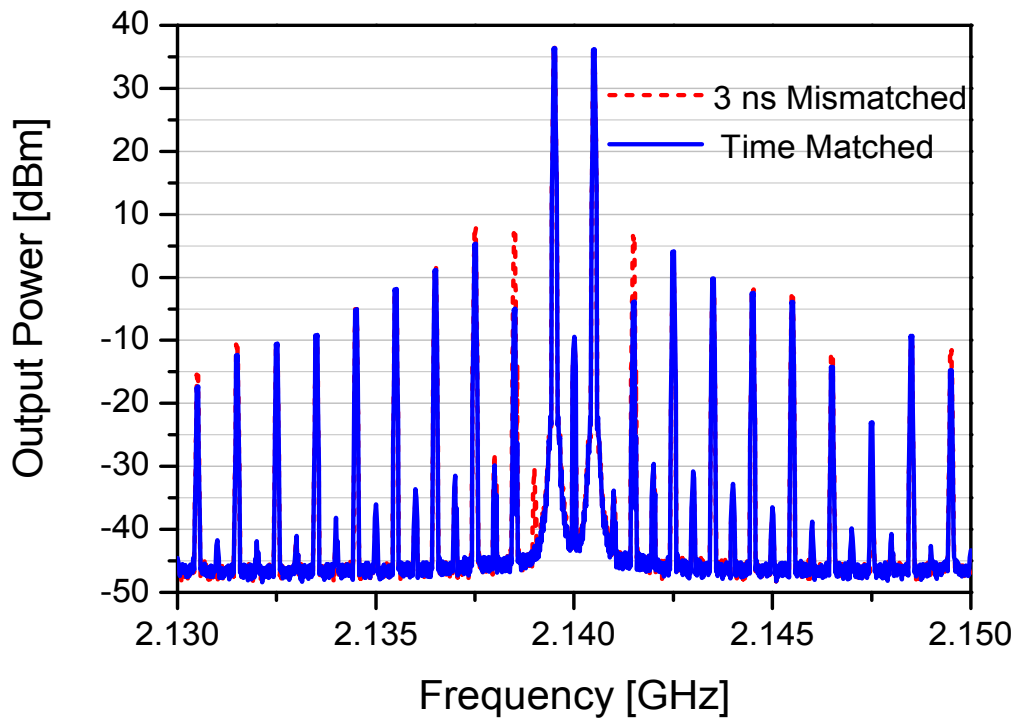


그림 6.3 1 MHz 2-tone 신호에 대한 출력전력 측정결과

Figure 6.3 Measured output power for 1 MHz 2-tone signal.



표. 6.1 1 MHz 2-tone 신호에 대한 IMD3 성능 개선표

Table. 6.1 Performance of IMD3 improvement for 1 MHz 2-tone signal.

	P-3 [dBm]	P-1 [dBm]	P+1 [dBm]	P+3 [dBm]	IMD3 (low) [dBc]	IMD3 (high) [dBc]
Time Matched	-4.93	36.39	36.18	36.18	41.32	40.03
3 ns Mismatched	7.16	36.67	35.89	35.89	29.51	29.22
Improvement	-12.09dB	-0.28dB	0.29dB	10.52dB	11.81dB	10.81dB

### 6-3 높은 PAPR을 갖는 WCDMA 신호

좀 더 실제 상황에 맞추기 위해서 광대역 및 높은 PAPR 을 갖는 변조신호에 대해서 측정해야 한다. 변조신호의 경우에는 랜덤신호가 발생하기 때문에 최대 출력 전력에서의 측정은 불가능하다. 따라서 측정하고자 하는 변조신호의 PAPR 을 측정하여 PAPR 만큼 back-off 하여 측정해야 한다.

본 실험에서는 그림 6.4 와 같이 WCDMA 1FA 신호의 CCDF(Complementary Cumulative Distribution Function)를 측정하여 PAPR 을 구하였다. 신호 발생 빈도 0.1 % 기준으로 하여 측정하고자 하는 WCDMA 1FA 의 PAPR 은 8.46 dB 임을 알 수 있다. 따라서 최대 출력 전력 기준에서 8.46 dB 정도의 back-off 이 필요하다.

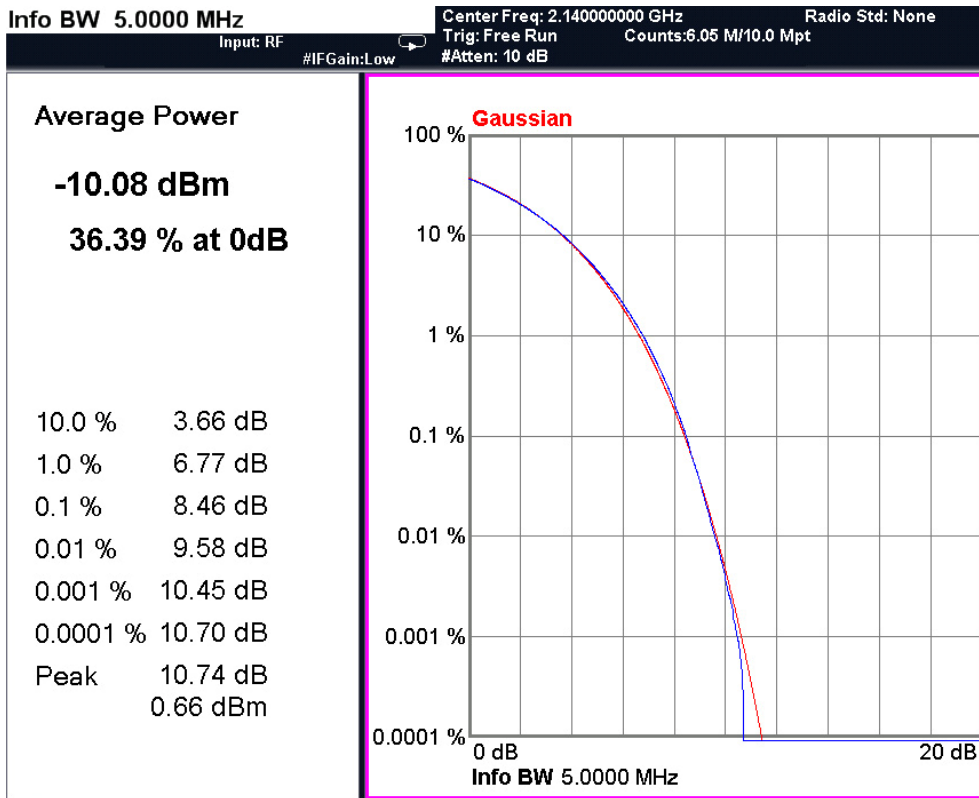


그림 6.4 WCDMA 1FA에 대한 CCDF 측정

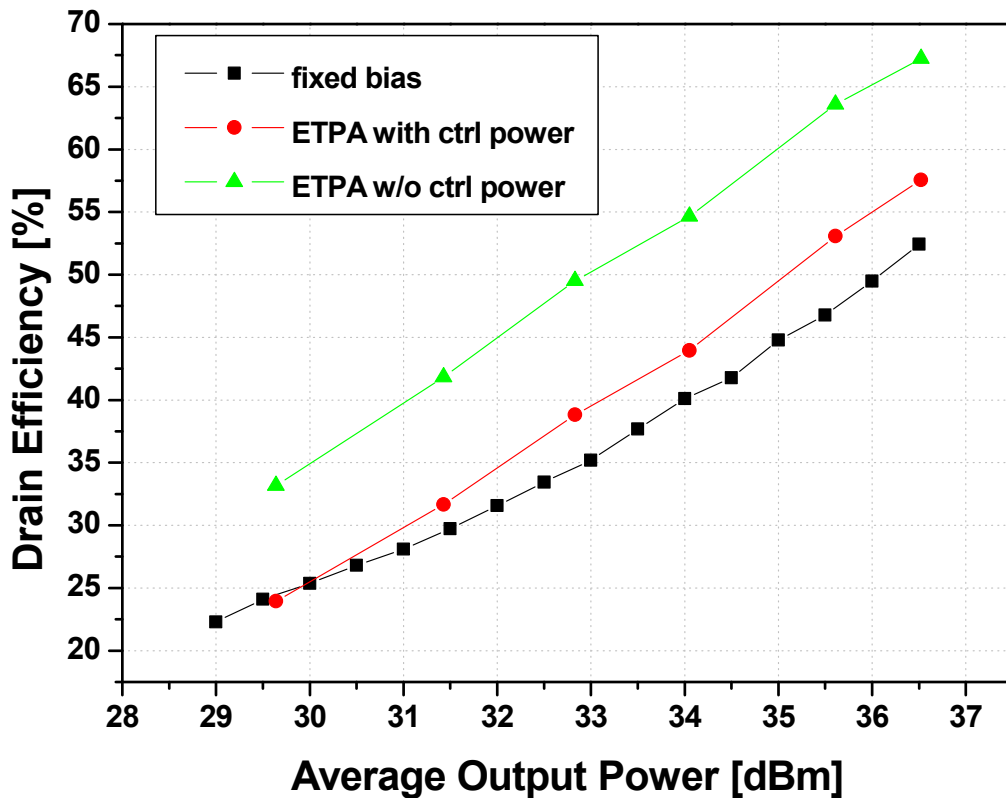
Figure 6.4 Measured CCDF for WCDMA 1FA.

## 6.4 WCDMA 신호를 이용한 측정

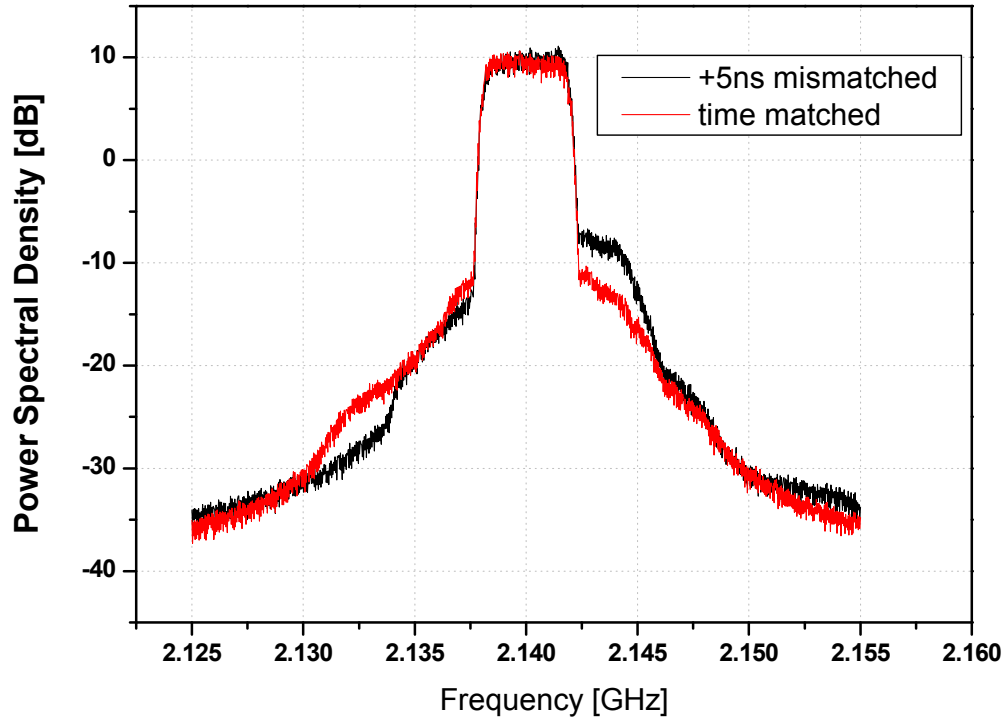
먼저 5 MHz의 대역을 갖는 WCDMA 1FA에 대해서 효율 및 선형성 개선을 확인한다. 그림 6.5는 측정된 드레인 효율 및 ACPR 특성을 확인하기 위한 출력 스펙트럼 결과이다. 먼저 그림 6.5 (a) B급 게이트 바이어스 조건에서 고정의 27 V 드레인 바이어스 인가 시에 측정된 드레인 효율과 제어회로의 소비전력이 포함된 효율과 포함되지 않은 효율을 비교하였다. 측정 조건은 평균전력이 36.5 dBm인 조건에서 측정하였고, 36.5 dBm에서 제어회로 소비전력이 포함된 경우 5.2% 정도의 효율 개선을 확인할 수 있고, 제어회로의

소비전력이 포함되지 않을 경우, 약 15 % 정도의 효율 개선효과를 볼 수 있다. 또한 back-off 영역에서의 효율 또한 개선됨을 확인할 수 있다. 하지만 출력 신호를 더욱 더 back-off 하게 되면 효율 개선 차이가 점점 사라지게 되고 심지어 특정 영역에서는 오히려 효율이 저하되는 것을 알 수 있다. 그 이유는 B 급 고정 바이어스 증폭기의 경우 낮은 출력전력에서는 DC 전류 소비가 줄어들기 때문에 결국엔 DC 전력 소비가 줄어들지만, ETPA 의 경우 포락선 증폭기의 제어회로에서의 DC 전력이 항상 일정하게 소비되기 때문이다.

그림 6.5(b)는 시간 부정합에 따른 출력 스펙트럼 측정결과이다. 정합이 된 경우와 5 ns 부정합을 시켰을 시 차이를 나타낸다. 5 MHz ACPR 특성을 확인했을 시에는 3 dB 정도의 개선 특성을 보였다.



(a)



(b)

그림 6.5 WCDMA 1FA에 대한 (a) 드레인 효율 및 (b) 출력 스펙트럼 측정결과

Figure 6.5 Measured (a) drain efficiency and (b) output spectrum for WCDMA 1FA.

시간 부정합에 따른 좀 더 높은 개선 특성을 확인하기 위해 10 MHz 대역폭을 갖는 WCDMA 2FA 신호를 이용하여 측정하였다. 그림 6.5는 게이트 바이어스가  $-2\text{ V}$  인(B 급 바이어스)와  $27\text{ V}$ 의 고정 드레인 바이어스 조건에서의 E 급 전력증폭기의 측정결과와 ETPA 드레인 효율을 측정하여 비교하였다.  $35.5\text{ dBm}$ 의 평균전력에서는 거의 48%의 드레인 효율을 갖고 고정 드레인 바이어스의 경우와 유사한 결과를 얻었다. 하지만 3 dB back-off 영역에서는 4.6% 개선효과를 얻었고, 제어회로에서의 DC 전력 소모를 제외하면 10% 이상의 드레인 효율 개선효과를 볼 수 있다.

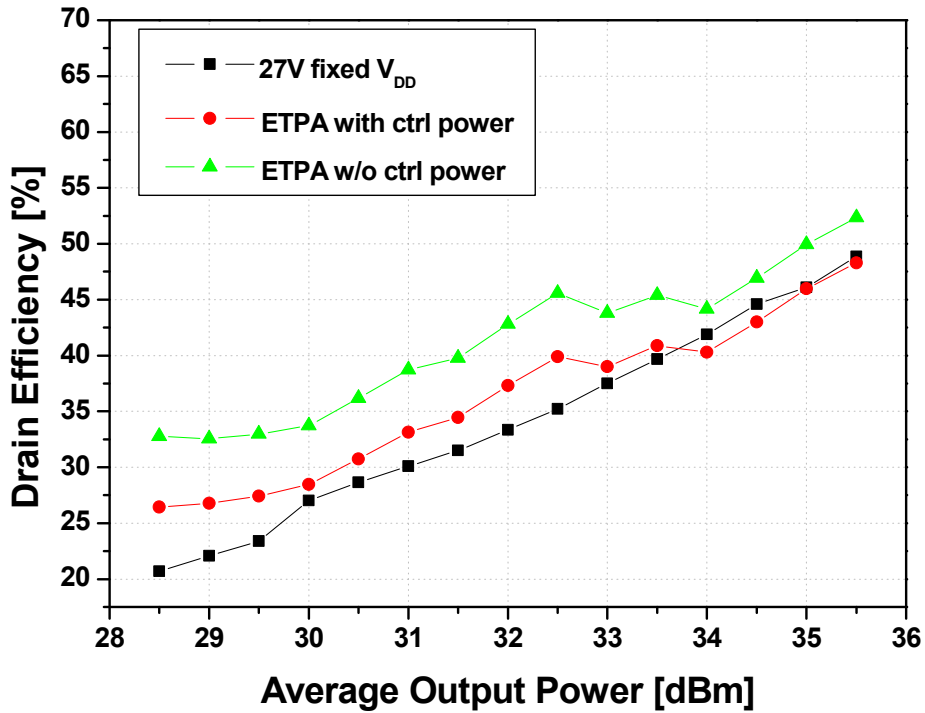
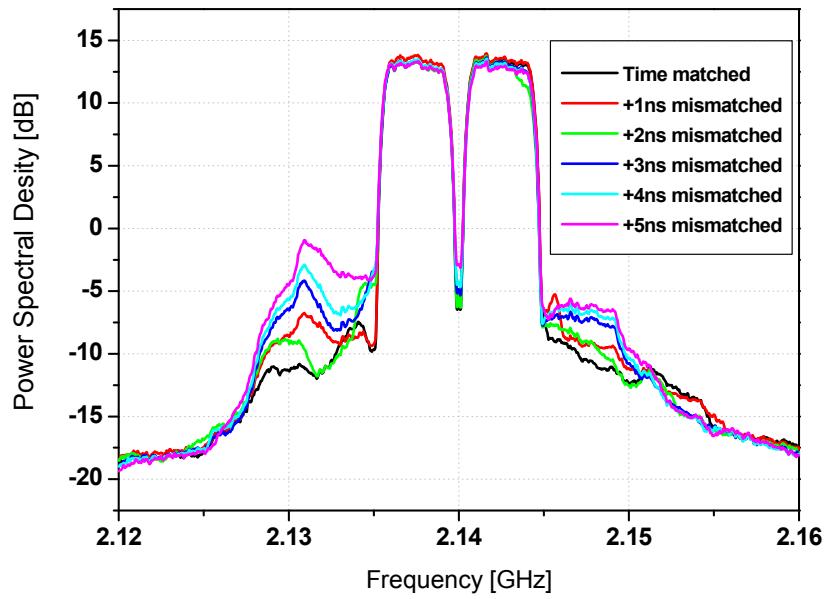


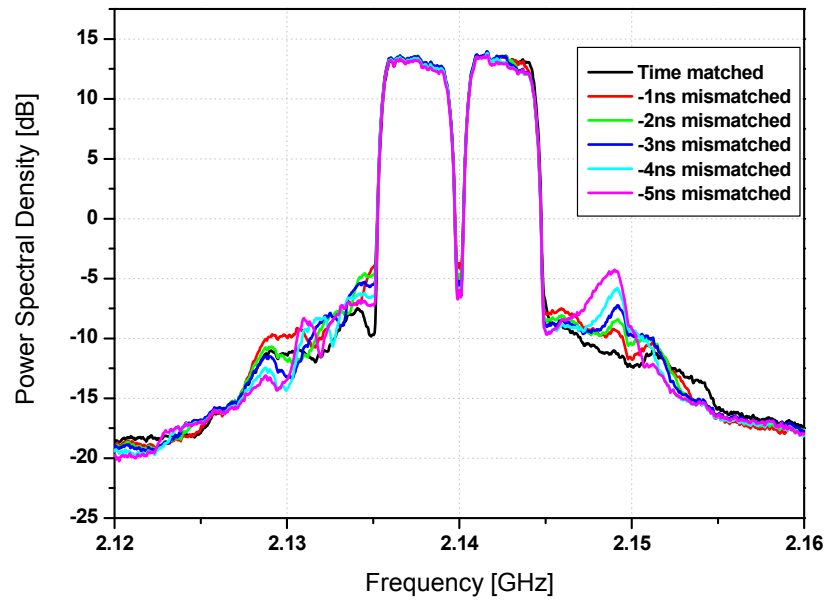
그림 6.6 WCDMA 2FA에 대한 드레인 효율 측정결과

Figure 6.6 Measured drain efficiency for WCDMA 2FA.

그림 6.7 은 RF 경로에 있는 GDTA 의 균지연 특성을  $\pm 5$  ns 가변 시켰을 경우 WCDMA 2FA 의 출력 스펙트럼 변화의 추이를 확인한 결과이다. 그림 6.7(a)은 GDTA 에서 1 ns 간격으로 최대 +5 ns 균지연 시간 부정합이 발생했을 때의 출력 스펙트럼 특성을 나타낸다. 시간 부정합이 발생한 경우 좌측 대역에서 더욱 심하게 비선형 성분이 발생하여 비대칭 형태를 띠는 추이를 확인할 수 있다. 특히 대역 내(in-band)에서는 시간 부정합이 심할수록 정합된 스펙트럼에 비해 낮은 전력을 확인할 수 있는데, 그 이유는 대역 외(out-of-band)에서의 전력 소모로 인한 손실 때문이다. 그림 6.7(b)는 -5 ns 균지연 시간 부정합이 발생 했을 시의 출력 스펙트럼 특성을 나타낸다. +5 ns 와는 반대로 시간 변화에 따라 우측 대역에서의 비선형 성분이 더 발생하게 됨을 확인할 수 있다.



(a)



(b)

그림 6.7 WCDMA 2FA에 대한 출력 스펙트럼 측정 결과: (a) +5 ns 변화에 따른 출력 스펙트럼, (b) -5 ns 변화에 따른 출력 스펙트럼

Figure 6.7 Measured output spectrum for WCDMA 2FA (a) for +5ns and

(b) -5ns variation

표. 6.2 WCDMA 2FA 신호에 대한 ACPR 성능 개선표

Table. 6.2 Performance of ACPR improvement for WCDMA 2FA

Mismatching time [ns]	-10MHz ACPR [dBc]	- 5MHz ACPR [dBc]	+ 5MHz ACPR [dBc]	+10MHz ACPR [dBc]
+5	26.16	16.35	19.01	27.18
+4	27.13	19.79	19.69	27.33
+3	27.52	21.21	20.37	27.23
+2	28.03	22.69	22.71	26.75
+1	26.97	21.40	21.13	26.39
0(matched)	27.96	23.81	23.97	25.98
-1	27.65	22.16	22.79	26.44
-2	27.73	21.51	23.12	26.73
-3	27.86	21.34	23.00	27.61
-4	28.22	23.04	21.92	27.66
-5	28.37	21.94	19.67	27.58

표 6.2 는 WCDMA 2-FA 를 이용하여 하이브리드 ETPA 를 측정하여 얻은 성능 개선표이다. 10 MHz ACPR 에서는 큰 성능 차이를 확인할 수 없지만 5 MHz ACPR 성능에 대해서는 최대 7.46 dB 의 성능 개선 효과를 확인할 수 있다.

## 7. 결론

본 연구에서는 하이브리드 포락선 추적 전력증폭기에서 RF 경로와 포락선 경로의 시간 부정합에 따른 선형성의 저하에 대하여 분석하였고, 광대역 신호에 대해서 매우 작은 시간 부정합에도 선형성의 저하가 심해질 수 있음을 수식적으로 확인하였다. 이를 개선하기 위해 RF 경로에서 미세한 군지연 시간을 제어할 수 있는 마이크로파 군지연 시간 조정기를 제안하였고, LUT 을 작성하여 1 ns 단위의 매우 작은 단위의 군지연 시간을 최대 5 ns 까지 제어할 수 있음을 실험적으로 증명하였다. 이를 실제의 하이브리드 포락선 추적 전력증폭기에 적용하기 위해 광대역 포락선 증폭기와 DGS 를 이용하여 5 차 고조파까지 차단할 수 있는 유사 20 W 출력 E 급 증폭기를 설계하여 연동실험 하였고 WCDMA 2 FA(10 MHz 대역폭) 변조신호에 대해서 최대 10 % 이상의 드레인 효율의 성능개선을 확인하였고, 5 ns 군지연 변화에 대해서 최대 7.4 dB 의 5 MHz ACPR 성능 개선효과를 확인할 수 있었다.

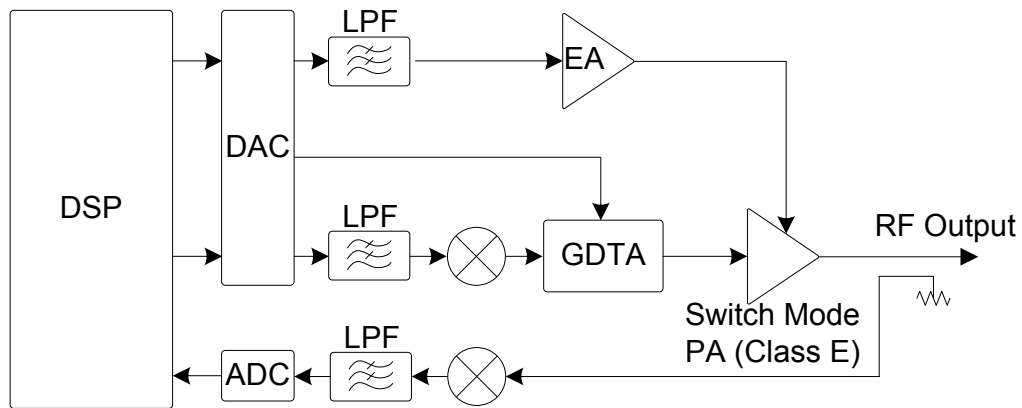


그림 7.1 디지털 신호처리부와 연동된 하이브리드 포락선 추적 전력증폭기 블록도

Figure 7.1 Block diagram of hybrid envelope tracking power amplifier with digital signal processing.



그림 7.1은 디지털 신호처리부와 연동된 하이브리드 포락선 추적 전력증폭기의 블록도이다. 본 연구의 최종 목표는 포락선 추적 전력증폭기와 RF 경로의 군지연 시간 조정기의 개발을 통하여 기지국/중계국용 디지털 고효율 포락선 추적 증폭기를 설계하는 것이다. 최근 많은 연구가 이루어지고 있는 디지털 전치 왜곡 (Digital Pre-distortion: DPD)과 함께 RF 출력에서 추출된 정보를 디지털 신호 처리에 의한 GDTA의 제어와 포락선 증폭기의 제어를 통해서 전력증폭기에서 얻을 수 있는 최적의 선형특성을 얻을 것으로 기대할 수 있다.

## 참고문헌

- [1] Jinseong. Jeong, Donald F. Kimball, Myoungbo Kwak, Paul Draxler, Chin Hsia, Craig Steinbeiser, Thomas Landon, Oleh Krutko, Lawrence E. Larson and Peter M. Asbeck, “High-Efficiency WCDMA Envelope Tracking Base-Station Amplifier Implemented With GaAs HVHBTs,” *IEEE Journal of Solid-State-Circuits*, vol. 40, no. 10, Oct. 2009.
- [2] K. Chen, K. A., Morris and M. A. beach, “Combining envelope elimination and restoration and predistortion techniques for use in IEEE802.11g systems,” *IET Microw. Antennas Propag.*, vol. 1, no. 4, Aug. 2007.
- [3] Frederic H. Raab, “Efficiency of Outphasing RF Power-Amplifier Systems,” *IEEE Transaction on Communications*, vol. com-33, no. 10, Oct. 1985.
- [4] Frederic H. Raab, Peter Asbeck, Steve Cripps, Peter B. Kenington, Zoya B. Popovic, Nick Pothecary, John F. Sevic and Nathan O. Sokal, “Power Amplifiers and Transmitters for RF and Microwave,” *IEEE Transaction on Microwave Theory and Techniques*, vol. 50, no. 3, Mar. 2002.
- [5] Frederick H. Raab, “Intermodulation Distortion in Kahn-Technique Transmitters,” *IEEE Transaction on Microwave Theory and Techniques*, vol. 44, no. 12, Dec. 1996.
- [6] John R. Gajadharsing, Olof Bosma, and Pim van Westen, “Analysis and Design of a 200W LDMOS Based Doherty Amplifier for 3G Base Stations,” *IEEE MTT-S Digest*, 2004
- [7] Girdhari Chaudhary, Heungjae Choi, Yongchae Jeong, Jongsik Lim, and Chul Dong Kim, “Design of Group Delay Time Controller Based on a

- Reflective Parallel Resonator,” *ETRI Journal*, vol. 34, no. 2, Apr. 2012.
- [8] J. Stevenson Kenney and Pavlo Fedorenko, “Identification of RF Power Amplifier Memory Effect Origins using Third-Order Intermodulation Distortion Amplitude and Phase Asymmetry,” *IEEE MTT-S International Microwave Symposium Digest*, 2006.
- [9] Anding Zhu, Paul J. Draxler, Chin Hsia, Thomas J. Brazil, Donald F. Kimball, and Peter M. Asbeck, “Digital Predistortion for Envelope-Tracking Power Amplifiers Using Decomposed Piecewise Volterra Series,” *IEEE Transaction on Microwave Theory and Techniques*, vol. 56, no. 10, Oct. 2008.
- [10] Dietmar Rudolph, “Out-of-Band Emission of Digital Transmissions Using Kahn EER Technique,” *IEEE Transaction on Microwave Theory and Techniques*, vol. 50, no. 8, Aug. 2002.
- [11] Dietmar Rudolph, “Kahn EER Technique With Single-Carrier Digital Modulations,” *IEEE Transaction on Microwave Theory and Techniques*, vol. 51, no. 2, Feb. 2003
- [12] Antoine Diet, Corinne Berland, Martine Villegas, Genevieve Baudoin, “PWM Coding and Filtering of an OFDM Envelope Signal in a C Band EER Transmitter Architecture,” *IEEE International Symposium on Personal, Indoor and Mobile Radio Communications*, Sep. 2004.
- [13] P. M. Asbeck, I. Galton, L. E. Larson, X. Zhang, M. Iwamoto, J. Hinrichs and J. Keyzer, “Digital Control of Power Amplifiers for Wireless Communications,” *European Microwave Conference*, 2001.
- [14] Heungjae Choi, Sungun Shim, Yongchae Jeong, Jongsik Lim and Chul Dong Kim, “A Compact DGS Load-Network for Highly Efficient Class-E Power Amplifier,” *European Microwave Conference*, Sep. 2009.
- [15] Feipeng Wang, Donald F. Kimball, Jeremy D. Popp, Annie Hueiching Yang, Donald Y. Lie, Peter M. Asbeck, Lawrence E. Larson, “An

- Improved Power-Added Efficiency 19-dBm Hybrid Envelope Elimination and Restoration Power Amplifier for 802.11g WLAN Applications,” *IEEE Transaction on Microwave Theory and Techniques*, vol. 54, no. 12, Dec. 2006.
- [16] H. R. Ahn, “Asymmetric Passive Components in Microwave Integrated Circuits,” *Wiley*, Sep. 2006.
- [17] Geoffrey R. Walker, “A Class B Switch-Mode Assisted Linear Amplifier,” *IEEE Transaction on Power Electronics*, vol. 18, no. 6, Nov. 2003.
- [18] H. Ertl, J. W. Kolar and F. C. Zach, “Basic Considerations and Topologies of Switched-Mode Assisted Linear Power Amplifier,” *Applied Power Electronics Conference and Exposition*, Mar. 1996.
- [19] Yushan Li, “High Efficiency Wide Bandwidth Power Supplies for GSM and EDGE RF Power Amplifier,” *IEEE International Symposium on Circuits and Systems*, May. 2005.
- [20] Jong-sik Lim, Yong-Chae Jeong, Dal Ahn and Sangwook Nam, “Improved in Performance of Power Amplifier by Defected Ground Structure,” *IEICE Trans. Electron.*, vol. E87-C, no. 1, Jan. 2004.
- [21] Yong-Chae Jeong, Si-Gyun Jeong, Jong-Sik Lim and Sangwook Nam, “A New Method to Suppress harmonics Using  $\lambda/4$  Bias Line Combined by Defected Ground Structure in Power Amplifiers,” *IEEE Microwave and Wireless Components Letters*, vol. 13, no. 12, Dec. 2003.