

CMOS 전력 증폭기의 동적 부하 변조를 위한 가변 정합 회로 설계

Variable Matching Circuit Design for DLM of
CMOS Power Amplifier

2013년 8월 22일

전북대학교 대학원

전자정보공학부

박 성 두

CMOS 전력 증폭기의 동적 부하 변조를 위한 가변 정합 회로 설계

지도교수 정 용 채

이 논문을 공학 석사 학위논문으로 제출함.

2013년 8월 22일

전 북 대 학 교 대 학 원

전 자 정 보 공 학 부

박 성 두

박성두의 석사학위논문을 인준함.

위원장 전북대학교 손 해 원 (인)

위원 전북대학교 김 정 무 (인)

위원 전북대학교 정 용 채 (인)

2013년 6월 14일

전 북 대 학 교 대 학 원

목 차

요 약

1. 서 론	1
2. 동적 부하 변조를 위한 가변 정합 회로 설계	3
2-1. 동적 부하 변조의 원리	3
2-2. DAT와 스위칭 회로를 이용한 가변 정합 회로	5
1) DAT(distributed active transformer)	6
2) 가변 정합 회로의 원리	11
2-3. 가변 정합 회로 설계 방법	12
1) CMOS 공정에서의 DAT 설계	12
2) 스위칭 회로 설계	18
2-4. 가변 정합 회로의 임피던스 변화	19
3. 가변 정합 회로를 이용한 차동 전력증폭기	21
3-1. 차동 전력증폭기	21
3-2. 가변 정합 회로를 이용한 차동 전력증폭기	22
3-3. 시뮬레이션 결과	24
1) 안정성	24
2) S-파라미터 특성	26
3) 최대 출력 전력	27
4) 전력 부가 효율	29
5) 선형성	30
4. 가변 정합 회로를 이용한 비대칭 바이어스 전력 증폭기	33
4-1. 가변 정합 회로를 이용한 비대칭 바이어스 전력 증폭기	33
1) 기본 동작 원리	33
2) 전력 결합	35
3) 선형성 향상	35
4) 가변 정합회로를 이용한 효율 개선	37

4-2. 시뮬레이션 결과	38
1) 안정성	38
2) S-파라미터 특성	39
3) 최대 출력 전력	41
4) 전력 부가 효율	43
5) 선형성	44
5. 결 론	46
참고문헌	47

그림 목 록

그림 1.1 Class B 전력 증폭기의 출력 전력에 따른 전력 부가 효율 그래프. (실선 : 이상적인 Class B, 점선 : DLM을 이용)	2
그림 2.1 각 출력 전력 레벨에서 최대 효율을 갖는 부하 임피던스	3
그림 2.2 동적 부하 변조 시스템의 블록 다이어그램	4
그림 2.3 DAT와 스위칭 회로를 이용한 가변 정합 회로의 구조	5
그림 2.4 이상적인 변압기	6
그림 2.5 구현 방식에 따른 On-chip 변압기의 구조: (a) Tapped (b) Frlan (c) Step-up, (d) Stacked	8
그림 2.6 1:1 변압기를 사용한 DAT의 블록 다이어그램	9
그림 2.7 DAT와 스위칭 회로를 이용한 가변 정합 회로의 T형 등가 회로	11
그림 2.8 DAT와 스위칭 회로를 이용한 가변 정합 회로의 등가회로: (a) 결합 계수가 1 일 때, (b) 결합 계수가 0 일 때	12
그림 2.9 EM 시뮬레이션을 하기 위한 Interconnect model 환경	13
그림 2.10 DAT의 EM 시뮬레이션을 위한 HFSS 환경	14
그림 2.11 설계된 DAT의 구조: (a) 정면 관점, (b) 3D 관점	16
그림 2.12 DAT의 주파수 특성 확인을 위한 스케메틱	17
그림 2.13 설계된 DAT의 S-파라미터 특성	17

그림 2.14 DAT에 연결된 스위치의 구조: (a) 1차 측 인덕터에 연결된 스위칭 회로, (b) 2차 측 인덕터에 연결된 스위치 회로	18
그림 2.15 DAT와 NMOS 스위칭 회로를 이용한 가변 정합 회로의 구조	20
그림 2.16 각 출력 전력 레벨에서 최대 효율을 갖는 부하 임피던스와 스위칭 상태에 따른 부하 임피던스의 변화	20
그림 3.1 일반적인 차동 전력증폭기의 구조와 파형	21
그림 3.2 가변 정합 회로를 이용한 차동 전력증폭기의 구조	22
그림 3.3 가변정합 회로를 이용한 차동 전력증폭기의 주파수에 따른 안정성 특성: (a) $V_{sw1} = \text{off}$, $V_{sw2} = \text{on}$, (b) $V_{sw1} = \text{on}$, $V_{sw2} = \text{off}$	25
그림 3.4 가변정합 회로를 이용한 차동 전력증폭기의 입력전력에 따른 안정성 특성: (a) $V_{sw1} = \text{off}$, $V_{sw2} = \text{on}$, (b) $V_{sw1} = \text{on}$, $V_{sw2} = \text{off}$	25
그림 3.5 가변 정합 회로를 이용한 차동 전력증폭기의 S-파라미터 특성 : (a) $V_{sw1} = \text{off}$, $V_{sw2} = \text{on}$, (b) $V_{sw1} = \text{on}$, $V_{sw2} = \text{off}$	26
그림 3.6 가변정합 회로를 이용한 차동 전력증폭기의 최대 출력 전력 특성 : (a) $V_{sw1} = \text{off}$, $V_{sw2} = \text{on}$, (b) $V_{sw1} = \text{on}$, $V_{sw2} = \text{off}$	28
그림 3.7 가변 정합 회로를 이용한 차동 전력증폭기의 스위치 상태에 따른 전력 부가 효율	29
그림 3.8 가변정합 회로를 이용한 차동 전력증폭기의 스위치 상태에 따른 3차 IMD의 특성. (a) $V_{sw1} = \text{off}$, $V_{sw2} = \text{on}$, (b) $V_{sw1} = \text{on}$, $V_{sw2} = \text{off}$	31
그림 4.1 가변 정합 회로를 이용한 비대칭 바이어스 전력증폭기의 블록 다이어그램	33
그림 4.2 Carrier와 Peaking 증폭기의 구조	34
그림 4.3 AB 급과 C급 바이어스를 갖는 전력증폭기의 구조	36
그림 4.4 트랜스 컨덕턴스(Gm)의 선형화 방법	37
그림 4.5 가변정합 회로를 이용한 비대칭 바이어스 전력증폭기의 주파수에 따른 안정성 특성: (a) $V_{sw1} = \text{off}$, $V_{sw2} = \text{on}$, (b) $V_{sw1} = \text{on}$, $V_{sw2} = \text{off}$	38
그림 4.6 가변정합 회로를 이용한 비대칭 바이어스 전력증폭기의 입력전력에 따른 안정성 특성: (a) $V_{sw1} = \text{off}$, $V_{sw2} = \text{on}$, (b) $V_{sw1} = \text{on}$, V_{sw2}	

= off 39

그림 4.7 가변정합 회로를 이용한 비대칭 바이어스 전력증폭기의 S-파라미터 특성 : (a) $V_{sw1} = \text{off}$, $V_{sw2} = \text{on}$, (b) $V_{sw1} = \text{on}$, $V_{sw2} = \text{off}$. 40

그림 4.8 가변정합 회로를 이용한 비대칭 바이어스 전력증폭기의 최대 출력 전력 특성 : (a) $V_{sw1} = \text{off}$, $V_{sw2} = \text{on}$, (b) $V_{sw1} = \text{on}$, $V_{sw2} = \text{off}$ 42

그림 4.9 가변 정합 회로를 적용한 비대칭 바이어스 전력증폭기의 스위치 상태에 따른 전력 부가 효율 43

그림 4.10 가변정합 회로를 이용한 비대칭 바이어스 전력증폭기의 스위치 상태에 따른 3차 IMD의 특성: (a) $V_{sw1} = \text{off}$, $V_{sw2} = \text{on}$, (b) $V_{sw1} = \text{on}$, $V_{sw2} = \text{off}$ 45

표 목 록

표 2.1 On-chip 변압기의 구현 방식에 따른 특성 비교 9

표 3.1 가변 정합 회로를 적용한 차동 전력증폭기의 스위치 상태에 따른 전력 부가 효율 비교 30

표 4.1 가변 정합 회로를 이용한 비대칭 바이어스 전력증폭기의 스위치 상태에 따른 전력 부가 효율의 비교 44

Abstract

Variable Matching Circuit Design for DLM of CMOS Power Amplifier

Sungdoo Park

Division of Electronics and Information Engineering

Chonbuk National University

In this paper, a variable matching network have been proposed to increase a efficiency at the back-offed region of the power amplifier based on the dynamic load modulation (DLM). The variable matching network consists of the distributed active transformer (DAT) and switching circuit, which can also combines the output powers of two amplifier and easy to implement with a relatively small area. The proposed variable matching circuit was applied to the push-pull CMOS power amplifier and uneven biased power amplifier operated at 2.4 GHz, so that the efficiency improvements at the back-offed region were investigated. From the simulation results, the maximum output power of the push-pull power amplifier was 27.5 dBm with power added efficiency (PAE) of 44.6 %. In the region of 2 dB and 4 dB back-off, the efficiency improvement characteristic of 6.2 % and 5.5 % were obtained, respectively. And the maximum output power of the uneven biased power amplifier was 28.9 dBm with PAE of 44.7 %. In the region of 2 dB and 4 dB back-off, the efficiency improvement characteristic of 5.3 % and 5.4 % were obtained, respectively. And the higher intermodulation distortion (IMD) characteristic than 25 dBc could be obtained under the maximum output power.

Key word : DLM, CMOS power amplifier, push-pull power amplifier, DAT.

1. 서 론

무선통신 시스템에 이용되는 RF 신호는 높은 평균 대비 피크 전력비 (peak to average power ratio: PAPR) 특성을 갖는다. 일반적으로 초고주파 전력증폭기는 최대 출력일 때에 최대 효율을 갖고, 백-오프된 전력 레벨에서는 낮은 효율 특성을 가지므로 높은 PAPR 변조 신호를 이용하는 시스템의 전력효율은 낮은 값을 가진다. 또한 출력의 백-오프를 통해 일반적으로 선형성의 개선 특성을 얻을 수 있다. 이런 문제를 해결하기 위하여 많은 연구에서 최대한 큰 출력 레벨에서 25 dB 의 오차 벡터 크기(error vector magnitude: EVM) 규격을 만족시키면서 고효율을 얻기 위해 노력하고 있다. 선형성을 보상하는 방법 중 하나로 디지털 전치왜곡 기법 (digital predistortion: DPD)을 이용함으로써 최대 선형 출력을 높이려는 시도가 많이 있으며, 포락선 추적(envelope tracking: ET) 구조를 이용하여 효율을 높이는 방법도 많이 연구되고 있다. 하지만 이러한 시스템들은 여러 가지 부가적인 회로가 추가되어야 하여 구조적인 복잡성을 피할 수 없으며, 칩 면적이 커지는 단점이 있다.

동적 부하 변조(dynamic load modulation: DLM)는 전력증폭기의 백-오프 영역에서 효율을 증가시키는 방법 중 하나이다^{[1]-[3]}. 이 기술은 가변 정합 회로를 이용하여 시간에 따라 신호 진폭이 변하는 변조 신호에 맞추어 부하를 변조시켜 효율을 증가시키는 방법이다. 그림 1.1은 Class B 전력 증폭기의 DLM의 존재 여부에 따른 전력 부가 효율(power added efficiency: PAE) 그래프이다. 이상적인 Class B 전력 증폭기는 최대 출력으로부터 출력 전력이 낮아짐에 따라서 효율이 감소한다. 그러나 DLM을 이용하면 출력 레벨에 따라 부하 임피던스가 변조되어 백-오프 된 영역에서 전력증폭기가 가질 수 있는 최대 효율을 갖게 된다. 그러므로 DLM을 이용하면 높은 PAPR의 RF 신호의 동적 영역에서 대해 높은 효율 특성을 얻을 수 있다.

화합물 반도체를 이용한 전력 증폭기는 병렬 LC 공진기로 가변 정합 회로를 구성하여 백-오프 영역에서 10 %의 효율 상승을 얻었다^[3]. 그러나 CMOS 공정에서는 LC 공진기를 구성하는 인덕터가 넓은 면적을 차지하며

쉬트(sheet) 저항에 따른 삽입 손실 때문에 낮은 Q 지수를 갖는다. 이런 이유로 CMOS 공정을 이용한 LC 공진기 가변 정합 회로의 구현은 효과적이지 못하다.

최근 화합물 반도체 기반의 전력 증폭기를 CMOS 기반의 전력증폭기로 대체하려는 노력이 많이 이루어지고 있다. CMOS 기반의 전력증폭기는 생산 단가가 낮아지는 것은 물론이고, CMOS로 구현된 다른 디지털 및 아날로그 회로와 집적화가 가능하기 때문에 전체 시스템의 추가적인 생산 단가 인하와 더불어 소형화를 이룰 수 있기 때문이다.

본 논문에서는 CMOS 공정에서 DLM을 이용하기 위한 가변 정합 회로를 제안한다. 제안한 가변 정합 회로는 DAT와 스위칭 회로를 이용하여 구현하였다. 가변 정합 회로를 차동 전력증폭기와 비대칭 바이어스 전력증폭기에 적용하여 백-오프 영역에서의 효율 개선 특성을 확인하였다.

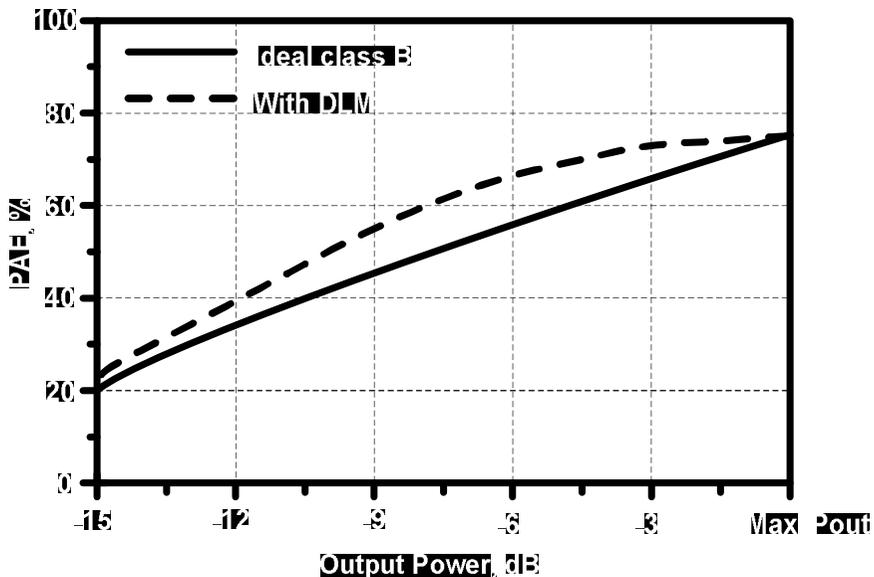


그림 1.1 Class B 전력증폭기의 출력 전력에 따른 전력 부가 효율 그래프. (실선 : 이상적인 Class B, 점선 : DLM을 이용)

Figure 1.1 Typical PAE curve of class B power amplifier with/without DLM.

2. 동적 부하 변조를 위한 가변 정합 회로 설계

2-1. 동적 부하 변조의 원리

그림 2.1은 출력 정합을 하지 않은 상태에서의 CMOS 전력증폭기의 각 출력 레벨에서 최대 효율을 갖는 부하 임피던스를 스미스 차트에 나타낸 것이다. 데이터는 3장에서 소개될 차동 전력 증폭기의 로드-풀 (load-pull) 시뮬레이션을 통하여 추출한 것이다. MAX. P_{out} 은 최대 출력 전력에서의 임피던스를 나타내고 -2 ~ -10 dB 는 최대 출력 전력으로부터 각 수치만큼 백-오프 된 출력 레벨에서 최대 효율을 갖는 임피던스를 나타낸다. 출력 레벨에 따른 최적 효율 임피던스의 궤적을 살펴보면 저항 성분도 약간 변하지만 리액턴스 성분이 많이 변하는 것을 확인할 수 있다. 설계된 CMOS 전력증폭기 뿐 아니라 다른 화합물 반도체 전력증폭기들도 직렬 LC공진기를 이용한 임피던스 변조 방법이 필요하다.^[3] 이런 형태의 궤적 임피던스를 변조하기 위해서는 직렬 공진 특성을 갖는 회로가 필요하다.

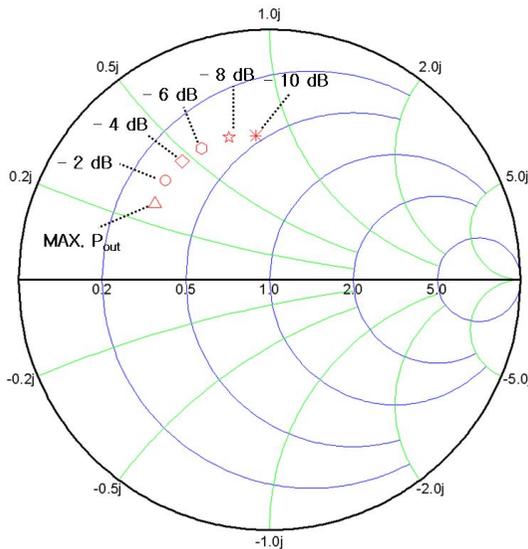


그림 2.1 각 출력 전력 레벨에서 최대 효율을 갖는 부하 임피던스

Figure 2.1 Load impedance from the highest efficiency at each output power levels.

본 논문에서 제안하는 DLM은 그림 2.1에 나타난 전력증폭기의 최적 효율 임피던스 특성에 근거하여 출력 레벨이 변하면 각 출력에서 최적 효율을 갖는 부하 임피던스 특성을 갖도록 가변 정합 회로를 조정하여 효율을 증가시키는 방법이다. 가변 정합 회로를 조절하기 위한 제어 신호는 변조 신호의 포락선(envelope)과 같은 전압파형이다. DLM을 이용하면 최대 출력 전력에서는 최대 효율을 유지하게 되고, 백-오프 영역에서도 부하가 변조되어 일반적인 전력증폭기보다 효율이 상승하게 된다. 그러므로 높은 PAPR을 갖는 RF 신호를 증폭하는 전력증폭기의 효율을 증가시킬 수 있다.

화합물 반도체 전력증폭기를 동적 부하 변조하는 방법으로 병렬 LC 공진기 개념을 이용한 가변 정합 회로들이 많이 이용하고 있다. 이상적인 최적 효율 궤적에 따라서 임피던스를 변환하기 위해서는 직렬 LC 공진기를 이용해야 한다. 그러나 직렬 LC 공진기보다 병렬 LC 공진기가 가변 정합 회로로 구현하기 쉽고 전력 손실 부분에서도 더 유리하기 때문에 병렬 LC 공진기도 많이 이용되고 있다. 참조 논문[3]에서는 병렬 LC 공진기를 이용한 가변 정합 회로에 버랙터 다이오드와 인덕터를 이용하였다. 그러나 집적도를 높여야 하는 CMOS 공정에서는 인덕터가 낮은 Q 지수를 가지면서 넓은 면적을 차지하는 이유로 LC 공진기를 이용한 가변 정합 회로의 구현은 효과적이지 않다.

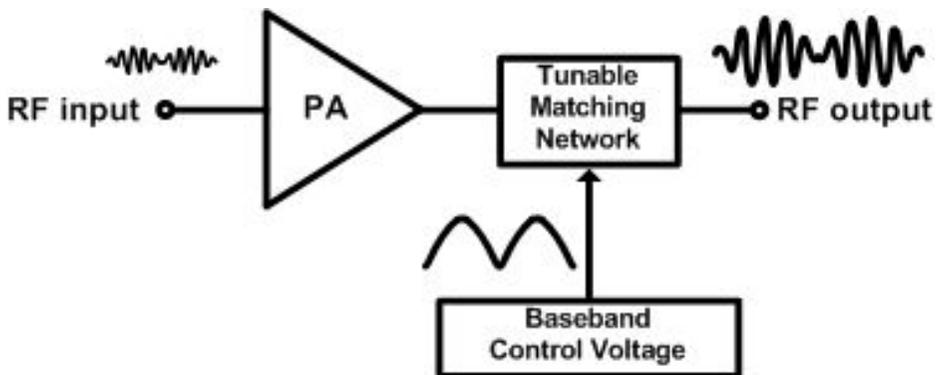


그림 2.2 동적 부하 변조 시스템의 블록 다이어그램
Figure 2.2 Block diagram of dynamic load modulation.

현재까지 CMOS 공정으로 구현된 전력 증폭기 중에 DLM을 이용한 전력증폭기에 대한 연구는 찾아볼 수 없다. 본 연구에서는 위에서 언급한 LC 공진기의 단점을 보완하면서 CMOS 공정에서 동적 부하 변조를 구현할 수 있는 가변 정합 회로를 제안한다.

2-2. DAT와 스위칭 회로를 이용한 가변 정합 회로

그림 2.3은 제안하는 가변 정합 회로의 구조이다. 가변 정합 회로는 분산 능동 변환기(distributed active transformer: DAT)와 MIM 커패시터, 그리고 MOS 스위치로 구성된다. 소스(source)에서 부하(load)를 바라본 임피던스는 DAT의 1차 측 인덕터(primary inductor)와 2차 측 인덕터(secondary inductor)에 연결된 MOS 스위치의 상태에 따라 달라진다. 스위치가 개방(open) 또는 단락(short)됨에 따라 단락 커패시턴스가 달라져서 임피던스를 조절할 수 있다.

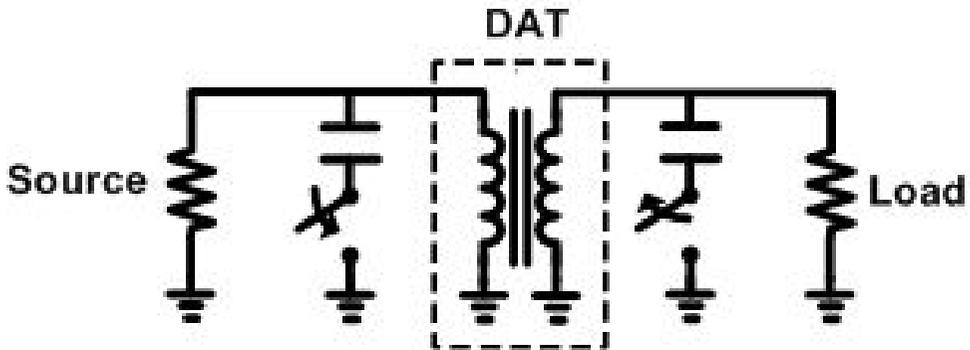


그림 2.3 DAT와 스위칭 회로를 이용한 가변 정합 회로의 구조

Figure 2.3 Structure of variable matching circuit using DAT and switching circuit.

1) DAT(distributed active transformer)

① 이상적인 변압기(ideal transformer)

그림 2.4는 이상적인 변압기의 구조이다. 여기서 L_p 와 L_s 는 1차 측(Primary)과 2차 측(Secondary)의 자체 인덕턴스(self inductance)이고, M 은 두 인덕터간의 상호 인덕턴스(mutual inductance)이다. 1차 측에 시간에 따라 변하는 전류 I_1 에 의해 생성된 자속(magnetic flux)은 2차 측에 시간에 따라 변하는 전류 I_2 를 발생시킨다. V_1 과 V_2 는 각 단자의 전압으로 식 (2-1)과 같이 표현할 수 있다.

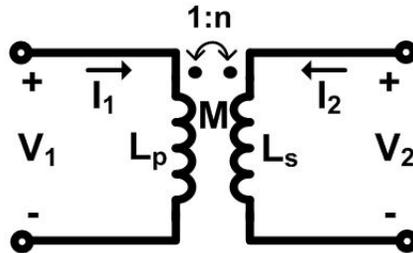


그림 2.4 이상적인 변압기

Figure 2.4 Ideal transformer.

$$\begin{bmatrix} V_1 \\ V_2 \end{bmatrix} = \begin{bmatrix} j\omega L_p & j\omega M \\ j\omega M & j\omega L_s \end{bmatrix} \begin{bmatrix} I_1 \\ I_2 \end{bmatrix} \quad (2-1)$$

그리고 두 인덕터 사이의 결합 계수 k 는 식 (2-2)와 같다.

$$k = \frac{M}{\sqrt{L_p L_s}} \quad (2-2)$$

1:n은 1차 측 인덕턴스와 2차 측 인덕턴스의 비율을 나타내며, 여기서 n은 식 (2-3)과 같은 특성을 갖는다.

$$n = \sqrt{\frac{L_s}{L_p}} \approx \frac{V_2}{V_1} \approx \frac{I_1}{I_2} \quad (2-3)$$

식 (2-3)으로부터 1차 측 인덕턴스와 2차 측 인덕턴스 비율이 다르면 각 단자의 전압과 전류가 변하게 된다. 이는 변압기를 이용하면 임피던스 변환을 할 수 있다는 것을 보이는 것이다.

② On-chip 변압기

이상적인 변압기는 결합 계수 k 가 1인 값을 갖지만 대부분의 on-chip 변압기는 누설 인덕턴스 때문에 0.3에서 0.9 사이의 k 값을 갖는다. 또한 이상적인 변압기에 비하여 전력 손실에 영향을 주는 슈트 저항과 표피 효과(skin effect), 기판의 와전류(eddy current), 기생 커패시턴스, 근접 효과(proximity effect) 등 고려해야 될 사항이 많다[5].

대표적인 On-chip 변압기는 두 가지 구조로 분류할 수 있다. 첫 번째는 평면 변압기(planar transformer)이고, 두 번째는 적층형 변압기(stacked transformer)이다. 평면 변압기는 대개 넓은 면적을 차지한다. 그리고 구현하는 방식에 따라 기판과 변압기 사이의 커패시턴스에 의해 자기 공진 주파수(self-resonant frequency)를 가져서 주파수 특성의 타협(trade-off)이 있어야 한다. 평면 변압기는 구현방식에 따라서 Tapped, Frlan, 그리고 Step-up 구조로 분류된다. 각 구조는 그림 2.5에 나타나 있다.

적층형 변압기는 3개의 금속(Metal) 층을 이용한다. 수직과 수평 자체 결합이 동시에 작용하여, 자체 인덕턴스와 결합 계수가 높다. 또한 아래층의 금속이 기판에 의한 전자기적 효과들로부터 위층의 금속을 보호하는 역할을 한다. 그러나 아래층의 금속은 접지와 거리가 가까워서 기생 커패시턴스가 크다. 또한 현재의 CMOS 공정에서는 각 층의 금속 두께가

다르기 때문에 대칭적으로 구현하는 것이 어렵다. 표 2.1은 구현방식에 따른 On-chip 변압기의 특성을 비교한 것이다.

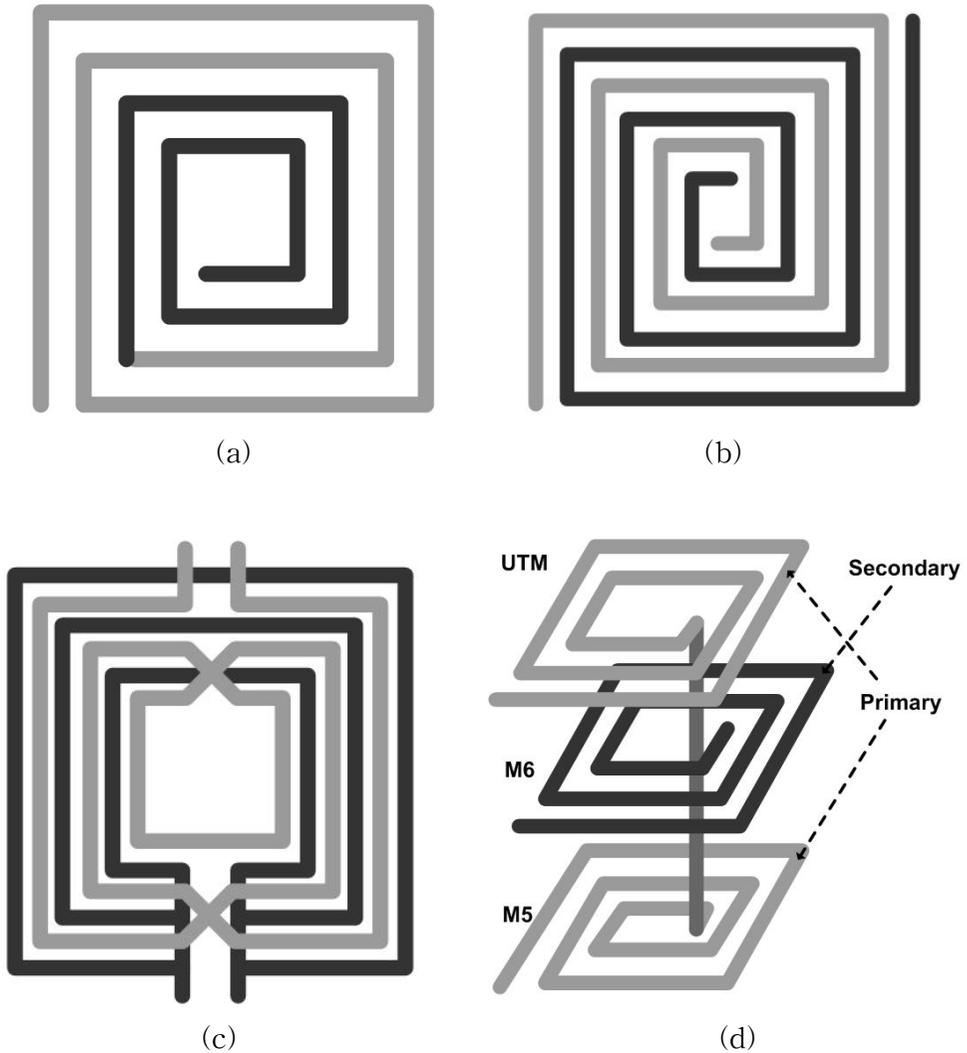


그림 2.5 구현 방식에 따른 On-chip 변압기의 구조: (a) Tapped, (b) Frlan, (c) Step-up, (d) Stacked.

Figure 2.5 Structure of on-chip transformers according to materialization method: (a) Tapped (b) Frlan (c) Step-up, and (d) Stacked.

표 2.1 On-chip 변압기의 구현 방식에 따른 특성 비교

Table 2.1 Comparison of characteristic for different transformer structures.

	Tapped	Frlan	Step-up	Stacked
k	small	medium	medium	high
n	arbitrary	1	1~4	arbitrary
Q	high	medium	medium	small

③ DAT의 구조와 원리

일반적으로 CMOS 공정에서는 CMOS의 낮은 항복 전압(breakdown voltage) 문제로 인하여 단일(single ended) 증폭기에서는 큰 출력 전력을 구현하지 못한다. 그래서 다수의 트랜지스터의 전력 결함을 통하여 출력 전력을 증가시켜야 한다.

그림 2.6은 다수의 트랜지스터에서 생성되는 전력을 결합하기 위해 사용되는 DAT의 블록 다이어그램이다. 다수의 트랜지스터에서 생성되는 작은 AC 전압은 1차 측 인덕터에 자기장을 유기하여 2차 측 인덕터로 전달된다. 2차 측 인덕터에서는 다수의 전압이 결합되어 큰 전압으로 변환된다. 2차 측 인덕터의 AC 전압은 트랜지스터의 항복 전압에 영향을 미치지 않으므로 DAT를 이용하면 트랜지스터가 큰 AC 전압에 의해서 손상되는 것을 방지할 수 있다.

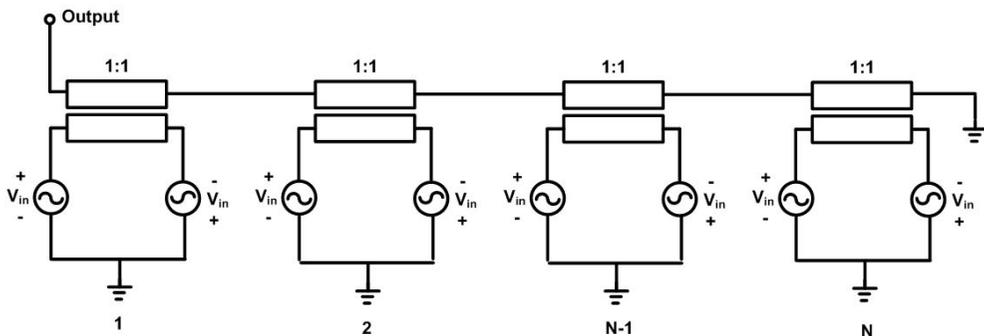


그림 2.6 1:1 변압기를 사용한 DAT의 블록 다이어그램

Figure 2.6 Block diagram of DAT using 1:1 transformer.

전력증폭기의 설계에 있어서 전압 결합 방식이나 전류 결합 방식을 이용하여 N개 이상의 트랜지스터의 전력을 결합할 때, DAT를 이용하면 다른 결합 방식보다 효율 측면에서 더 유리하다.^[4] 또한 DAT는 결합 판 전송선로(Coupled slab transmission line)로 구현되어 자체적으로 DC 차단(DC_block) 역할을 한다. 그러므로 전력 증폭기의 출력 단에 따로 DC 차단 커패시터를 연결할 필요가 없어서 구현하는데 편리하다.

DAT를 이용하면 전력 결합과 동시에 1차 측 인덕터와 2차 측 인덕터에 연결된 커패시터의 값을 변경시켜 임피던스 정합을 할 수 있다. 그러므로 임피던스 변환이 필요한 여러 회로에 사용될 수 있으며 추가적으로 정합 회로를 구현하지 않아도 된다. 이는 추가 소자에 의한 전력 손실이나 면적 측면에서 유리하다. 그리고 CMOS 공정에서 인덕터는 다른 소자들에 비해서 많은 면적을 차지하지만, DAT는 구현 방식에 따라서 인덕터에 비해 작은 면적으로 구현이 가능하다. 또한 DAT는 설계자가 Layout 상황에 맞추어 자신이 원하는 대로 구현이 가능하다.

전력증폭기를 설계할 때 고려해야 할 사항 중에 하나는 공급 전압 포트 로 RF 전력이 누설되지 않도록 하는 RF_choke가 필요하다. 일반적으로 RF_choke는 DC 전력 손실이 적은 인덕터를 사용한다. 그러나 CMOS 공정에서의 인덕터는 Q 지수가 작으며 큰 면적을 필요로 하므로 RF_choke로 사용하기에는 적절하지 않다. DAT를 이용한 전력증폭기를 설계할 때는 판 전송선로로 구성된 DAT의 1차 측 인덕터의 중앙부에 DC_feed가 연결되어 트랜지스터에 전압을 공급한다. 이 때, 1차 측 인덕터의 인덕턴스가 RF_choke역할을 하게 되어 누설 RF 전력을 최소화 할 수 있다.

2) 가변 정합 회로의 원리

그림 2.7은 제안된 가변 정합 회로의 등가회로이다. 여기서 C_p 는 DAT의 1차 측 인덕터에 연결된 스위칭 커패시터이고 C_s 는 2차 측 인덕터에 연결된 스위칭 커패시터이다. 그리고 kL_1 은 1차 측 인덕터와 2차 측 인덕터에 의하여 발생하는 상호 인덕턴스(mutual inductance)이다. $(1-k)L_1$ 과 $(1-k)L_2$ 는 누설 인덕턴스(leakage inductance)로 가변 정합 회로의 설계에 있어서 아주 중요하다. 결합 계수 k 가 1에 근접하면 두 누설 인덕턴스는

제거되어 회로는 그림 2.8의 (a)와 같이 LC 병렬 공진기와 등가적으로 같게 된다. 그러나 결합 계수 k 가 0에 근접하면 그림 2.8의 (b)와 같이 π 형 등가회로로 변하게 된다. 본 논문에서는 LC공진기와 같은 성능을 갖는 가변 정합 회로에 목적이 있으므로 결합 계수 k 가 최대한 1에 근접하도록 설계하였다.

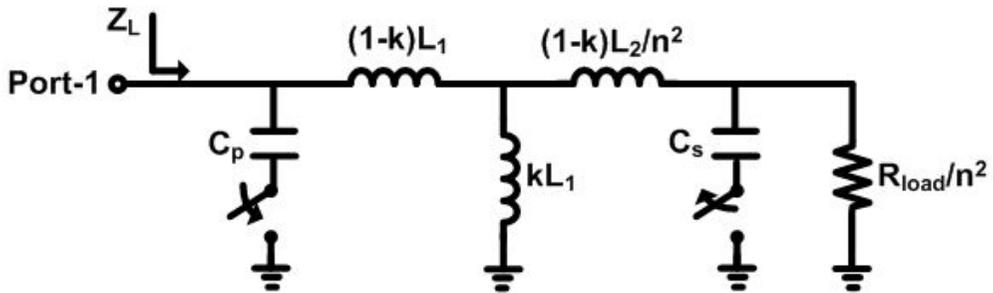
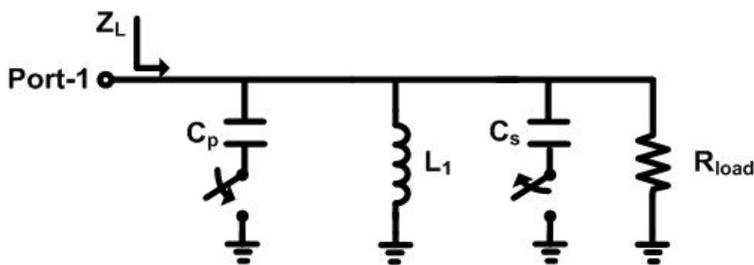
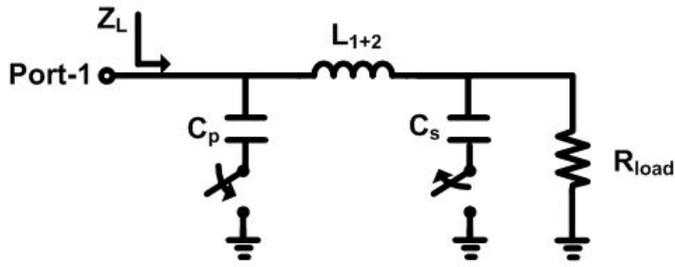


그림 2.7 DAT와 스위칭 회로를 이용한 가변 정합 회로의 T형 등가 회로
Figure 2.7 Equivalent T-model of variable matching circuit using DAT and switching circuit.



(a)



(b)

그림 2.8 DAT와 스위칭 회로를 이용한 가변 정합 회로의 등가회로: (a) 결합 계수가 1 일 때, (b) 결합 계수가 0 일 때

Figure 2.8 Equivalent circuit of ariable matching circuit using DAT and switching circuit: (a) coupling factor = 1, (b) coupling factor = 0.

2-3. 가변 정합 회로 설계 방법

1) CMOS 공정에서의 DAT 설계

① 시뮬레이션 환경

DAT는 전자기(electric magnetic) 시뮬레이션을 할 수 있는 ANSYS사의 HFSS 11을 이용하여 설계하였다. TSMC 65 nm 공정의 Interconnect model의 정보를 기초로 각 층의 유전율과 두께를 계산하여 시뮬레이션 환경을 만들었다. TSMC 65nm 공정의 Interconnect model은 1Poly 7Metal 환경에서 총 38 개의 층으로 이루어져 있다. 38개의 층 전부를 시뮬레이션 환경으로 구성을 하게 되면 시뮬레이션 정확도는 높아지지만 시뮬레이션 실행 시간이 너무 많이 증가하게 된다. 시뮬레이션 시간을 감소하기 위해서 38개의 층을 비슷한 유전율을 가진 유전체들을 합성하여 총 9개의 층으로 구성하였다. 각 층의 구성은 그림 2.9에 나타나 있다.

여기서 IMD(inter metal dielectrics)는 네 종류의 유전율 값을 갖는 유전체로 구성되어 있다. IMD2와 IMD4에는 설계된 DAT가 위치하게 되어 유전체의 두께를 신중히 선택해야 된다. 그리고 P형 기판(P- substrate)의 바닥은 0 V의 전위를 갖는 접지로 설정하였다. DAT에 사용되는 금속

은 쉬트 저항에 의한 전력 손실을 줄이기 위해서 3.4 μm 의 두께를 갖는 UTM(ultra thick metal)을 사용하였다. 그리고 DAT에서의 1차 측 인덕터는 그 중심에 트랜지스터의 동작에 필요한 전압을 공급해야 하므로 DC_feed가 필요하다. 공급 전압 단자와 연결되는 DC_feed는 0.9 μm 두께를 갖는 Metal-6를 이용하였다. Metal-6 또한 다른 Metal 1~5 (0.22 μm)보다 두꺼워서 저항성이 낮아 전력 손실 면에서 더 유리하다.

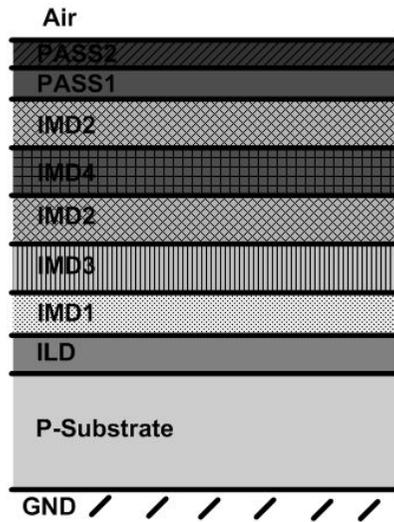


그림 2.9 EM 시뮬레이션을 하기 위한 Interconnect model 환경
 Figure 2.9 Interconnect model environment for electric magnetic simulation.

DAT를 설계하는데 있어서 중요한 요소 중 하나는 주변 환경의 영향을 최소화하는 것이다. 그림 2.10은 DAT의 전자기 시뮬레이션을 위한 전체 환경을 나타낸 것이다. 전자기 시뮬레이션을 하기 위해서는 DAT에 연결된 각 단자에 접지가 연결되어야 한다. 여기서 사용된 접지는 PEC(perfect conductor)를 이용하였다. PEC는 HFSS 시뮬레이션 상에서 완벽하게 접지화가 된 물질이다. DAT가 PEC에 의하여 특성 변화가 발생하지 않게 하기 위하여 둘 사이의 거리를 최소 500 μm 로 설정하였다.

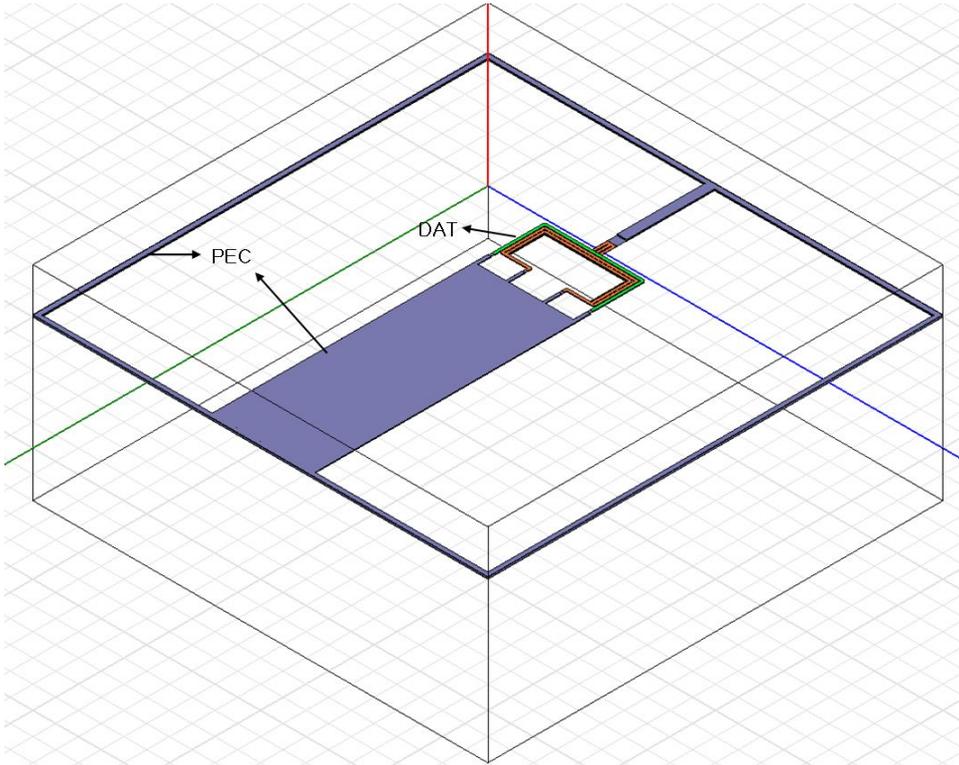


그림 2.10 DAT의 EM 시뮬레이션을 위한 HFSS 환경

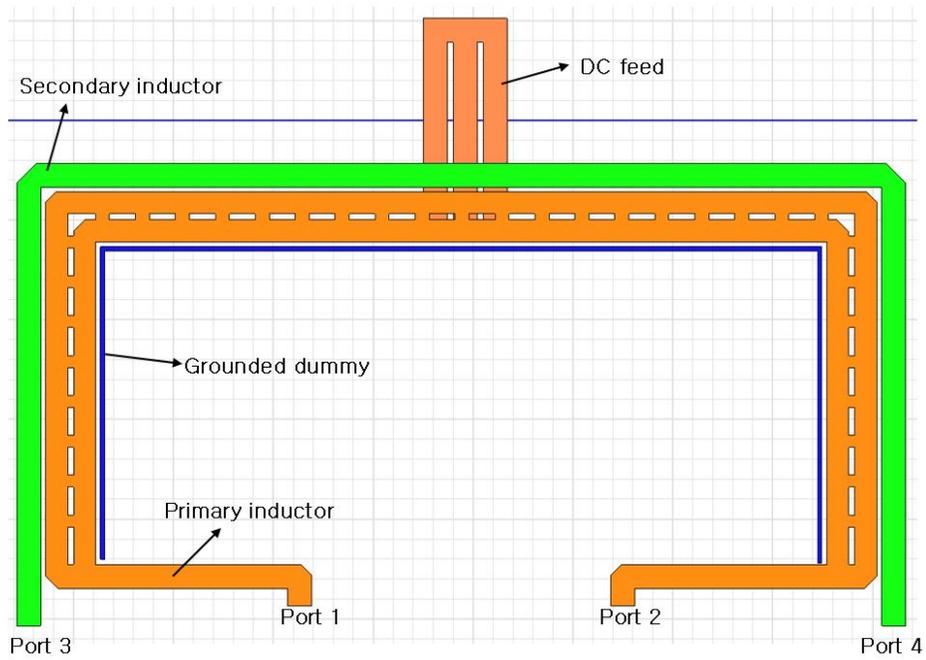
Figure 2.10 HFSS environment for electric magnetic simulation of DAT.

② 설계된 DAT의 구조

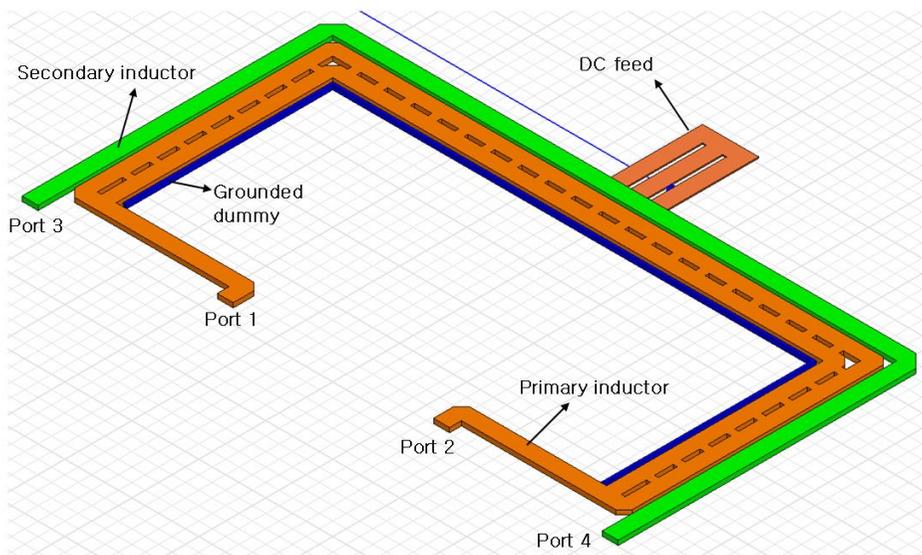
그림 2.11은 설계된 DAT의 구조이다. 1차 측 인덕터(primary inductor)에는 RF 신호와 함께 DC 전류도 같이 흐르게 된다. 많은 전류가 흐르게 되면 전류 밀도가 높아져 선로의 스위트 저항에 의한 전력 손실이 커지게 된다. 스위트 저항은 선로의 폭에 반비례 하므로 선로의 두께를 높이고 폭을 넓혀서 스위트 저항을 줄이도록 하였다. TSMC 65 nm 공정의 디자인 룰에는 UTM의 최대 폭은 12 um로 제한되어 있다. 그래서 11 um의 폭을 갖는 두 개의 선로를 3 um의 틈을 두고 평행하게 연결해서 총 22 um의 선로로 1차 측 인덕터를 구현하였다. 그리고 1차 측 인덕터의 중앙에

는 공급 전압을 위한 DC_feed를 구현하였는데, Metal-6를 이용하였다. Metal-6는 UTM 보다 두께가 얇기 때문에 DC_feed의 총 넓이를 30 um 로 구현하였다. 2차 측 인덕터는 1차 측과 같은 UTM으로 구현하였으며 넓이는 12 um이다. 그리고 1차 측 인덕터의 안쪽에 접지시킨 더미(dummy)를 배치하였다. 더미는 두 가지 역할을 한다. 첫 번째는, DAT의 안쪽에 위치한 다른 소자들로부터의 전자기적 결합 영향을 줄이기 위한 것이다. 본 설계에서는 높은 집적도를 위하여 DAT의 안쪽에 CMOS 전력증폭기 설계에 필요한 커패시터를 위치시켰다. CMOS 공정에서 집적도가 높아지면 소자와 선로들 사이의 커패시턴스에 의해서 고주파 특성 변화가 전력증폭기 성능에 큰 영향을 미칠 수 있다. 그래서 접지시킨 더미를 이용하여 소자와 선로들 사이의 전자기 간섭을 줄인 것이다. 두 번째는, DAT의 결합 계수를 높이기 위한 것이다. 앞서 2-2절에서 설명했듯이 DAT의 결합 계수는 가변 정합 회로의 성능을 좌우한다. 그러므로 1차 측 인덕터의 누설 인덕턴스를 줄여서 결합 계수를 높일 필요가 있다. 접지시킨 더미는 DAT 안쪽의 자속을 줄여 누설 인덕턴스를 억제 할 수 있다.

그림 2.11에서 단자 1과 단자 2는 차동 전력증폭기의 구현에 있어서 차동 출력 신호의 합성에 사용되고 단자 4는 접지에 연결되며 단자 3은 부하와 연결되어 전력을 부하에 전달한다.



(a)



(b)

그림 2.11 설계된 DAT의 구조: (a) 정면 관점, (b) 3D 관점

Figure 2.11 Structure of designed DAT: (a) top view and (b) 3D view.

③ 특성 확인

설계된 DAT의 특성 확인을 위해서 그림 2.12와 같이 2 단자 회로를 구성하였다. 그리고 중심 주파수 2.4 GHz에서 최대 전력 전달을 위해서 DAT의 1차 측과 2차 측 인덕터에 이상적인 커패시터 소자를 병렬로 연결하였다. 설계된 DAT의 주파수에 따른 통과 특성은 그림 2.13에 나타냈다. 삽입 손실은 약 1 dB 정도로 off-chip에서 전력 결합에 필요한 일반적인 발룬(balun)과 비슷하다. 그리고 8 GHz 이상에서의 통과 신호특성은 -20 dB 이하로 나타나는 것을 확인할 수 있다. 이는 설계된 DAT가 4차 이상의 고조파를 부가 회로 없이 억제할 수 있음을 확인할 수 있다.

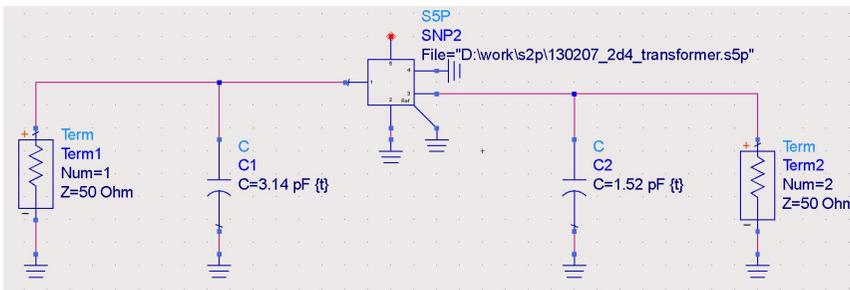


그림 2.12 DAT의 주파수 특성 확인을 위한 회로도

Figure 2.12 Schematic for check the frequency characteristic of DAT.

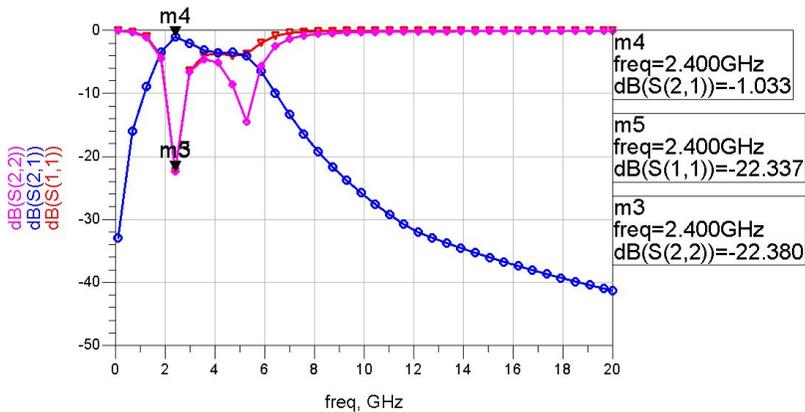


그림 2.13 설계된 DAT의 S-파라미터 특성

Figure 2.13 S-parameter characteristic of designed DAT.

2) 스위칭 회로 설계

그림 2.14의 (a)와 (b)는 각각 DAT의 1차 측과 2차 측에 연결된 스위치와 MIM 커패시터를 나타낸 것이다. NMOS를 이용하여 스위치를 구현하였고, 10 kΩ 이상의 저항을 스위칭 바이어스에 연결하여 RF_choke 역할을 하였다. 1차 측에 연결된 스위치는 180°의 위상차를 갖는 차동 신호의 대칭성을 위하여 스위치를 중앙에 위치시켰고 양 쪽에 MIM 커패시터를 배치하였다. MIM 커패시터를 스위치의 바깥 부분에 연결해 주면 DC 차단 특성이 있어서 스위치에 의한 전력 소모가 억제 된다. 그리고 저항을 이용하여 NMOS의 드레인과 소스의 전위차를 0으로 하였다. 2차 측에 연결된 스위치 회로는 단일 신호에서 작동하기 때문에 MIM 커패시터 하나를 사용하였고 1차 측에 연결된 회로와 마찬가지로 NMOS의 드레인과 소스의 전위차를 줄이기 위해 저항으로 연결하였다. 각 스위치의 바이어스는 V_{sw1} 과 V_{sw2} 로 조절해 준다. 스위치를 켜 경우에는 2 V, 스위치를 끌 경우에는 -1 V를 인가해 주었다.

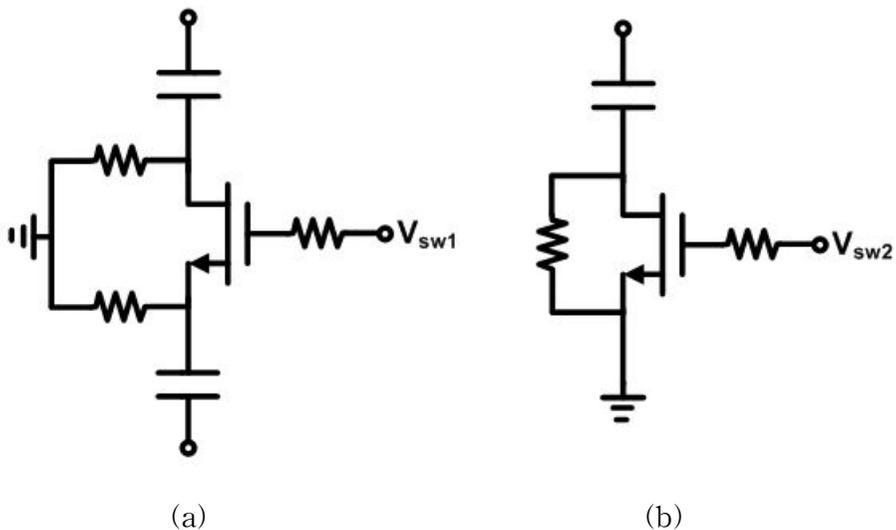


그림 2.14 DAT에 연결된 스위치의 구조: (a) 1차 측 인덕터에 연결된 스위칭 회로, (b) 2차 측 인덕터에 연결된 스위치 회로

Figure 2.14 Structure of switch connected to DAT: (a) connected to the primary inductor and (b) connected to secondary inductor.

스위치를 설계할 때 주의해야 할 점은 스위치가 켜졌을 때 기생 저항에 의한 전력 소모를 줄이기 위해서 스위치의 크기를 크게 해야 된다. 그러나 스위치의 크기를 크게 하면 스위치가 꺼져 있을 때 NMOS의 기생 커패시턴스에 의해서 커패시터 변화량이 감소하게 된다. 그러므로 전력 소모와 커패시터의 변화량을 고려하여 적당한 크기의 스위치를 설계해야 한다.

2-4. 가변 정합 회로의 임피던스 변화

그림 2.15은 2-3절에서 설명한 DAT와 스위칭 회로로 구성된 가변 정합 회로의 구조를 나타낸다. 가변 정합 회로의 임피던스 변환은 스위칭 바이어스 V_{sw1} 과 V_{sw2} 에 의해 조정된다. 그림 2.16는 설계된 차동 전력증폭기의 로드-풀 시뮬레이션을 통하여 추출된 각 출력 레벨에서 최대 효율을 갖는 부하 임피던스와 부하 저항이 50 Ω 일 때, 스위칭상태에 따른 변화된 부하 임피던스(Z_L)를 스미스차트 상에 나타낸 것이다.

1차 측 인덕터에 연결된 스위치가 꺼지고($V_{sw1}=off$) 2차 측 인덕터에 연결된 스위치가 켜졌을 때($V_{sw2}=on$) 부하 임피던스는 최대 출력 레벨에서 최대 효율을 갖는 임피던스의 값을 갖는다. 그리고 1차 측 인덕터에 연결된 스위치가 켜지고($V_{sw1}=on$) 2차 측 인덕터에 연결된 스위치가 꺼졌을 때($V_{sw2}=off$) 부하 임피던스는 최대 출력 전력으로부터 4 dB 백-오프된 출력 레벨에서 최대 효율을 갖는 임피던스 값을 갖는다.

설계된 가변 정합 회로는 최대 출력 레벨로부터 4 dB 백-오프된 출력 레벨까지는 최대 효율을 갖는 임피던스로 변환시킬 수 있지만 병렬 공진 특성상 그 이후로는 부하 임피던스가 최적 효율 임피던스에서 많이 벗어나서 큰 효과를 얻기 힘들다. 그러나 현재 설계된 가변 정합 회로를 이용하여도 최대 출력 레벨로부터 5 dB 이상 백-오프된 영역 레벨까지는 가변 정합 회로를 이용하지 않았을 때 보다는 효율 향상을 얻을 수 있어 가변 정합 회로는 충분히 활용 가치가 있다.

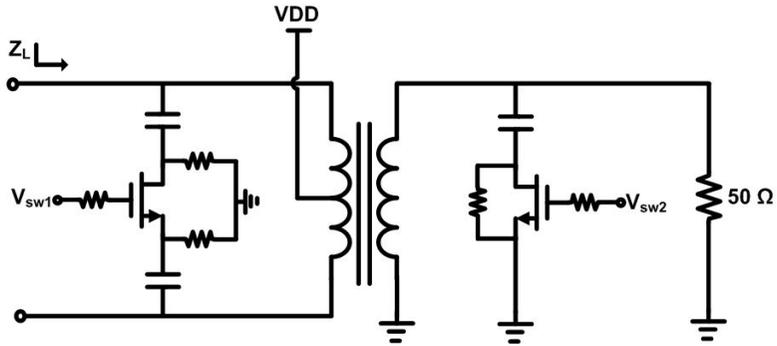


그림 2.15 DAT와 NMOS 스위칭 회로를 이용한 가변 정합 회로의 구조
 Figure 2.15 Structure of variable matching circuit using DAT and NMOS switching circuit.

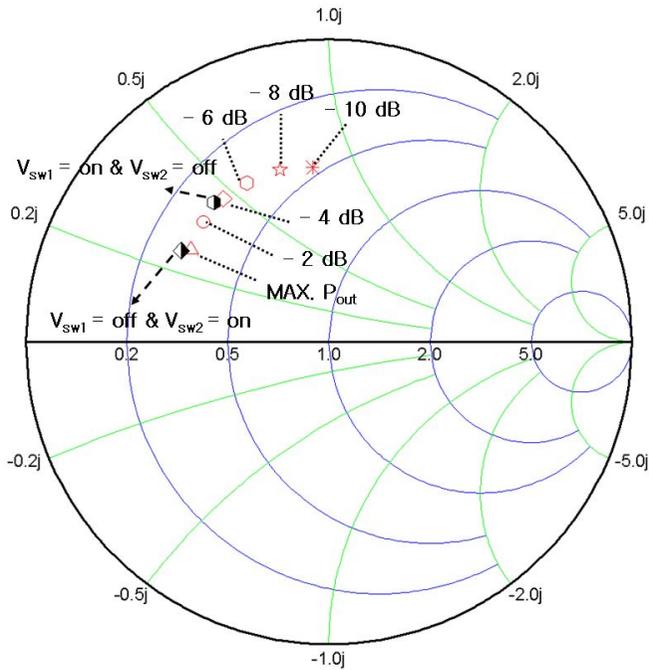


그림 2.16 각 출력 전력 레벨에서 최대 효율을 갖는 부하 임피던스와 스위칭 상태에 따른 부하 임피던스의 변화
 Figure 2.16 Load impedance from the highest efficiency at each output power levels and variation of load impedance according to switching state.

3. 가변 정합회로를 이용한 차동 전력증폭기

3-1. 차동 전력증폭기

이상적인 차동 전력증폭기는 B급 바이어스로 동작되며, 두 트랜지스터의 입력에는 180° 의 위상차를 갖는 차동 신호가 인가된다. 두 트랜지스터의 드레인에 연결되어 있는 발룬(balun)을 통하여 신호가 결합되며 파형은 그림 3.1에 나타나 있는 것과 같이 두 드레인의 신호가 합쳐져서 원래의 입력 파형을 복원한다. 만약 두 트랜지스터 사이에 위상차가 발생하게 되면 선형성 왜곡과 출력 전력의 저하를 가져온다. 그러므로 두 트랜지스터를 대칭적으로 구성하여 위상차를 최소화해야 한다. 차동 구조의 장점은 B급 바이어스로 얻을 수 있는 선형성 보다 더 높은 선형성을 얻을 수 있다는 점이다. 차동 전력증폭기가 차동 구조이므로 별도의 회로 없이 짝수 고조파(even harmonic)를 억제할 수 있다. 또한 CMOS 공정에서는 화합물 반도체와는 달리 Back-via를 가지지 않으므로 단일(single ended) 증폭기를 구현할 때에는 접지를 위한 Wire bonding으로 인한 이득 저하가 발생한다. 그러나 차동 구조를 적용하면 가상 접지가 발생하여 Wire bonding을 사용하지 않아도 된다.

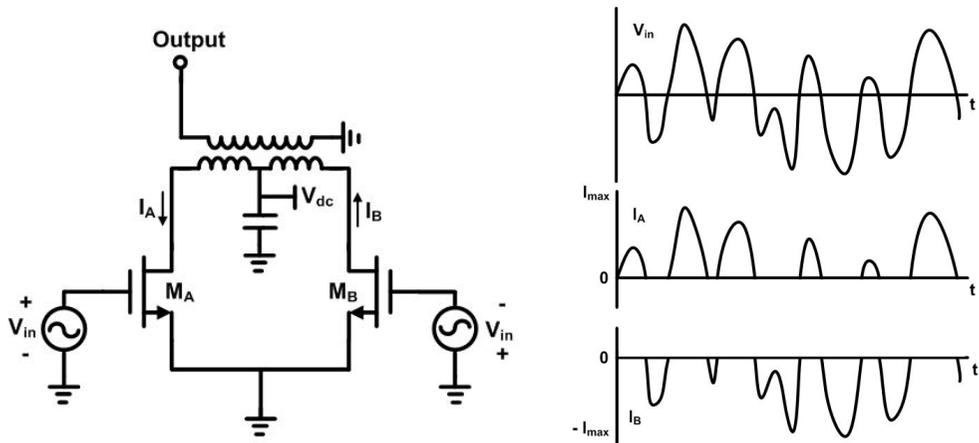


그림 3.1 일반적인 차동 전력증폭기의 구조와 파형

Figure 3.1 Structure and waveform of conventional push-pull power amplifier.

3-2. 가변 정합 회로를 이용한 차동 전력증폭기

그림 3.2는 가변 정합 회로를 이용한 차동 전력증폭기의 구조를 나타낸다. 일반적으로 CMOS 공정에서는 낮은 항복 전압(breakdown voltage)으로 인해 큰 전력을 만드는데 어려움이 있다. 그래서 더 높은 항복 전압을 견디기 위해서 캐스코드(cascode) 구조가 제안되었다. 캐스코드 구조를 사용하면 더 높은 공급 전압에서 동작할 수 있으며 출력 전력을 더 증가시킬 수 있다.

차동 캐스코드 구조의 공통 소스(common source)단에 사용된 소자(M_A , M_B)는 TSMC 65 nm 공정의 1.2 V Standard nmos_rf_6t를 사용하였다. nmos_rf_6t 소자는 다른 RF NMOS소자보다 병렬 소자간의 RF 차단에 있어서 더 유리하다. 캐스코드 구조에서 공통 게이트(common gate)단은 더 높은 전압 스윙을 견뎌야 하기 때문에 게이트의 Oxide 층이 두꺼운 소자를 사용하였다.

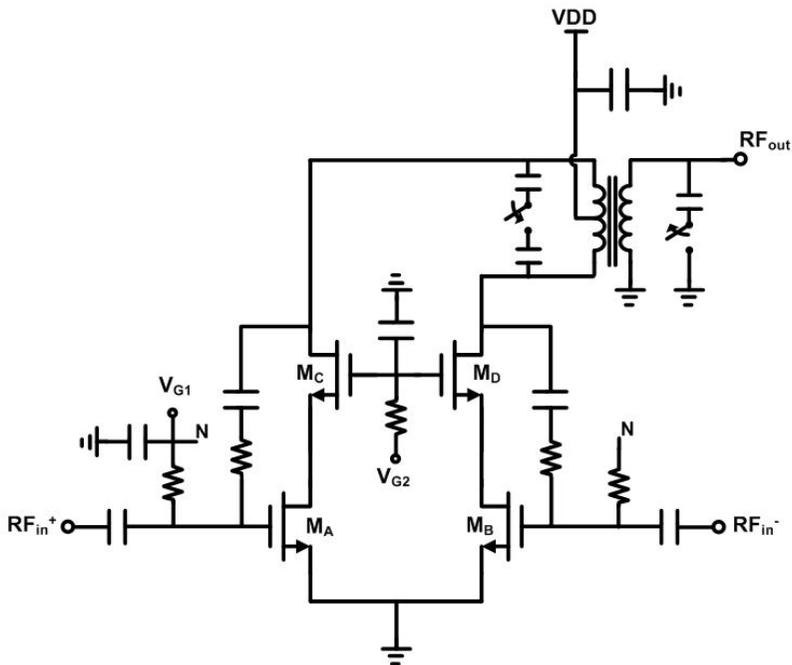


그림 3.2 가변 정합 회로를 이용한 차동 전력증폭기의 구조

Figure 3.2 Structure of push-pull power amplifier using variable matching circuit.

바이어스 전압 단자(V_{G2} , V_{G1})에 RF 신호가 흘러가는 것을 방지하기 위하여 10 k Ω 이상의 저항을 이용하여 RF_choke 역할을 하였다. 일반적으로 RF_choke에는 전력소모가 작은 인덕터가 사용된다. 그러나 바이어스 단에는 소스의 DC 차단 커패시터와 MOS의 DC 차단 특성에 의해서 DC 전류가 0에 가깝다. 그래서 저항을 사용하여도 전력 소모가 발생하지 않는다. CMOS 공정에서 저항은 인덕터에 비하여 그 크기가 1/30 정도 되기 때문에 면적 측면에서 유리하다.

각 공급 전압(VDD, V_{G2} , V_{G1})에 연결되어 있는 커패시터들은 바이패스 커패시터들이다. 바이패스 커패시터들의 역할은 공급 전압원에서 들어오는 잡음을 접지로 바이패스 시키고, 입력 전력이나 출력 전력들이 전압 공급원으로 누설되는 것을 차단하여 장비를 보호할 수 있다. 트랜지스터 M_C 와 M_D 의 게이트에 연결된 커패시터는 공통 게이트 단의 게이트를 RF 신호에 대해서 접지와 단락되게 만들어 주는 역할을 한다. 공통 게이트 단의 드레인과 공통 소스 단의 게이트에 연결된 저항은 전력증폭기의 발진을 차단하여 회로의 안전성을 높이기 위한 것이며, 저항만 사용할 경우에는 DC 경로가 생성되기 때문에 커패시터들을 이용하여 DC 경로를 차단하였다. 이 회로의 원리는 발진의 원인이 되는 피드백 신호를 저항에서 소모시키는 것이다.

차동 구조의 양 입력에 직렬로 연결되어 있는 커패시터들은 DC_block 커패시터다. DC_block 커패시터들은 전력 증폭기 앞 단의 회로를 보호하거나 외부로부터 인가되는 바이어스 전압을 차단하기 위하여 사용된다.

제안한 가변 정합 회로를 이용하여 차동 구조로 출력되는 전력을 결합함과 동시에 임피던스 정합을 수행할 수 있다. 또한 DAT의 1차 측 인덕터의 중심에 3.3 V의 공급전압을 인가하여 트랜지스터를 동작시켰다. DAT를 이용하면 DAT안의 인덕턴스가 RF_choke 역할을 하여서 VDD로 흘러가는 신호를 억제할 수 있다. RF_choke를 on-chip 인덕터로 구현을 하기 위해서는 많은 면적이 필요하므로 DAT를 이용하는 것이 효과적이다.

3-3. 시뮬레이션 결과

- 시뮬레이션 Tool : ADS 2011
- 공정 : TSMC 65 nm
- 동작 주파수 : 2.4 GHz
- 공급 전압 : 3.3 V
- 바이어스 전류 : 99.2 mA

1) 안정성

고주파에서의 발진은 트랜지스터의 기생 커패시턴스에 의한 궤환(feedback)에 기인한다. 기생 커패시턴스는 주파수에 따라 특성이 다르고 트랜지스터의 소스, 게이트, 그리고 드레인 등 각 단의 전압 차이에 의해 다르게 나타난다. 특히 전력증폭기에서는 큰 전력을 다루기 때문에 전력 특성에 따른 안정도가 중요하다. 그림 3.3에는 0.1 GHz부터 5 GHz까지의 주파수에 따른 안정도 특성이 나타나 있다. RF 증폭기의 안정성은 식 (3-1)과 (3-2)로 판별할 수 있으며, 기본적으로 S-파라미터 특성에 의존된다. 동작 주파수에서 " $K > 1$ " 과 " $|\Delta| < 1$ " 조건을 만족할 때 무조건적으로 안정(unconditionally stable)하다고 판단한다. 시뮬레이션 결과 안정 계수(stable factor)가 5 GHz 까지 무조건적 안정성 조건을 만족시킴을 확인하였다. 그림 3.4는 입력 전력에 따른 안정성 특성을 나타낸 것이다. 입력전력의 범위는 -15 dBm에서 10 dBm까지이며 주파수에 따른 특성과 마찬가지로 안정 계수가 무조건적 안정성을 만족시킴을 확인할 수 있다.

$$mag(\Delta) = \Delta = S_{11}S_{22} - S_{12}S_{21} \quad (3-1)$$

$$StabFact1 = K = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |\Delta|}{2|S_{12}S_{21}|} \quad (3-2)$$

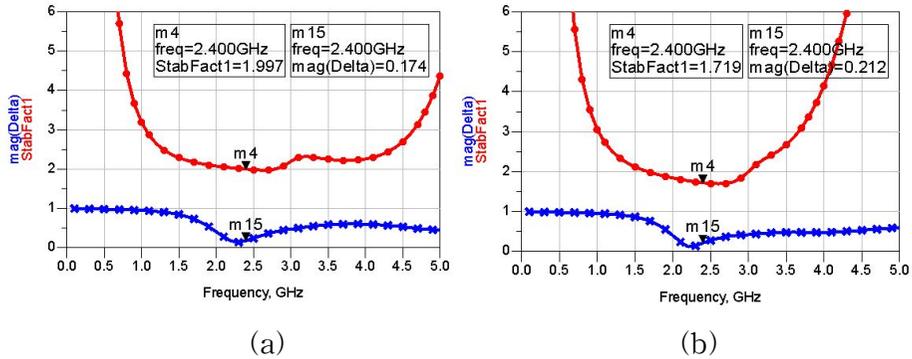


그림 3.3 가변정합 회로를 이용한 차동 전력증폭기의 주파수에 따른 안정성 특성: (a) $V_{sw1} = \text{off}, V_{sw2} = \text{on}$, (b) $V_{sw1} = \text{on}, V_{sw2} = \text{off}$

Figure 3.3 Characteristic of stability according to frequency of push-pull power amplifier using variable matching circuit: (a) $V_{sw1} = \text{off}, V_{sw2} = \text{on}$ and (b) $V_{sw1} = \text{on}, V_{sw2} = \text{off}$.

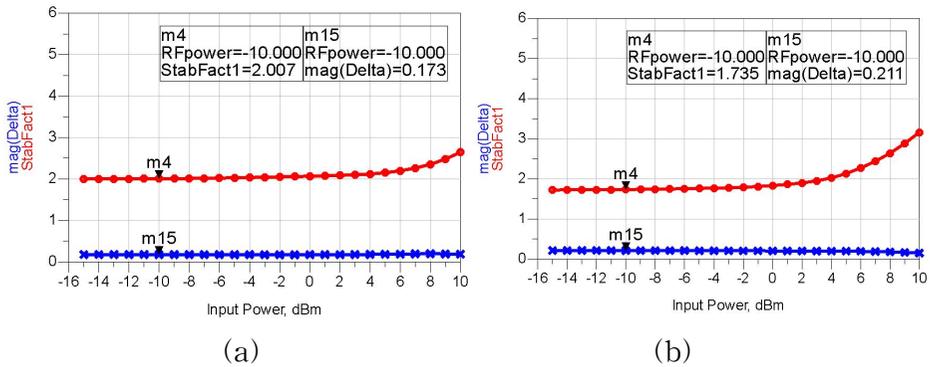
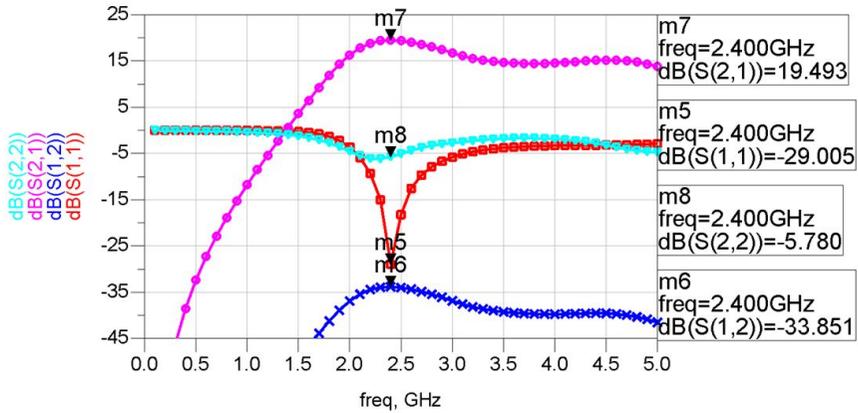


그림 3.4 가변정합 회로를 이용한 차동 전력증폭기의 입력전력에 따른 안정성 특성: (a) $V_{sw1} = \text{off}, V_{sw2} = \text{on}$, (b) $V_{sw1} = \text{on}, V_{sw2} = \text{off}$

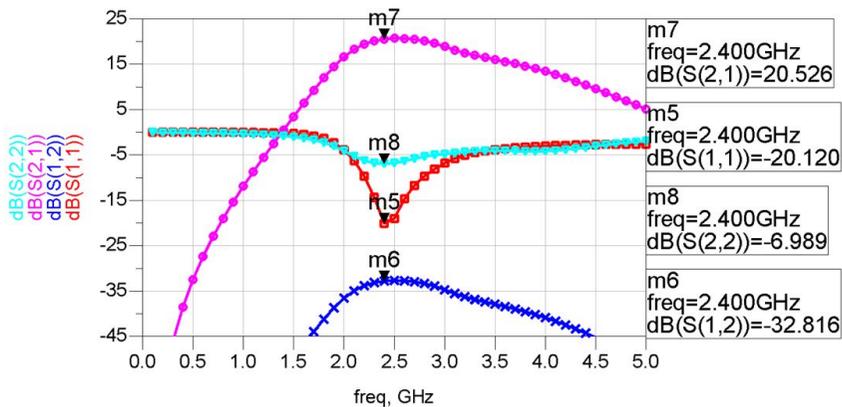
Figure 3.4 Characteristic of stability according to input power of push-pull power amplifier using variable matching circuit: (a) $V_{sw1} = \text{off}, V_{sw2} = \text{on}$ and (b) $V_{sw1} = \text{on}, V_{sw2} = \text{off}$.

2) S-파라미터 특성

그림 3.5의 (a)는 설계된 증폭기의 최대 전력 전달을 위한 임피던스에 맞춘 스위치 상태에서의 S-파라미터 특성을 나타낸다. 여기서 S(2,1)은 설계된 증폭기의 이득, S(1,1)은 입력 반사계수, S(2,2)는 출력 반사계수, 그리고 S(1,2)는 격리도를 나타낸다.



(a)



(b)

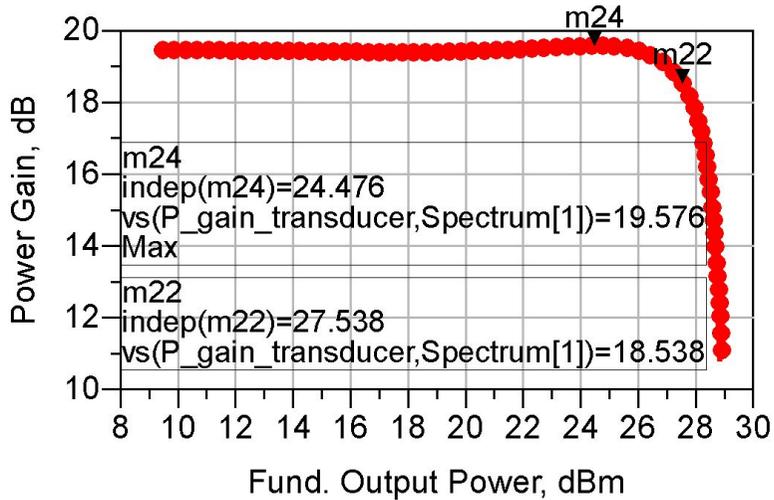
그림 3.5 가변 정합 회로를 이용한 차동 전력증폭기의 S-파라미터 특성:
 (a) $V_{sw1} = \text{off}$, $V_{sw2} = \text{on}$, (b) $V_{sw1} = \text{on}$, $V_{sw2} = \text{off}$

Figure 3.5 Characteristic of S-parameters of push-pull power amplifier using variable matching circuit: (a) $V_{sw1} = \text{off}$, $V_{sw2} = \text{on}$ and (b) $V_{sw1} = \text{on}$, $V_{sw2} = \text{off}$.

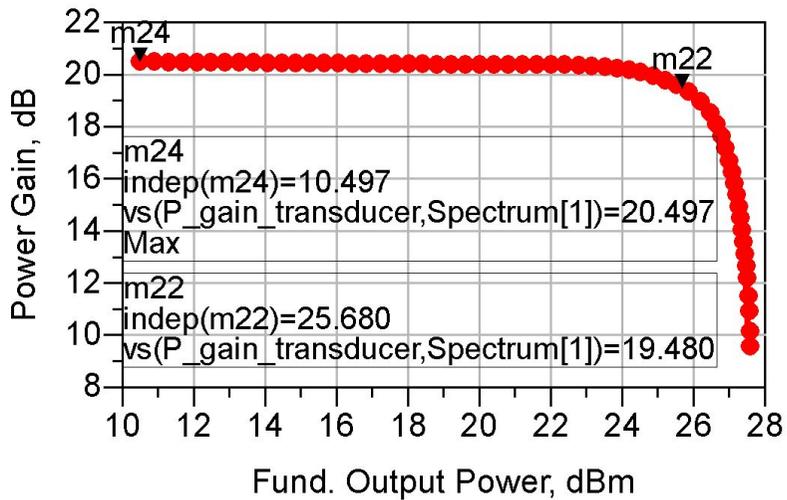
각 S-파라미터의 특성으로부터, 이득은 19.5 dB 이고 입력 반사계수는 복소(conjugate) 정합 방식을 이용한 결과, 중심주파수에서 -29 dB의 반사 계수 특성이 나와서 입력 단으로 반사되는 신호가 거의 없음을 확인할 수 있다. 출력 단은 트랜지스터의 최대 출력 전류와 전압에 따른 최대 출력 전력이 전달되는 임피던스를 기준으로 정합을 했기 때문에 출력 반사 계수는 다소 좋지 않다. 격리 특성은 -33.8 dB로 충분히 만족함을 볼 수 있다. 그림 3.5의 (b)는 스위치의 상태가 백-오프 영역에서의 출력 전력에서의 효율 향상을 위한 임피던스에 맞추어 동작될 때의 S-파라미터 특성을 나타낸다. 이득은 20.5 dB로 그림 3.5 (a)와 1 dB 차이가 있다. 입력 반사계수 특성은 -20.1 dB로 출력 정합이 달라짐에 따라 입력 단의 복소 정합 임피던스가 바뀌어서 기존보다 13.7 dB 하향되었지만 -20.1 dB 또한 충분히 좋은 특성이다. 격리 특성은 -32.8 dB로 기존과 거의 같음을 확인할 수 있다.

3) 최대 출력 전력

전력증폭기의 최대 출력은 공급 전압과 트랜지스터의 최대 전류에 의해서 결정된다. 또한 최대 출력에 최적화된 부하 임피던스를 50 Ω 부하에 정합시키는 출력 정합 회로가 필요하다. 그림 3.6 (a)는 설계된 전력증폭기의 최대 출력을 얻게 하는 임피던스에 맞추어 정합된 조건에서의 출력에 따른 이득 특성을 나타낸 것이다. 로드-풀 시뮬레이션을 통한 최대 출력 전력에 최적화된 임피던스에 맞추어 가변 정합 회로를 구현하였다. 최대 출력은 P_{1dB} 를 기준으로 하였을 때, 27.5 dBm이다. 그림 3.6 (b)는 백-오프 상태 출력 레벨에서 최적 효율을 갖는 임피던스로 정합을 한 상태에서의 출력 레벨에 따른 이득 특성을 나타낸 것이다. P_{1dB} 는 25.6 dBm으로 이전에 비해서 1.9 dB 낮아졌다. 이는 스위칭을 통해서 트랜지스터에서 바라본 부하 임피던스가 변하여 최대 출력 전력이 감소한 것이다. 그러나 이 상태에서 최대 출력을 내는 것이 아니므로 문제가 되지 않는다. 그러므로 출력 레벨이 27.5 dBm부터 25.6 dBm까지는 V_{sw1} 은 끄고 V_{sw2} 는 켜 상태를 유지하고, 25.6 dBm 이하의 출력 레벨에서는 V_{sw1} 은 켜고 V_{sw2} 는 끈 상태로 유지하면 설계된 전력 증폭기는 무리 없이 동작 할 수 있다.



(a)



(b)

그림 3.6 가변정합 회로를 이용한 차동 전력증폭기의 최대 출력 전력 특성: (a) $V_{sw1} = \text{off}$, $V_{sw2} = \text{on}$, (b) $V_{sw1} = \text{on}$, $V_{sw2} = \text{off}$

Figure 3.6 Characteristic of maximum delivered power of push-pull power amplifier using variable matching circuit: (a) $V_{sw1} = \text{off}$, $V_{sw2} = \text{on}$ and (b) $V_{sw1} = \text{on}$, $V_{sw2} = \text{off}$.

4) 전력 부가 효율(power added efficiency: PAE)

그림 3.7은 가변 정합 회로를 이용한 푸시-풀 전력증폭기의 스위치 상태에 따른 PAE를 나타낸다. $V_{sw1} = \text{off}$, $V_{sw2} = \text{on}$ 상태 일 때, $P_{1\text{dB}}$ 를 기준으로 한 최대 출력 27.5 dBm에서의 PAE는 44.6 % 이다. $V_{sw1} = \text{on}$, $V_{sw2} = \text{off}$ 상태 일 때, 최대 출력 전력은 낮아지지만 백-오프 영역에서의 효율이 증가하는 것을 확인할 수 있다. 가변 정합 회로의 스위치 상태에 따라 최대 출력 레벨로부터 2 dB 단위로 백 오프된 영역에서의 PAE를 표 3.1에 나타냈다. 시뮬레이션 결과로부터 스위치 상태를 변경하였을 때, 6 dB 백 오프 영역까지 4 % 이상의 PAE가 향상된 것을 알 수 있다.

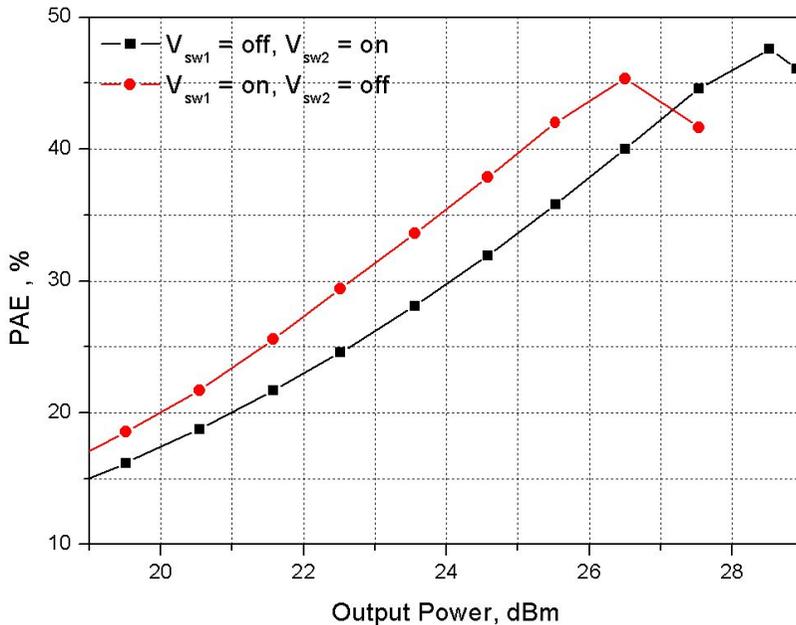


그림 3.7 가변 정합 회로를 이용한 차동 전력증폭기의 스위치 상태에 따른 전력 부가 효율

Figure 3.7 Power added efficiency by switching bias of push-pull power amplifier using variable matching circuit.

표 3.1 가변 정합 회로를 적용한 차동 전력증폭기의 스위치 상태에 따른 전력 부가 효율 비교

Table 3.1 Comparison of power added efficiency by switch bias of push-pull power amplifier using variable matching circuit.

P _{out} [dBm]	PAE [%]	
	V _{sw1} =off & V _{sw2} =on	V _{sw1} =on & V _{sw2} =off
27.5	44.6	-
25.5	35.8	42.0 (6.2 %↑)
23.5	28.1	33.6 (5.5 %↑)
21.5	21.6	25.6 (4.0 %↑)
19.5	16.4	18.8 (2.4 %↑)

5) 선형성

전력증폭기의 설계에 있어서 선형성은 중요한 항목 중 하나이다. 선형성이 낮은 전력 증폭기는 비선형성으로 인해 발생하는 고조파나 혼변조 왜곡(inter-modulation distortion: IMD) 성분들에 의하여 최대 출력 전력이 감소하게 된다. 또한 무선 통신 시스템에서 인접 채널에 간섭을 일으켜 통신성능에 아주 큰 영향을 미치게 된다.

전력증폭기의 선형성 측정을 위해서 2-tone 시뮬레이션을 시행하였다. 일반적으로 IMD 특성은 각 출력 레벨에서 25 dBc 이상을 만족해야 한다. 2-tone 시뮬레이션에 이용한 입력 신호는 중심주파수 2.4 GHz를 기준으로 5 MHz의 주파수 간격을 갖는 2.3875 GHz 와 2.4025 GHz 이다. 그림 3.8은 설계된 차동 전력증폭기의 출력 레벨에 따른 3차 IMD 그래프를 나타낸 것이다. 점선은 2-tone 신호보다 낮은 대역 주파수의 3차 IMD인 2.3925 GHz 신호와의 진폭 차이를 나타낸 것이고, 실선은 2-tone 신호보다 높은 대역 주파수의 3차 IMD인 2.4075 GHz 신호와의 진폭 차이를 나타낸 것이다. 3차 IMD 신호들은 모두 25 dBc 이상의 IMD 특성을 만족해야 한다.

그림 3.8 (a)는 최대 출력 부하 임피던스에 맞추어 정합된 상태에서의 출력에 따른 3차 IMD를 나타낸 것이다. 출력 레벨



(a)



(b)

그림 3.8 가변정합 회로를 이용한 차동 전력증폭기의 스위치 상태에 따른 3차 IMD의 특성: (a) $V_{sw1} = \text{off}$, $V_{sw2} = \text{on}$, (b) $V_{sw1} = \text{on}$, $V_{sw2} = \text{off}$

Figure 3.8 Characteristic of third-order IMD according to output power of push-pull power amplifier using variable matching circuit: (a) $V_{sw1} = \text{off}$, $V_{sw2} = \text{on}$ and (b) $V_{sw1} = \text{on}$, $V_{sw2} = \text{off}$.

24.5 dBm 이하에서 25 dBc 이상의 3차 IMD 조건을 만족하는 좋은 선형성 특성을 보이고 있다. 그림 3.8의 (b)는 백-오프 상태에서의 출력 조건에서 최적 효율을 갖는 임피던스 정합을 한 전력증폭기의 출력 레벨에 따른 3차 IMD 특성을 나타낸 것이다. 22.5 dBm 이하에서 25 dBc 이상의 3차 IMD 조건을 만족하는 좋은 선형성 특성을 보이고 있다.

4. 가변 정합 회로를 이용한 비대칭 바이어스 전력 증폭기

4-1. 가변 정합 회로를 이용한 비대칭 바이어스 전력증폭기

일반적으로 단일 (Single ended) 증폭기는 높은 전력 레벨에서는 높은 효율을 갖지만 낮은 전력 레벨에서는 낮은 효율을 가지고 있어서, 좋은 선형성과 효율을 동시에 만족할 수 없다. 또한 CMOS 전력증폭기의 설계에 있어서, 단일 증폭기는 낮은 항복 전압 때문에 무선통신 시스템에 필요한 충분한 전력을 출력시키지 못한다. 이를 해결하기 위해서 전력증폭기를 다중으로 연결시켜서 출력을 증폭시키는 방법을 많이 사용한다.

1) 기본 동작 원리

그림 4.1은 가변 정합 회로를 이용한 비대칭 바이어스 전력증폭기의 구조도이다. 비대칭 바이어스 전력증폭기는 AB급 바이어스를 시킨 Carrier 증폭기와 C급 바이어스를 시킨 Peaking 증폭기로 구성되어 있다. 두 증폭기의 내부 구조는 그림 4.2에 나타났다. 이는 2장에서 설명한 차동 증폭기와 같은 구조이다. Carrier 증폭기와 Peaking 증폭기는 출력 단의 전력 결합에서 위상차에 의한 전력 손실을 줄이기 위해서 구조는 동일하게 설계되었고 공통 소스 단의 바이어스와 공통 게이트 단의 바이어스가 다르게 인가되었다.

Carrier 증폭기와 Peaking 증폭기를 사용한 이유는 일반적인 도허티 (Doherty) 전력증폭기에서 이용하는 능동 부하 변조 효과를 얻기 위한 것이다. Peaking 증폭기는 낮은 입력 전력이 인가될 때는 동작하지 않는다. 이 때, Carrier 증폭기만 동작하게 되어 낮은 출력 레벨에서 최대 효율 특성을 갖는 임피던스로 보여야 한다.

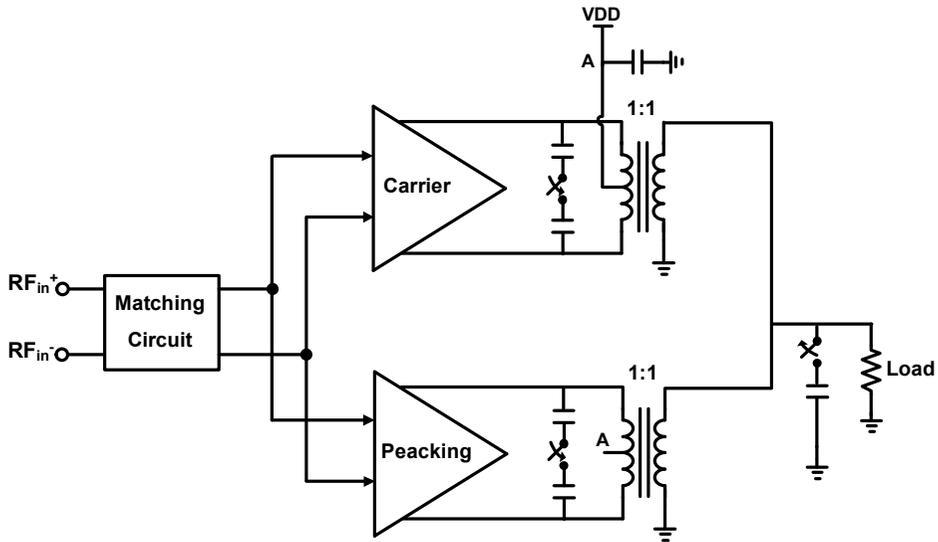


그림 4.1 가변 정합 회로를 이용한 비대칭 바이어스 전력증폭기의 블록 다이어그램

Figure 4.1 Block diagram of uneven biased power amplifier using variable matching circuit.

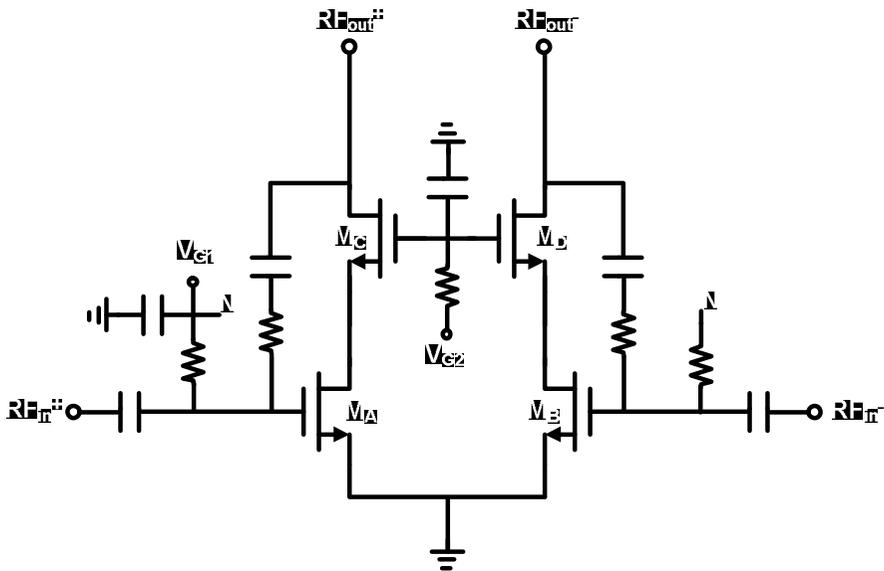


그림 4.2 Carrier와 Peaking 증폭기의 구조

Figure 4.2 Structure of Carrier and Peaking amplifier.

입력이 일정 레벨 이상 되면 Peaking 증폭기가 Carrier 증폭기와 함께 동작하게 되고, 두 증폭기에서 바라본 부하 임피던스가 출력 레벨에 따라 변조되어 각 증폭기의 출력이 부하에 동시에 공급된다. AB급 바이어스 Carrier 증폭기 2개를 사용하면 C급 바이어스를 시킨 Peaking 증폭기를 사용하는 것과 마찬가지로 최대 출력 전력은 높일 수 있지만, 비대칭 바이어스를 사용하는 경우보다 바이어스 전류가 높아서 효율이 전체적으로 낮아지게 된다. 특히 낮은 전력이 인가될 때 그 효율 저하가 더 크게 된다.

2) 전력 결합

Carrier 증폭기와 Peaking 증폭기의 전력 결합 방식에는 일반적으로 두 가지 방식이 있다. 하나는 전압 결합 방식이고 다른 하나는 전류 결합 방식이다. 전압 결합 방식은 다중 전력 증폭기를 결합 시에 레이아웃(layout)에 따른 기생 성분들의 성능 민감도를 줄일 수 있어서 CMOS 전력증폭기에 많이 사용된다. 그러나 결합 방식에 있어서 대칭 구조가 아니기 때문에 전력증폭기간의 위상차가 발생할 수 있다. 위상차는 전력증폭기의 최대 출력을 저하시킨다. 전류 결합 방식은 다중으로 연결된 전력증폭기를 대칭구조로 설계를 할 수 있어서 위상차를 최소화할 수 있다. 본 논문에서 설계된 비대칭 바이어스 전력증폭기는 위상차를 최소화하기 위해서 전류 결합 방식을 채택하였다.

3) 선형성 향상

비대칭 바이어스 전력증폭기는 단일 증폭기보다 선형성면에서 더 유리하다. 그림 4.3과 같이 구성된 전력증폭기에서 트랜지스터 M_1 과 M_2 의 바이어스가 각각 AB급과 C급일 때, 그림 4.4와 같은 트랜스 컨덕턴스(transconductance) 특성이 나온다. 트랜지스터 M_1 으로 구성된 전력증폭기에 입력 신호(V_{in})가 인가되면, 입력 신호의 크기에 따라서 트랜스 컨덕턴스가 변하게 된다.

비선형 특성을 갖는 일반적인 트랜지스터의 출력 전류는 식 (4-1) 과

같이 나타낼 수 있다. 이때 설명의 용이성을 위해 3차까지 표시하였다. 식 (4-1)에서 2차와 3차 트랜스 컨덕턴스에 의해서 비선형 신호인 고조파 신호들과 IMD 신호들이 발생되게 된다.

$$i_d = g_{m1}V_{gs} + g_{m2}V_{gs}^2 + g_{m3}V_{gs}^3 \quad (4-1)$$

그러므로 비선형 신호들의 억제를 위해서는 2차와 3차 트랜스 컨덕턴스의 값들, 특히 3차 트랜스 컨덕턴스가 “0”이 되어야 한다. 여기서 트랜스 컨덕턴스들은 아래 식 (4-2)와 같이 결정된다.

$$g_{m1} = \frac{\partial I_d}{\partial V_{gs}}, \quad g_{m2} = \frac{1}{2} \frac{\partial^2 I_d}{\partial V_{gs}^2}, \quad g_{m3} = \frac{1}{6} \frac{\partial^3 I_d}{\partial V_{gs}^3} \quad (4-2)$$

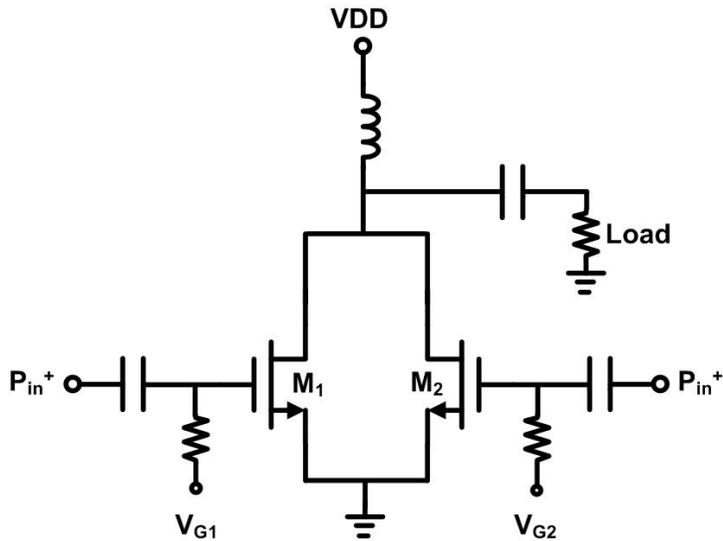


그림 4.3 AB급과 C급 바이어스를 갖는 전력증폭기의 구조

Figure 4.3 Structure of power amplifier with Class AB and Class C bias.

그림 4.3에서 AB급 바이어스된 트랜지스터 M_1 만 동작 시키게 되면 1차 트랜스 컨덕턴스가 입력 신호의 크기에 따라 변화하게 된다. 2차와 3차 트랜스 컨덕턴스는 1차 트랜스 컨덕턴스의 특성에 따라 값이 변하게 되므로 1차 트랜스 컨덕턴스의 변화량이 0이 되면 2차와 3차 트랜스 컨덕턴스도 0이 되어 선형성이 좋아지게 된다. AB급 바이어스된 트랜지스터 M_1 의 트랜스 컨덕턴스와 C급 바이어스된 트랜지스터 M_2 의 트랜스 컨덕턴스가 합쳐지게 되면 전체 트랜스 컨덕턴스는 일정 신호 범위에서 변화량이 거의 0에 가깝게 된다. 이는 2차와 3차 트랜스 컨덕턴스를 0으로 만들 수 있고 선형성 증가에 기여하게 된다.

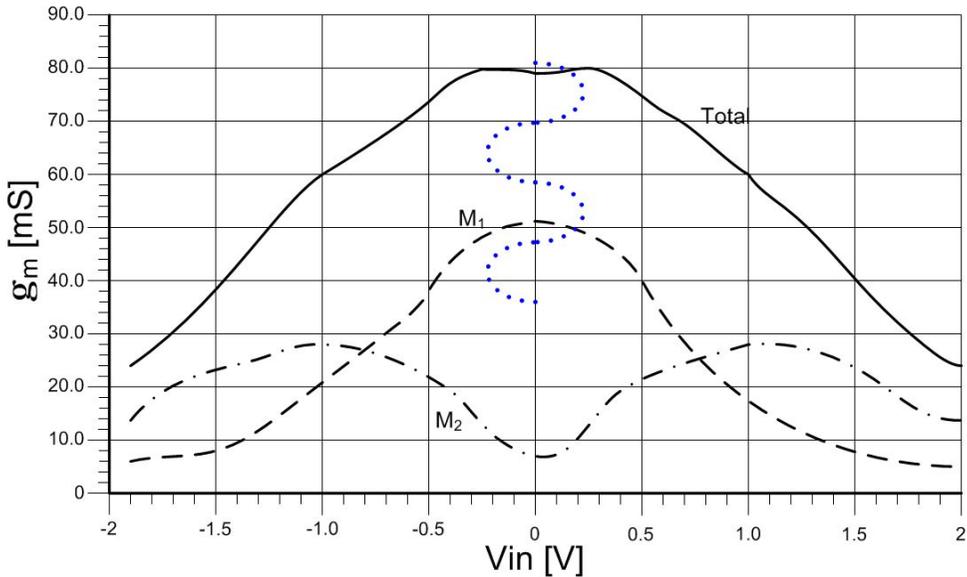


그림 4.4 트랜스 컨덕턴스(G_m)의 선형화 방법

Figure 4.4 Linearization method for transconductance.

4) 가변 정합 회로를 이용한 효율 향상

능동 부하 변조를 이용하여 백-오프 영역에서 효율을 향상시키는 데는 한계가 있다. 그래서 본 논문에서는 제안한 가변 정합 회로를 이용한 DLM을 통하여 백-오프 영역에서 효율을 향상시켰다. Carrier 증폭기와 Peaking 증폭기간의 위상차가 발생하지 않기 위하여 각 단의 가변 정합 회로에 이용된 DAT의 1차 인덕터에 스위칭 MIM 커패시터를 연결하였고, 전류가 결합되는 부하 앞 단에 스위칭 MIM 커패시터를 연결하였다.

4-2. 시뮬레이션 결과

- 시뮬레이션 Tool : ADS 2011
- 동작 주파수 : 2.4 GHz
- 바이어스 전류 : 96.9 mA
- 공정 : TSMC 65 nm
- 공급 전압 : 3.3 V

1) 안정성

그림 4.5는 비대칭 바이어스 전력증폭기의 주파수에 따른 안정성 특성을 나타낸 것이다. 회로 안정성은 이미 2장에서 식 2-1(1)과 2-1(2)로 판별할 수 있음을 보였다. 시뮬레이션 결과를 보면 모든 스위칭 조건에서 안정 계수가 5 GHz 까지 무조건적 안정함을 확인할 수 있다. 그림 4.6은 비대칭 바이어스 전력 증폭기의 입력 전력에 따른 안정성 특성을 나타낸 것이다. 입력전력의 범위는 -15 dBm에서 20 dBm까지이며 설계된 증폭기의 이득이 15.5 dB 라는 점을 고려하면 출력 전력 35.5 dBm 까지 안정함을 알 수 있다. 그림 4.6 (a)를 보면 13 dBm의 입력 레벨부터 안정 계수가 더 증가하는 것을 확인할 수 있다.

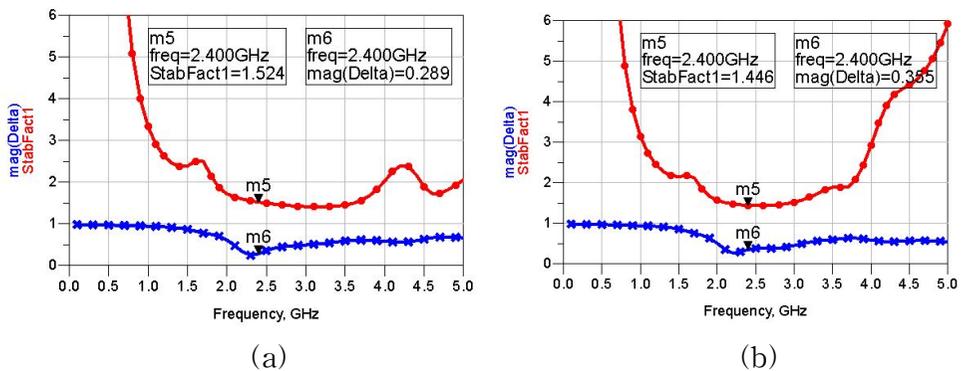


그림 4.5 가변정합 회로를 이용한 비대칭 바이어스 전력증폭기의 주파수에 따른 안정성 특성: (a) $V_{sw1} = \text{off}$, $V_{sw2} = \text{on}$, (b) $V_{sw1} = \text{on}$, $V_{sw2} = \text{off}$

Figure 4.5 Characteristic of stability according to frequency of unevenly biased power amplifier using variable matching circuit: (a) $V_{sw1} = \text{off}$, $V_{sw2} = \text{on}$ and (b) $V_{sw1} = \text{on}$, $V_{sw2} = \text{off}$.

이 현상은 전력증폭기의 최대 출력에 한계가 있어서 일정 출력 이상에서는 이득이 감소됨에 따라 발진 가능성이 줄어서 안정 계수가 상승하기 때문이다. 이러한 이유로 P_{1dB} 가 감소된 그림 4.6 (b)를 보면 그림 4.6 (a)보다 안정 계수가 2 dB 정도 일찍 상승하는 것을 확인할 수 있다.

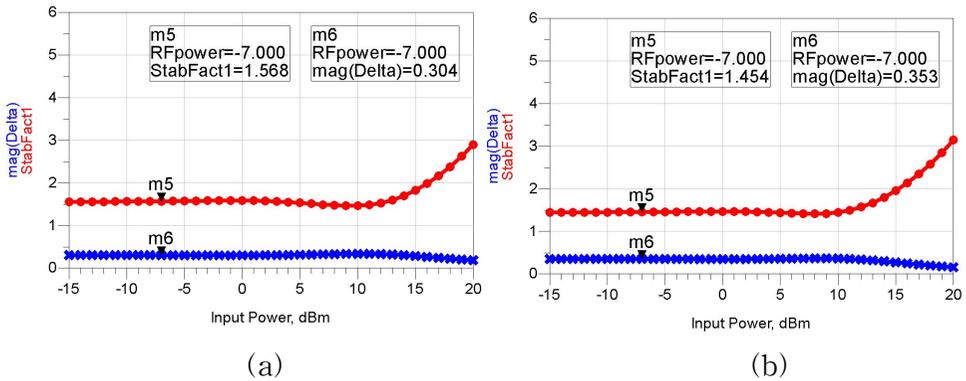


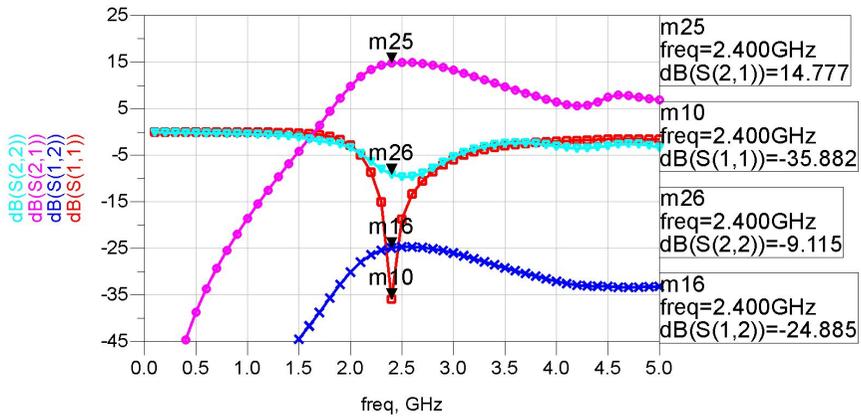
그림 4.6 가변정합 회로를 이용한 비대칭 바이어스 전력증폭기의 입력전력에 따른 안정성 특성: (a) $V_{sw1} = \text{off}$, $V_{sw2} = \text{on}$, (b) $V_{sw1} = \text{on}$, $V_{sw2} = \text{off}$

Figure 4.6 Characteristic of stability according to input power of uneven biased power amplifier using variable matching circuit: (a) $V_{sw1} = \text{off}$, $V_{sw2} = \text{on}$ and (b) $V_{sw1} = \text{on}$, $V_{sw2} = \text{off}$.

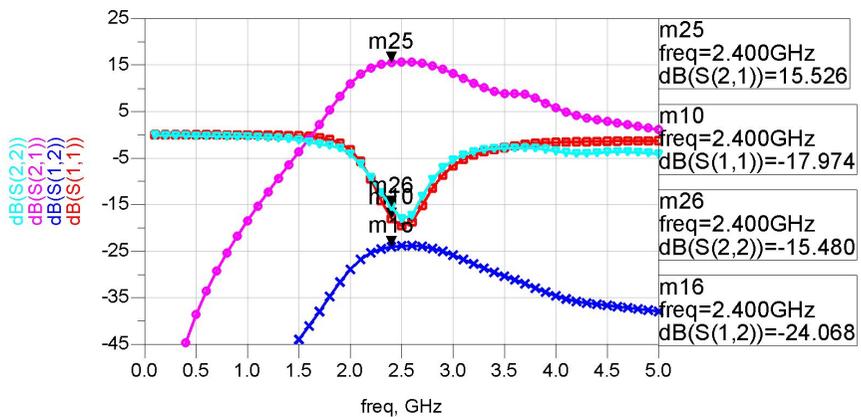
2) S-파라미터 특성

그림 4.7 (a)는 최대 출력을 얻을 수 있는 임피던스에 정합된 상태에서 전력증폭기의 S-파라미터 특성을 나타낸 것이다. 2.4 GHz 중심주파수에서 이득은 14.7 dB이고 입력 반사계수는 -35.8 dB 이어서 입력 단으로 반사되는 신호가 거의 없음을 확인할 수 있다. 출력 단은 복소 정합이 아닌 최대 출력을 얻는 임피던스를 정합하여 -9.1 dB 특성이 나왔으며 격리 특성은 -24.8 dB이다. 그림 4.7 (b)는 스위치의 상태가 바뀌어 백-오프 영역에서의 효율 향상을 위한 임피던스로 정합되었을 때의 S-파라미터 특성을 나타낸다. 이득은 15.5 dB이며 입력 반사계수 특성은 -17.9 dB로 출력 정합이 달라짐에 따라 입력 단의 복소 정합 임피던스가 바뀌어서 기존보다 열화 되었다. 격리 특성은 -24.0 dB로 기존과 거의 같음을 확인할

수 있다.



(a)



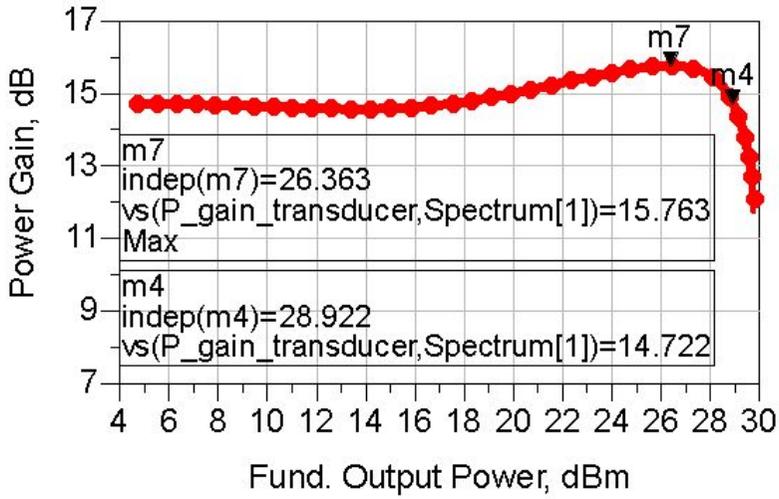
(b)

그림 4.7 가변정합 회로를 이용한 비대칭 바이어스 전력증폭기의 S-파라미터 특성: (a) $V_{sw1} = \text{off}$, $V_{sw2} = \text{on}$, (b) $V_{sw1} = \text{on}$, $V_{sw2} = \text{off}$

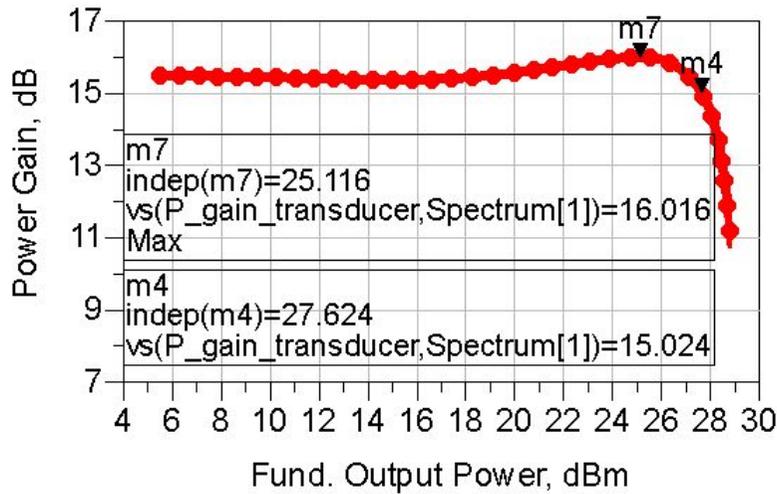
Figure 4.7 Characteristic of s-parameters according of uneven biased power amplifier using variable matching circuit: (a) $V_{sw1} = \text{off}$, $V_{sw2} = \text{on}$ and (b) $V_{sw1} = \text{on}$, $V_{sw2} = \text{off}$.

3) 최대 출력 전력

그림 4.8 (a)는 가변 정합 회로를 이용한 비대칭 바이어스 전력증폭기의 최대 출력용 임피던스에 정합된 상태에서 출력 레벨에 따른 이득을 나타낸 것이다. 출력의 P_{1dB} 은 28.9 dBm이다. 이득 편평도(gain flatness)는 0.8 dB 차이가 있다. 이러한 현상이 나타나는 이유는 다음과 같다. 이상적인 비대칭 바이어스 전력증폭기는 낮은 전력에서 Peaking 증폭기가 동작하지 않을 때, Carrier 증폭기에서 Peaking 증폭기를 바라본 임피던스가 무한대에 가까워서 Peaking 증폭기가 개방으로 보여야 된다. 그래야 Peaking 증폭기로의 누설 전력이 없게 된다. 그러나 실제 설계를 할 때, Carrier 증폭기에서 Peaking 증폭기를 바라본 임피던스는 무한 값을 갖기 어렵고 약 180 Ω 의 저항 값을 갖는 임피던스 상태로 제작하였다. 이로 인하여 낮은 입력 전력이 인가될 때 약간의 누설 전력 때문에 이득이 낮아지게 된다. 그림 4.8 (b)는 백-오프 출력 레벨에서 최적 효율을 갖게 하는 임피던스 정합 상태에서의 출력 레벨에 따른 이득을 나타낸 것이다. P_{1dB} 는 27.6 dBm으로 이전에 비해서 1.3 dB 낮아졌다. 스위칭 변화에 의해서 출력 임피던스가 더 커져서 이득이 상승하였다. 이는 누설 전력이 작아져서 부하로 더 큰 전력이 전달되었음을 나타낸다. 또한 낮은 출력 전력과 높은 출력 레벨에서의 이득 차이도 0.4 dB로 작아졌다.



(a)



(b)

그림 4.8 가변정합 회로를 이용한 비대칭 바이어스 전력증폭기의 최대 출력 전력 특성: (a) $V_{sw1} = \text{off}$, $V_{sw2} = \text{on}$, (b) $V_{sw1} = \text{on}$, $V_{sw2} = \text{off}$

Figure 4.8 Characteristic of maximum delivered power of uneven biased power amplifier using variable matching circuit: (a) $V_{sw1} = \text{off}$, $V_{sw2} = \text{on}$ and (b) $V_{sw1} = \text{on}$, $V_{sw2} = \text{off}$.

4) 전력 부가 효율(power added efficiency: PAE)

그림 4.9는 가변 정합 회로를 이용한 비대칭 바이어스 전력증폭기의 스위치 상태에 따른 PAE를 나타낸 것이다. $V_{sw1} = \text{off}$, $V_{sw2} = \text{on}$ 상태일 때, $P_{1\text{dB}}$ 를 기준으로 한 최대 출력 전력 28.9 dBm에서의 PAE는 44.7 %이다. $V_{sw1} = \text{on}$, $V_{sw2} = \text{off}$ 상태일 때, 최대 출력 전력은 낮아지지만 백-오프 영역에서의 효율은 증가하는 것을 확인할 수 있다. 가변 정합 회로의 스위치 상태에 따른 최대 출력 전력으로부터 2 dB 단위로 백 오프된 영역에서의 PAE 특성이 표 4.1에 나타나 있다. 스위치 상태를 변경하였을 때, 6 dB 백 오프 영역까지 4 % 이상의 PAE가 향상되었다.

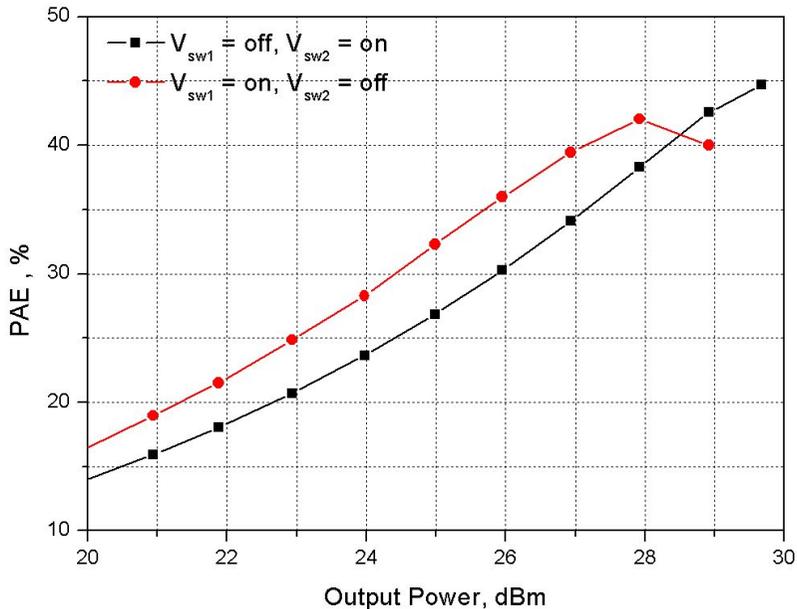


그림 4.9 가변 정합 회로를 적용한 비대칭 바이어스 전력증폭기의 스위치 상태에 따른 전력 부가 효율

Figure 4.9 Power added efficiency by switching bias of uneven biased power amplifier using variable matching circuit.

표 4.1 가변 정합 회로를 이용한 비대칭 바이어스 전력증폭기의 스위치 상태에 따른 전력 부가 효율의 비교

Table 4.1 Comparison of power added efficiency by switch biases of uneven biased power amplifier using variable matching circuit.

P _{out} [dBm]	PAE [%]	
	V _{sw1} =off & V _{sw2} =on	V _{sw1} =on & V _{sw2} =off
28.9	44.7	-
26.9	34.1	39.4 (5.3 %↑)
24.9	26.8	32.2 (5.4 %↑)
22.9	20.7	24.8 (4.1 %↑)
20.9	15.9	18.9 (3.0 %↑)

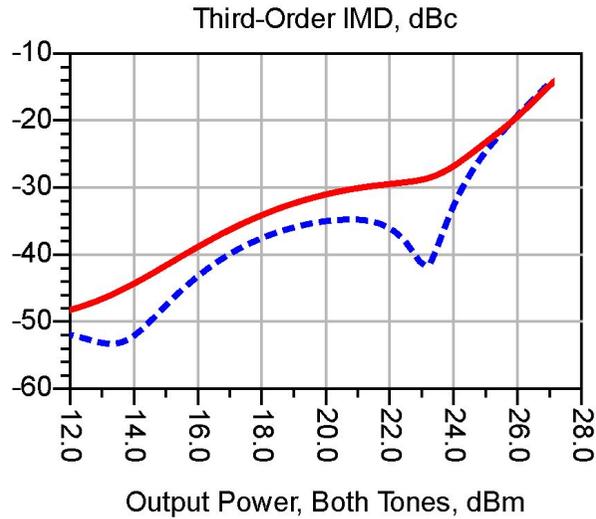
5) 선형성

가변 정합 회로를 사용한 비대칭 바이어스 전력증폭기의 2-tone 시뮬레이션 환경은 3장의 차동 전력증폭기의 2-tone 시뮬레이션 환경과 같다. 그림 4.10은 설계된 비대칭 바이어스 전력증폭기의 출력 레벨에 따른 3차 IMD를 나타낸 것이다. 점선은 2-tone 신호 진폭과 낮은 대역 주파수의 3차 IMD인 2.3925 GHz 신호 진폭의 차이를 나타낸 것이고, 실선은 2-tone 신호 진폭과 높은 대역 주파수의 3차 IMD인 2.4075 GHz 신호 진폭의 차이를 나타낸 것이다.

그림 4.10 (a)는 최대 출력 레벨용 임피던스 정합된 상태에서의 출력 레벨에 따른 3차 IMD를 나타낸 것이다. 출력 26 dBm에서 25 dBc의 3차 IMD를 만족하였고, 그 이하 출력 전력에서도 좋은 선형성 특성이 유지되었다. 그림 4.10 (b)는 백-오프 상태에서의 출력에서 최적 효율을 갖게 하는 임피던스 정합 상태에서의 출력 레벨에 따른 3차 IMD를 나타낸 것이다. 출력 24.5 dBm에서 25 dBc의 3차 IMD를 만족하였고, 그 이하 출력 전력에서도 좋은 선형성 특성이 유지되었다.



(a)



(b)

그림 4.10 가변정합 회로를 이용한 비대칭 바이어스 전력증폭기의 스위치 상태에 따른 3차 IMD의 특성: (a) $V_{sw1} = \text{off}$, $V_{sw2} = \text{on}$, (b) $V_{sw1} = \text{on}$, $V_{sw2} = \text{off}$

Figure 4.10 Characteristic of third-order IMD according to output power of uneven biased power amplifier using variable matching circuit: (a) $V_{sw1} = \text{off}$, $V_{sw2} = \text{on}$ and (b) $V_{sw1} = \text{on}$, $V_{sw2} = \text{off}$.

5. 결 론

본 연구에서는 전력증폭기의 백-오프 영역에서의 효율 향상을 위한 동적 부하 변조에 필요한 가변 정합 회로 제안하였다. 가변 정합 회로는 DAT와 스위칭 회로를 이용하여 구현된다. DAT는 CMOS 공정의 Interconnect model의 정보를 기초로 전자기 시뮬레이션을 통하여 설계하였다. 그리고 스위칭 회로의 설계에 있어서는 스위치의 상태에 따른 기생 저항과 기생 커패시터를 고려해야 한다. 제안된 가변 정합 회로를 이용하면 다중 전력증폭기의 전력 결합과 함께 임피던스 정합을 할 수 있다. 또한 스위칭을 이용하여 전력증폭기의 부하 임피던스를 변경할 수 있다.

제안한 가변 정합 회로는 LC공진기를 이용하는 방법보다 효율이나 면적 측면에서 유리하여 CMOS 공정에서 집적도를 높일 수 있다. 제안한 가변 정합 회로를 차동 전력증폭기와 비대칭 바이어스 전력증폭기에 적용하였으며, 스위칭 상태에 따른 백-오프 영역에서의 효율 개선 특성을 확인할 수 있었다. 제안된 가변 정합 회로는 임피던스 변환이 필요한 무선 전단부(RF front-end) 회로들에 적용하면 임피던스 정합 및 효율 개선을 얻을 수 있어 전기적인 성능 개선을 쉽게 얻을 수 있다.

참고문헌

- [1] F. Raab, "High-efficiency linear amplification by dynamic load modulation," *IEEE Int. Microw. Symp. Dig.*, pp. 1717-1720, Jan. 2003.
- [2] F. Lepine, R. Jos, and H. Zirath, "A load modulated high efficiency power amplifier," *Proc. of 36th Eur. Microw. Conf.*, pp. 411-414, Sep. 2006.
- [3] H. M. Nemati and C. Fager, "Design of varactor-based tunable matching networks for dynamic load modulation of high power amplifiers," *IEEE Trans. on Microw. Theory and Techn.*, vol. 57, no. 5, pp. 1110-1118, May 2009.
- [4] I. Aoki and S. D. Kee, "Distributed active transformer-A new power combining and impedance transformation technique," *IEEE Trans. on Microw. Theory and Techn.*, vol. 50, no. 1, pp. 316-331, Jan. 2002.
- [5] Haitao Gan, *On-chip transformer modeling, characterization, and applications in power and low noise amplifiers*, Graduation Thesis for Stanford Univ., Mar. 2006.
- [6] S. C. Cripps, *RF power amplifiers for wireless communications*, 2nd ed. Artech House, Inc. pp. 371-379, 2006.
- [7] A. Behzad, "A 4.92 - 5.845 GHz direct-conversion CMOS transceiver for IEEE 802.11a wireless LAN," *RFIC Symposium*, pp.335-338, 2004.
- [8] Namsik Ryu, Jae-Ho Jung, and Yongchae Jeong, "High efficiency CMOS power amplifier using uneven bias for wireless LAN application," *ETRI Journal*, vol. 34, no. 6, pp. 1783-1789, Dec. 2012.
- [9] B. Koo and T. Joo, "A fully integrated dual-mode CMOS power amplifier for WCDMA applications," *IEEE Inter. Solid-State Circuits Conf.*, pp.82-84, 2012.
- [10] A. S. Tehrani and H. M. Nemati, "Dynamic load modulation of high power amplifiers with varactor-based matching networks," *IEEE Intern. Microw. Symposium*, pp.1537-1540, 2009.
- [11] H. M. Nemati and C. Fager, "An efficiency optimized controlling scheme for dynamic load modulation of power amplifier," *Procc. of the 37th Europ. Microw. Conf.*, pp.583-586, Oct. 2008.
- [12] V. Aparin and L. E. Larson, "Modified derivative superposition

- method for linearizing FET low-noise-amplifiers," *IEEE Trans. Microw. Theory Tech.*, vol. 53, no. 2, pp. 571-581, Feb. 2005.
- [13] J. Kim and H. Kim, "A discrete resizing and concurrent power combining structure for linear CMOS power amplifier," *IEEE Radio Freq. Inte. Circuits Symp.*, pp. 387-390, 2010.
- [14] P. Haldi and D. Chowdhury, "A 5.8 GHz 1 V linear power amplifier using a novel on-chip transformer power combiner in standard 90nm CMOS," *IEEE Jour. of Solid-State Circuits*, vol. 43, no. 5, pp. 1054-1063, May 2008.
- [15] P. Haldi, G. Liu, and A.M. Niknejad, "CMOS compatible transformer power combiner," *Electronics Letters*, vol. 42, no. 19, Sep. 2006.
- [16] J. Nam and J. Shin, "A handset power amplifier with high efficiency at a low level using load-modulation technique," *IEEE Trans. on Microw. Theory and Tech.*, vol. 53, no. 8, pp. 2639-2644, Aug. 2005.
- [17] H. Jeong and M. Yeon, "Design of the Doherty amplifier with push-pull structure using balun transformer," *IEEE MTT-S Digest*, pp. 851-854, 2004.
- [18] Y. L. Yuan and C. H. Shu, "A 2.4 GHz fully integrated cascode-cascode CMOS Doherty power amplifier," *IEEE Microw. and Wireless Compo. Letters*, vol. 18, no. 3, pp. 197-199, 2008.
- [19] N. Wongkomet and L. Tee, "A +31.5 dBm CMOS RF Doherty power amplifier for wireless communications," *IEEE Jour. of Solid-State Circuits*, vol. 41, no. 12, pp. 2852-2859, May 2008.
- [20] D. Kang, J. Choi and B. Kim, "Design of Doherty power amplifiers for handset applications," *IEEE Trans. on Microw. Theory and Tech.*, vol. 58, no. 8, pp. 2134-2142, Aug. 2010.