

석사 학위논문

하모닉 차단 대역통과 정합회로를
사용한 F^{-1} 급 전력 증폭기

2014년 8월 22일

전북대학교 대학원

전자정보공학부

정준형

하모닉 차단 대역통과 정합회로를 사용한 F^{-1} 급 전력 증폭기

Class F^{-1} Power Amplifier with Harmonic Suppressed
Band-pass Matching Network.

2014년 8월 22일

전 북 대 학 교 대 학 원

전 자 정 보 공 학 부

정 준 형

하모닉 차단 대역통과 정합회로를 사용한 F^{-1} 급 전력 증폭기

지도교수 정 용 채

이 논문을 공학 석사 학위논문으로 제출함.

2014년 5월 7일

전 북 대 학 교 대 학 원

전 자 정 보 공 학 부

정 준 형

정준형의 석사학위논문을 인준함.

위원장 전북대대학교 교수 손 해 원 (인)

위원 전북대대학교 교수 임 동 구 (인)

위원 전북대대학교 교수 정 용 채 (인)

2014년 6월 16일

전 북 대 학 교 대 학 원

목 차

ABSTRACT

1. 서론	1
2. 고효율 전력증폭기	5
2.1 하모닉 억제 특성을 이용한 고효율 전력증폭기	6
2.2 F/F^{-1} 급 고효율 전력증폭기	10
3. 하모닉 차단 대역통과 정합 회로	14
4. 고효율 대역통과 전력증폭기 시뮬레이션	27
4.1 바이어스 및 입출력 정합 임피던스	28
4.2 이력, 출력단 정합회로 설계	31
4.3 전력증폭기 시뮬레이션	35
5. 전력증폭기 제작 및 측정결과.	
5.1 기준 전력증폭기 설계	39
5.2 하모닉 차단 대역통과 정합회로를 사용한 전력증폭기	44
5.3 설계된 두 전력증폭기 특성 비교	50
6. 결론	54
7. REFERENCES	55

그림 목 록

그림 1.1. RF 송신부 블록 다이어그램	2
그림 2.1. 비선형 동작 증폭기의 입력과 출력신호	6
그림 2.2. DGS를 이용한 E급 전력증폭기 출력정합 회로	8
그림 2.3. 시뮬레이션 및 측정된 정합회로의 전달특성(S_{21})	8
그림 2.4. 전력증폭기의 출력전력, 이득, 효율 측정결과	9
그림 2.5. 이상적인 증폭기의 드레인단 출력 전류 및 전압 파형	10
그림 2.6. F급 전력증폭기용 정합회로 블록도	12
그림 2.7. 2.14 GHz에서 설계된 F급 전력 증폭기용 정합회로의 입력 임피던스 시뮬레이션 및 측정 결과	13
3.1 제안하는 정합회로 구조	14
그림 3.2. 결합선로 구조	15
그림 3.3. 짝수차수 하모닉 차단 정합회로 시뮬레이션 회로	22
그림 3.4. 짝수차수 하모닉 차단 정합회로 Matlab과 ADS 시뮬레이션 결과	22
그림 3.5. 제안하는 하모닉 차단 정합회로 시뮬레이션 구성.....	24
그림 3.6. 제안하는 하모닉 차단 정합회로 시뮬레이션 결과	24
그림 3.7. 제안하는 하모닉 차단 정합회로 입력 임피던스	25
그림 4.1. NPTB00025B의 바이어스 I-V 특성 시뮬레이션.....	28
그림 4.2. 3-dB 이득 감소 지점기준 로드풀 결과(1.96 GHz)	29
그림 4.3. 3-dB 이득 감소 지점기준 소스풀 결과(1.96 GHz)	30
그림 4.4. ADS에서 설계된 입력단 정합회로	31
그림 4.5. 입력 정합회로 시뮬레이션 결과	32
그림 4.6. ADS에서 설계된 출력단 정합회로	33
그림 4.7. 출력 정합회로 시뮬레이션 결과	34
그림 4.8. 설계된 전력증폭기의 S파라미터 특성.....	36

그림 4.9. 1.96 GHz에서 전력 증폭기 특성	37
그림 5.1. 일반적 정합 회로를 이용한 기준 전력증폭기	39
그림 5.2. 기준 전력증폭기의 정합회로 특성	40
그림 5.3. 출력전력 측정을 위한 회로 구성도	41
그림 5.4. 기준 전력증폭기의 S_{11} 및 S_{21} 특성	42
그림 5.5. 1.96 GHz 에서 기준 전력증폭기의 이득 및 드레인 효율.....	42
그림 5.6. 하모닉 차단 대역통과 정합회로를 사용한 전력증폭기 회로	44
그림 5.7. 입력단 하모닉 차단 대역통과 정합회로의 측정결과	45
그림 5.8. 출력단 하모닉 차단 대역통과 정합회로 측정결과	46
그림 5.9. 제안하는 전력증폭기의 S_{11} 및 S_{21} 특성	47
그림 5.10. 1.96 GHz 에서 제안하는 전력증폭기의 이득 및 드레인 효율	48
그림 5.11. 제안하는 전력증폭기의 3-dB이득 감소 지점에서 측정된 대역 출력 전력 및 드레인 효율	49
그림 5.12. 설계된 두 전력증폭기의 전달특성(S_{21})비교	51
그림 5.13 출력전력 back off 지점에서 드레인 효율 비교	52

ABSTRACT.

Class F^{-1} Power Amplifier with Harmonic Suppressed Band-pass Matching Network.

Junhyung Jeong

Department of Electronics and Information Engineering
Chonbuk National University

General power amplifier on RF communication system didn't had band pass characteristic. So, band pass filter is necessary component to suppress out of band. And, these band pass filter must be satisfy the suppression level according to communication system standard. But out of band suppression level and in band insertion loss is trade-off relation. So, to obtain the high out of band suppression caused increment of in band insertion loss. And the in band insertion loss caused output power loss and efficiency decrement on RF communication system.

In this research, proposed the Class F-1 power amplifier with harmonic suppressed band pass matching network. this power amplifier have band pass characteristic and high efficiency performance simultaneously by proposed matching network. Suggested power amplifier mathematically analyzed and designed at US PCS band (1.93 ~ 1.99 GHz). And then proposed power amplifier and conventional power amplifier characteristics was compared

Keywords : High efficiency Power amplifier, Band pass filter,
RF Communication transmitter, Matching network.

1. 서 론.

오늘날 급속도로 발전하는 무선통신 시스템에서는 한정된 주파수 자원을 효율적으로 사용해야 한다. 따라서 용도 및 사업자에 따른 주파수 분배와 활용이 필수적이다. 이에 따라 통신 시스템의 수신부에서는 전체 주파수 대역에 퍼져있는 신호들 중에서 필요한 주파수 성분만을 선택 하여 이를 원하는 정보로 변환 해야 하며, 송신부에서는 불필요한 잡음 주파수가 발신되지 않도록 송신 주파수만 걸러서 송신해야 한다. 따라서 대역통과 여과기(Band pass Filter : BPF)는 각 무선통신 시스템의 사용 주파수에 따라 통과 대역을 결정하고 이외의 주파수 성분을 억제해 주는 중요한 소자이다.

또한 국가적인 차원에서 통신시스템의 에너지 소모를 줄이고 기존 시스템의 그린화를 적극 권장하고 있다. 따라서 송신부에서 전력 소모가 가장 큰 소자인 전력증폭기(Power amplifier : PA)의 높은 효율을 필요로 한다. 전력증폭기의 효율을 최대화하기 위한 방법으로는 하모닉 억제 특성을 갖는 출력정합회로나, E/S/J 또는 F급과 같이 증폭기의 드레인(Drain)단의 출력 전류와 전압의 하모닉 성분을 조정하여 반과장의 정현파 또는 구형파가 서로 겹치지 않게 만들어 고효율 전력증폭기를 구동하는 방법이 있다.^{[1]-[6]}

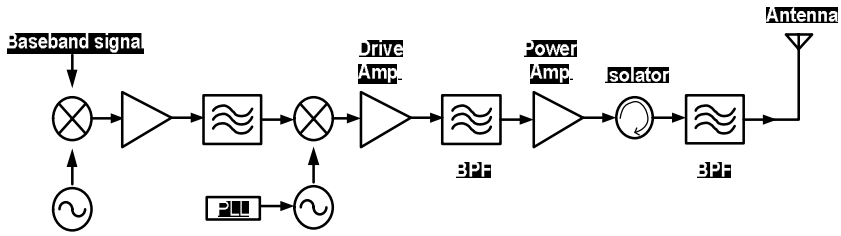


그림 1.1. RF 송신부 블록 다이어그램.

Fig. 1.1. Block diagram of RF transmitter.

송신부에서 할당된 대역 외의 신호를 일정 레벨 이상 억제하지 않고 송신할 경우 인접한 다른 통신대역에 기존의 신호 이외의 잡음을 발생 시키고, 이는 타 통신시스템에 간섭을 일으키게 된다. 따라서 대역통과 여파기의 경우 할당된 사용 대역 외의 억압을 위한 스킨트 특성이 매우 예리하게 나타나야 하는데, 높은 억압 특성을 얻기 위해서는 통과대역의 삽입손실이 증가하는 경향이 나타난다. 따라서 전력증폭기가 높은 효율 특성을 갖더라도 전체 시스템의 관점에서는 출력 전력이 대역통과 여파기에서 감소하므로 전체 효율이 떨어지게 된다. 또한 RF 송신부에서는 대역통과 여파기를 최종 출력부에 한번만 사용하는 것이 아니라 그림 1.1과 같이 기저대역 신호 증폭 구간 및 주파수 체배 블록과 구동 증폭기와 최종 전력증폭기 사이에 대역통과 여파기를 사용하므로 대역통과 여파기의 삽입 손실에 따른 전체 시스템의 효율은 더욱 감소할 것이다. 또

한 대역통과 여파기의 예리한 스킵 특성을 얻기 위해 주로 1단 이상의 구조를 사용하므로 사용되는 소자의 수가 증가하거나, PCB 면적 및 공정의 난이도 증가로 비용적인 측면도 증가하게 된다.

따라서 전력증폭기가 대역통과 특성과 높은 효율을 갖도록 설계 된다면, 제안하는 전력증폭기 이후의 대역통과 여파기는 기존과 비교해 낮은 억제특성을 갖더라도 전체 시스템의 대역 외 억제특성이 통신 규격을 만족할 것이며 삽입 손실도 낮아져 시스템 전체의 효율도 증가할 것이다. 또한 기존 대역통과 여파기와 비교해 낮은 단수로 설계 가능하므로 PCB 사용 면적 감소 및 사용 소자의 감소로 비용적인 측면도 감소할 것이다.

본 연구에서는 하모닉 차단 대역통과 정합회로를 사용한 전력증폭기 설계에 관한 방법을 제시한다. 제안하는 전력증폭기는 대역통과 특성이 나타나도록 입력/출력 정합회로에 결합선로와 중심주파수에서 $\lambda/2$ 길이의 개방 스텐브를 사용했다. 또한 고효율 전력증폭기를 설계하기 위해 하모닉 억제 특성이 나타나도록 2차와 3차 하모닉 주파수에 전송 영점을 설정 하여 각각 30 dB 이상의 억제 특성을 갖도록 출력 정합회로를 설계했다.

제안하는 대역통과 특성을 갖는 전력증폭기는 US PCS(Personal Communications Service) 하향 대역인 1.93 GHz ~ 1.99 GHz 에서 설계 되었다. 제안하는 회로의 유효성을 나타내기 위해 기존의 AB급 전력증폭기를 설계하여 통과 대역에서 이득 및 출력 전력과 효율, 대역 외 억제특성을 비교했다.

2. 고효율 전력증폭기.

송신단의 핵심 부분인 전력증폭기는 주로 사용 대역에서 출력 전력과 효율 그리고 선형성에 중심을 두고 설계가 이루어진다. 근대에 들어서 통신시스템에 디지털 전치왜곡(Digital Predistortion : DPD)이라는 선형화 기법이 적용되어 출력 전력과 고효율 전력증폭기 설계가 이루어지고 있다. 고효율 전력 증폭기 설계에 관한 방법은 크게 두 가지 방법으로 분류된다. 첫번째 방법은 하모닉 억제 특성을 갖는 출력단 정합 회로를 이용한 고효율 전력증폭기의 설계이고, 다른 한가지는 S/J/F급과 같이 출력 전류와 전압의 하모닉 성분을 조정하여 반파장의 정현파 또는 구형파가 서로 겹치지 않게 만들어 고효율 전력증폭기를 구동하는 방법이다. 본 절에서는 증폭기의 비선형 특성과 그에 따른 출력 신호에 관해 분석하고 이를 이용해 하모닉 억제 특성을 이용한 고효율 전력증폭기와 하모닉 성분을 이용하여 드레인단의 전압과 전류가 각각 반주기의 구형파 또는 정현파를 갖는 F/F⁻¹급 전력증폭기에 관해 이론적인 분석과 특성에 관해 설명하도록 하겠다.

2.1 하모닉 억제 특성을 이용한 고효율 전력증폭기.

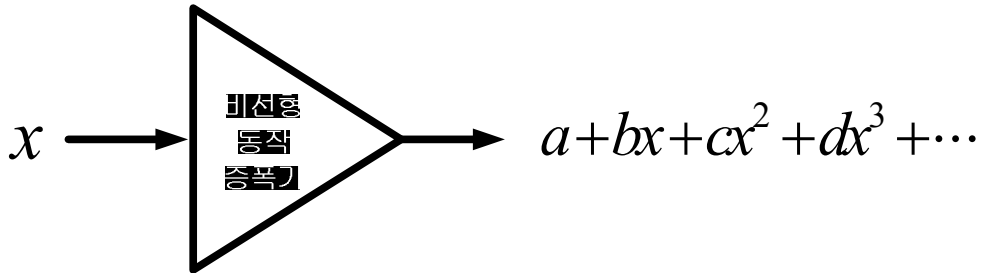


그림 2.1. 비선형 동작 증폭기의 입력과 출력신호

Fig. 2.1. Input and Output of non-linear operation amplifier.

일반적인 증폭기의 입력 신호 x 에 관한 비선형 동작 출력은 그림 2.1과 같이 표현할 수 있다. 출력의 상수인 a, b, c, \dots 는 증폭기의 비선형 특성에 따라 결정되는 상수이다. 이때 입력신호를 $x = A \cos \omega t$ 정현파를 인가하고 출력식을 3차 항까지만 전개하면 출력 신호는 다음 식 (1)과 같이 표현 된다.

$$a + bx + cx^2 + dx^3 \Big|_{x = A \cos \omega t} = a + \frac{cA^2}{2} + \left(b + \frac{3dA^2}{4} \right) \cos \omega t + \frac{cA^2}{2} \cos 2\omega t + \frac{3dA^3}{4} \cos 3\omega t \quad (1)$$

출력신호의 성분을 살펴 보면 기존의 ω 기본 주파수 성분 외에 DC 성분과 각각 2차와 3차 하모닉 성분이 존재하는 것을 알 수 있다. 출력 수식을 3차항 이상 전개할 경우 더 많은

하모닉 성분들이 나타남을 예측할 수 있다. 따라서 전력증폭기는 f_0 신호만을 인가 하더라도 비선형 동작에 따른 하모닉 성분이 동시에 출력된다. 이때 일반적인 전력증폭기는 최대 전력용량이 정해져 있는데, f_0 성분에서 모든 출력전력이 나오는 것이 아니라 하모닉 성분에 출력전력이 분배 되어 f_0 에서 출력전력 레벨을 감켜 최대 출력레벨을 얻을 수 없다. 따라서 출력전력 레벨이 감소 하므로 이에 따른 효율 저하 또한 일어나게 된다. 따라서 하모닉 주파수에서 억제 특성을 갖는 출력단 정합회로를 사용할 경우, 하모닉 성분에서 소모되는 전력을 억제하고 원하는 주파수 성분의 출력에 모든 전력을 사용할 수 있다. 따라서 같은 DC 소모량에서 RF출력 레벨이 증가하므로 효율이 증가하게 된다.

하모닉 억제특성을 이용한 고효율 증폭기 설계의 예로 [5]에서 사용된 출력단 정합회로는 그림 2.2에 나타나 있다. 이 출력단 정합 회로에서는 바이어스 선로와 직렬 선로에 결함접지 구조(Defected ground structure : DGS)를 이용하여 2차에서 5차 하모닉 성분에 전송 영점을 설정하여 억제 특성을 갖도록 했다. 제시된 정합 회로의 S_{21} 특성은 그림 2.3에 나타나 있다. 각 하모닉 성분들은 측정 결과 25 dB이상의 억제 특성을 갖는 것을 볼 수 있다.

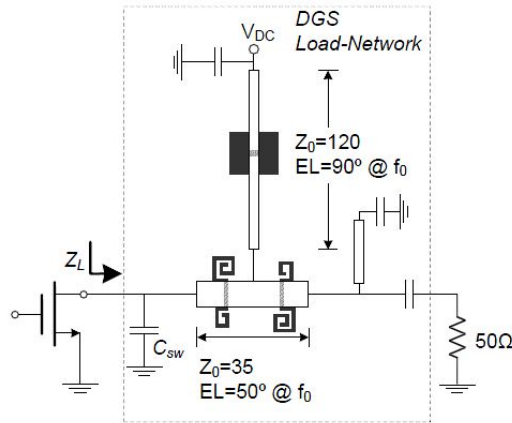


그림 2.2. DGS를 이용한 E급 전력증폭기 출력정합 회로.

Fig. 2.2. Output circuit of class E PA with DGS.

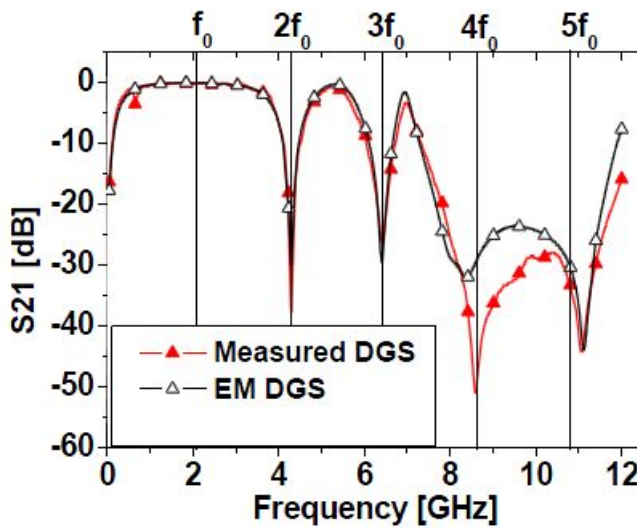


그림 2.3. 시뮬레이션 및 측정된 정합회로의 전달특성(S_{21})

Fig. 2.3. Simulated and measured transmission characteristics of output matching network.

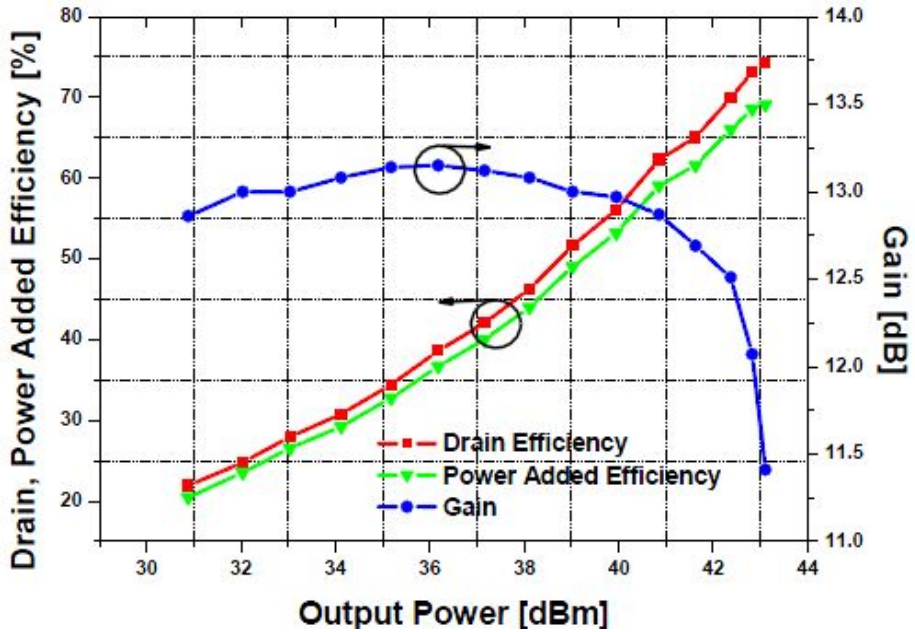


그림 2.4. 전력증폭기의 출력전력, 이득, 효율 측정결과.

Fig. 2.4. Measured output power and PAE, drain efficiency at 2.14 GHz

설계된 전력증폭기는 중심주파수 2.14 GHz에서 3-dB 이득 감소 지점을 기준으로 43 dBm의 출력전력과 70.2 %, 74.46 %의 전력 부가효율과 드레인 효율을 얻었다. 따라서 하모닉 억압 특성을 통한 고효율 전력증폭기의 설계가 가능함을 알 수 있다.

2.2 F/F^{-1} 급 고효율 전력증폭기.

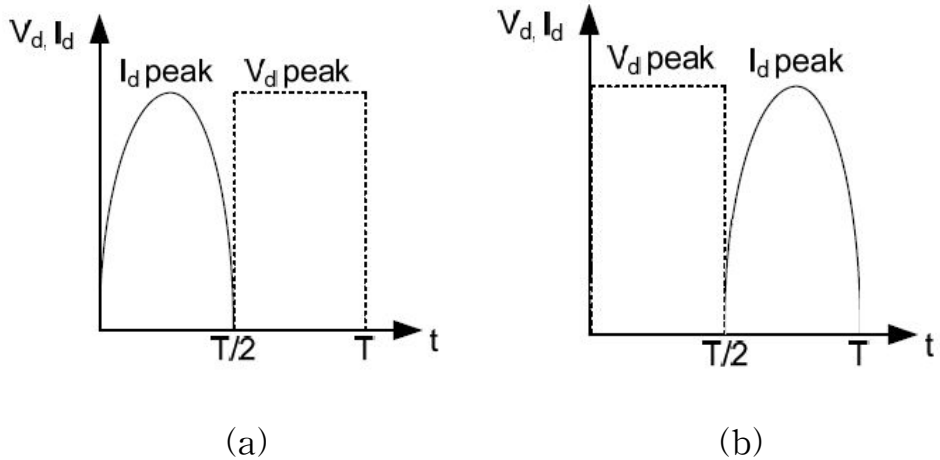


그림 2.5. 이상적인 증폭기의 드레인단 출력 전류 및 전압 파형. (a) F급 전력증폭기 (b) F^{-1} 급 전력증폭기

Fig. 2.5. Ideal output voltage and current waveform at drain port. (a) class F (b) class F^{-1}

F/F^{-1} 급 전력증폭기는 1 GHz 이상의 대역에서 E급 증폭기의 출력 전력이 트랜지스터의 출력 단자 단락 커패시턴스에 따라 민감하게 변화하여 구현이 어렵기 때문에 등장한 UHF대역에서 주로 사용되는 고효율 전력증폭기이다. F/F^{-1} 급 전력증폭기는 이론적으로는 시간 축에서 전류와 전압의 파형이 겹치지 않아 DC 소모가 없어 100%의 효율을 얻을 수 있다. F/F^{-1} 급 전력증폭기의 시간에 따른 드레인 단의 전압 및 전류파형은 위의 그림 2.5와 같다.

위의 출력 파형을 얻기 위해서는 비선형 동작하는 전력증폭기의 하모닉 성분을 이용한다. F급 전력 증폭기의 경우 구형파 전압파형을 얻기 위해 짝수 차수 하모닉 성분을 개방 지점에 정합하고, 반주기 정현파인 전류파형은 홀수차수 하모닉 성분을 단락 지점에 정합한다.

F⁻¹급 전력증폭기의 경우 반대로 반주기 정현파 전압파형을 얻기 위해 홀수차수 하모닉 성분을 개방 지점에 정합하고, 구형파 전류파형을 만들기 위해 짝수차수 하모닉 성분을 단락 지점에 정합한다. 따라서 푸리에 급수를 이용하여 F급과 F⁻¹급의 전압 및 전류 출력 파형은 식 (2)와 식 (3)과 같이 나타낼 수 있다.

$$I_{d_F} = i_{d_peak_F} \left(\frac{1}{\pi} + \frac{1}{2} \sin \omega_0 t - \frac{2}{\pi} \sum_{n=2,4,6}^{\infty} \frac{1}{n^2 - 1} \cos n \omega_0 t \right) \quad (2.a)$$

$$V_{d_F} = v_{d_peak_F} \left(\frac{1}{2} + \frac{2}{\pi} \sin \omega_0 t - \frac{2}{\pi} \sum_{n=3,5,7}^{\infty} \frac{1}{n} \sin n \omega_0 t \right) \quad (2.b)$$

$$V_{d_F^{-1}} = v_{d_peak_F^{-1}} \left(\frac{1}{\pi} + \frac{1}{2} \sin \omega_0 t - \frac{2}{\pi} \sum_{n=2,4,6}^{\infty} \frac{1}{n^2 - 1} \cos n \omega_0 t \right) \quad (3.a)$$

$$I_{d_F^{-1}} = i_{d_peak_F^{-1}} \left(\frac{1}{2} + \frac{2}{\pi} \sin \omega_0 t - \frac{2}{\pi} \sum_{n=3,5,7}^{\infty} \frac{1}{n} \sin n \omega_0 t \right) \quad (3.b)$$

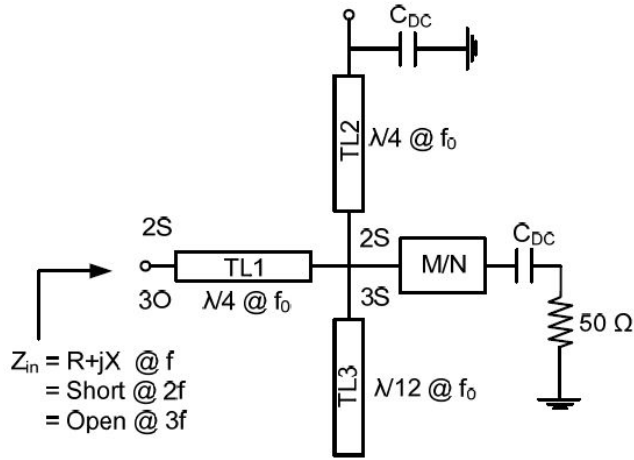


그림 2.6. F급 전력증폭기용 정합회로 블록도.

Fig. 2.6. Block diagram of class F PA's output matching network.

위의 그림 2.6은 [7]에서 제안한 단일대역 F급 전력증폭기의 출력단 정합 회로이다. 여기서 회로의 복잡성을 피하기 위해 가장 하모닉 중상대적으로 가장 큰 전력레벨을 갖는 2차와 3차 하모닉 성분만을 고려하여 정합회로를 설계 했다. 위 회로에서 TL2와 TL3은 짝수 차수와 홀수차수의 하모닉에서 하모닉 정합 특성을 얻기 위해 각각 단락과 개방 스텐브로 구성되었다. 물리적 길이는 기본파 f_0 에서 각각 $\lambda/4$, $\lambda/12$ 이다. TL1과 TL2를 이용하여 $2f_0$ 에서 입력 임피던스가 단락으로 보이며 TL1과 TL3을 이용하여 $3f_0$ 에서 입력 임피던스는 개방으로 보이게 된다.

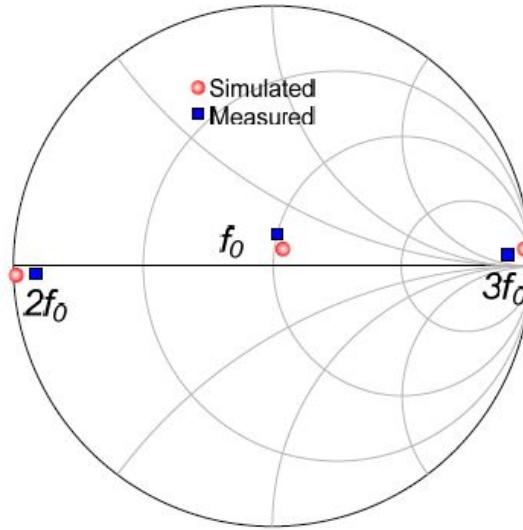


그림 2.7. 2.14 GHz에서 설계된 F급 전력 증폭기용 정합회로의 입력 임피던스 시뮬레이션 및 측정 결과

Fig. 2.7. Simulated and measured input impedance of class F PA's output matching network at 2.14 GHz

이후 f_0 의 정합은 위의 정합회로를 이용해 정합하게 되므로 F급 전력증폭기의 조건을 만족하게 된다. 그림 2.7에 나타난 정합회로의 입력 임피던스를 보면 $2f_0$ 와 $3f_0$ 가 각각 단락과 개방지점에 위치한 것을 볼 수 있다.

위의 회로를 사용한 전력증폭기는 2.14 GHz에서 2-dB 이득 감소 지점을 기준으로 43 dBm의 출력전력을 얻었고 전력 부가효율과 드레인 효율은 각각 63.9 %와 68.8 %를 얻었다.

3. 하모닉 차단 대역통과 정합 회로.

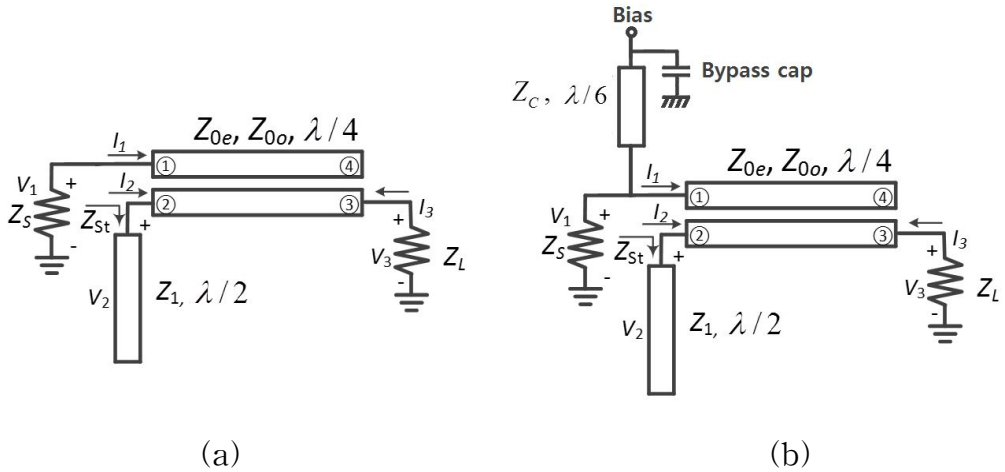


그림 3.1. (a) 짝수차수 하모닉 차단 대역통과 정합회로
(b) 제안하는 하모닉 차단 대역통과 정합회로.

Fig. 3.1. (a) Even harmonic suppressed band-pass matching network. (b) Proposed harmonic suppressed band-pass matching network.

서론에서 설명했듯이 RF 송신시스템에서 대역통과 여파기의 예리한 스퀘트 특성 구현에 따른 삽입손실증가로 전체 시스템의 효율 저하가 나타나고 있다. 따라서 본 연구에서는 하모닉 차단특성과 대역통과 특성을 동시에 갖는 정합회로에 관해 제안한다. 그림 3.1(b)는 제안하는 하모닉 차단 대역통과 정합회로도 이다. 제안하는 회로는 f_0 에서 $\lambda/4$ 길이를 갖는 결합선로와 $\lambda/2$ 길이를 갖는 개방 스텐브와 바이어스

및 3차 하모닉 억압을 위한 $\lambda/6$ 길이의 커패시터로 종단된 스타브로 구성되어 있다. Z_L 은 일반적인 시스템 임피던스인 50 Ω 이며 Z_s 는 전력증폭기의 출력 임피던스 이다.

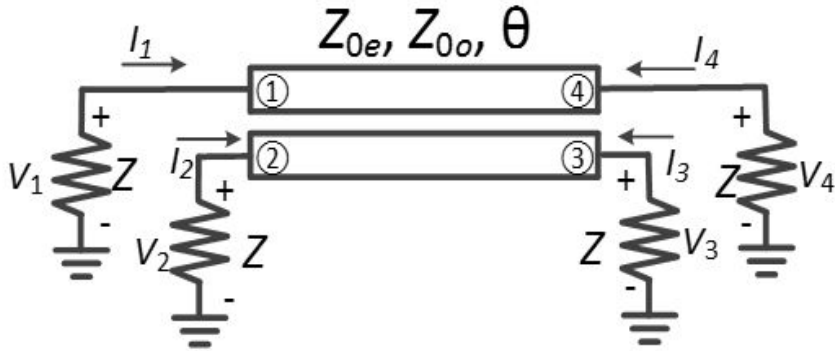


그림 3.2. 결합선로 구조.

Fig. 3.2. The coupled line structure.

그림 3.2는 일반적인 결합선로를 나타낸 것이다 위의 결합선로의 각 포트는 임피던스로 Z 로 종단되어 있으며 각 포트에 들어가고 인가되는 전압을 각각 $I_n, V_n(n=1,2,3,4)$ 이라 하였다. 위 결합선로의 전압 전류의 관계는 식 (4)와 같이 나타낼 수 있다. 식 (4)의 임피던스 값은 식 (5)와 같다.

$$\begin{aligned}
 V_1 &= I_1 Z_{11} + I_2 Z_{12} + I_3 Z_{13} + I_4 Z_{14} \\
 V_2 &= I_1 Z_{21} + I_2 Z_{22} + I_3 Z_{23} + I_4 Z_{24} \\
 V_3 &= I_1 Z_{31} + I_2 Z_{32} + I_3 Z_{33} + I_4 Z_{34} \\
 V_4 &= I_1 Z_{41} + I_2 Z_{42} + I_3 Z_{43} + I_4 Z_{44}
 \end{aligned} \tag{4}$$

$$Z_{11} = Z_{22} = Z_{33} = Z_{44} = -j \frac{Z_{0e} + Z_{0o}}{2} \cot \theta \quad (5a)$$

$$Z_{12} = Z_{21} = Z_{34} = Z_{43} = -j \frac{Z_{0e} - Z_{0o}}{2} \cot \theta \quad (5b)$$

$$Z_{13} = Z_{31} = Z_{24} = Z_{42} = -j \frac{Z_{0e} - Z_{0o}}{2} \csc \theta \quad (5c)$$

$$Z_{14} = Z_{41} = Z_{23} = Z_{32} = -j \frac{Z_{0e} + Z_{0o}}{2} \csc \theta \quad (5d)$$

결합 선로에서 제안하는 정합회로는 4번 포트가 개방되어 있으므로 3 포트 회로로 다시 정리하여 식을 표현하면 식 (6)과 같이 표현할 수 있다.

$$V_1 = I_1 Z_{11} + I_2 Z_{12} + I_3 Z_{13} \quad (6a)$$

$$V_2 = I_1 Z_{21} + I_2 Z_{22} + I_3 Z_{23} \quad (6b)$$

$$V_3 = I_1 Z_{31} + I_2 Z_{32} + I_3 Z_{33} \quad (6c)$$

또한 제안하는 회로에서 포트 2는 입력 임피던스가 Z_{St} 인 개방 선로로 종단 되어있으므로 V_2 는 다음 식 (7)과 같이 표현할 수 있다.

$$V_2 = -I_2 Z_{St} \quad (7)$$

식 (7)을 식 (6a)와 (6c)에 대입하여 정리해주면 V_1 과 V_3 에 관한 식은 다음 식 (8)과 같이 얻을 수 있다.

$$\begin{aligned} V_1 &= I_1 Z_{11} + \left(-I_1 \frac{Z_{21}}{(Z_S + Z_{22})} - I_3 \frac{Z_{23}}{(Z_S + Z_{22})} \right) Z_{12} + I_3 Z_{13} \\ &= I_1 \left(Z_{11} - \frac{Z_{21} Z_{12}}{(Z_S + Z_{22})} \right) + I_3 \left(Z_{13} - \frac{Z_{23} Z_{12}}{(Z_S + Z_{22})} \right) \end{aligned} \quad (8a)$$

$$\begin{aligned} V_3 &= I_1 Z_{31} + \left(-I_1 \frac{Z_{21}}{(Z_S + Z_{22})} - I_3 \frac{Z_{23}}{(Z_S + Z_{22})} \right) Z_{32} + I_3 Z_{33} \\ &= I_1 \left(Z_{31} - \frac{Z_{21} Z_{32}}{(Z_S + Z_{22})} \right) + I_3 \left(Z_{33} - \frac{Z_{23} Z_{32}}{(Z_S + Z_{22})} \right) \end{aligned} \quad (8b)$$

식 (8)을 행렬 형태로 표현하면 식 (9)와 같이 표현할 수 있고 각 항의 임피던스 값은 식(8)과 식 (5)를 이용해 식 (10)과 같이 얻을 수 있다.

$$\begin{bmatrix} V'_1 \\ V'_2 \end{bmatrix} = \begin{bmatrix} Z'_{11} & Z'_{12} \\ Z'_{21} & Z'_{22} \end{bmatrix} \begin{bmatrix} I'_1 \\ I'_2 \end{bmatrix} \quad (9)$$

$$Z'_{11} = j \frac{\cot \theta}{2} \left[\frac{(Z_{0e} - Z_{0o})^2 (\cot \theta)}{[2Z_1 \cot(2\theta) + (Z_{0e} + Z_{0o}) \cot \theta]} - (Z_{0e} + Z_{0o}) \right] \quad (10a)$$

$$Z'_{12} = j \frac{Z_{0e} - Z_{0o}}{2} \csc \theta \left[\frac{(Z_{0e} + Z_{0o}) \cot \theta}{2Z_1 \cot 2\theta + (Z_{0e} + Z_{0o}) \cot \theta} - 1 \right] \quad (10b)$$

$$Z'_{21} = j \frac{Z_{0e} - Z_{0o}}{2} \csc \theta \left[\frac{(Z_{0e} + Z_{0o}) \cot \theta}{2Z_1 \cot 2\theta + (Z_{0e} + Z_{0o}) \cot \theta} - 1 \right] \quad (10c)$$

$$Z'_{22} = j \frac{Z_{0e} + Z_{0o}}{2} \left[\frac{(Z_{0e} + Z_{0o}) \csc^2 \theta}{2Z_1 \cot 2\theta + (Z_{0e} + Z_{0o}) \cot \theta} - \cot \theta \right] \quad (10d)$$

위의 식 (9)는 짝수차수 하모닉 차단 대역통과 정합회로의 Z 행렬을 나타내고 있으므로 이를 이용해 제안하는 회로의 반사 특성인 S_{11} 을 식 (11)과 같이 얻을 수 있다.

$$\begin{aligned}
 S_{11} &= \frac{(Z_{11}-Z_S)(Z_{22}+Z_L)-Z_{12}Z_{21}}{(Z_{11}+Z_S)(Z_{22}+Z_L)-Z_{12}Z_{21}} \\
 &= \frac{-\left(\cot\theta\left[\frac{(Z_{0e}-Z_{0o})^2(\cot\theta)}{[2Z_1\cot(2\theta)+(Z_{0e}+Z_{0o})\cot\theta]}-(Z_{0e}+Z_{0o})\right]+j2Z_S\right)\left((Z_{0e}+Z_{0o})\left[\frac{(Z_{0e}+Z_{0o})\csc^2\theta}{2Z_1\cot 2\theta+(Z_{0e}+Z_{0o})\cot\theta}-\cot\theta\right]-j2Z_L\right)}{-\left(\cot\theta\left[\frac{(Z_{0e}-Z_{0o})^2(\cot\theta)}{[2Z_1\cot(2\theta)+(Z_{0e}+Z_{0o})\cot\theta]}-(Z_{0e}+Z_{0o})\right]-j2Z_S\right)\left((Z_{0e}+Z_{0o})\left[\frac{(Z_{0e}+Z_{0o})\csc^2\theta}{2Z_1\cot 2\theta+(Z_{0e}+Z_{0o})\cot\theta}-\cot\theta\right]-j2Z_L\right)} \\
 &\quad +\frac{\left\{(Z_{0e}-Z_{0o})\csc\theta\left[\frac{(Z_{0e}+Z_{0o})\cot\theta}{2Z_1\cot 2\theta+(Z_{0e}+Z_{0o})\cot\theta}-1\right]\right\}^2}{\left\{(Z_{0e}-Z_{0o})\csc\theta\left[\frac{(Z_{0e}+Z_{0o})\cot\theta}{2Z_1\cot 2\theta+(Z_{0e}+Z_{0o})\cot\theta}-1\right]\right\}^2} \quad (11)
 \end{aligned}$$

이때 식 (11)의 반사특성에서 주파수가 f_0 인 경우 결함선로의 전기각 θ 는 $\lambda/4$ 이므로 이를 대입하면 식 (12)를 얻을 수 있고 이로부터 $(Z_{0e}-Z_{0o})$ 의 관계는 식 (13)과 같이 얻을 수 있다.

$$S_{11}|_{f=f_0} = \frac{-(0+j2Z_S)(0-j2Z_L)+[(Z_{0e}-Z_{0o})(0-1)]^2}{-(0-j2Z_S)(0-j2Z_L)+[(Z_{0e}-Z_{0o})(0-1)]^2} = \frac{(Z_{0e}-Z_{0o})^2-4Z_SZ_L}{(Z_{0e}-Z_{0o})^2+4Z_SZ_L} \quad (12)$$

$$(Z_{0e}-Z_{0o}) = 2\sqrt{\frac{Z_SZ_L(1+S_{11}|_{f=f_0})}{(1-S_{11}|_{f=f_0})}} \quad (13)$$

제안하는 회로의 전송특성(S_{21})역시 식 (9)의 Z행렬로부터 얻을 수 있으므로 식 (14)와 같이 얻을 수 있고, 이를 식 (12)와 마찬가지로 주파수가 f_0 인 경우 결합선로의 전기각 $\theta = \lambda/4$ 를 대입하여 정리하면 식 (15)를 얻을 수 있다.

$$S_{21} = \frac{2Z_{21}\sqrt{Z_L Z_S}}{(Z_{11}+Z_S)(Z_{22}+Z_L)-Z_{12}Z_{21}} \frac{2\left(j\frac{Z_{0e}-Z_{0o}}{2}\csc\theta\left[\frac{(Z_{0e}+Z_{0o})\cot\theta}{2Z_1\cot 2\theta+(Z_{0e}+Z_{0o})\cot\theta}-1\right]\right)\sqrt{Z_L Z_S}}{\left(j\frac{\cot\theta}{2}\left[\frac{(Z_{0e}-Z_{0o})^2(\cot\theta)}{[2Z_1\cot(2\theta)+(Z_{0e}+Z_{0o})\cot\theta]}-(Z_{0e}+Z_{0o})\right]+Z_S\right)\left(j\frac{Z_{0e}+Z_{0o}}{2}\left[\frac{(Z_{0e}+Z_{0o})\csc^2\theta}{2Z_1\cot 2\theta+(Z_{0e}+Z_{0o})\cot\theta}-\cot\theta\right]+Z_L\right)} \quad (14)$$

$$-\left(j\frac{Z_{0e}-Z_{0o}}{2}\csc\theta\left[\frac{(Z_{0e}+Z_{0o})\cot\theta}{2Z_1\cot 2\theta+(Z_{0e}+Z_{0o})\cot\theta}-1\right]\right)^2$$

$$S_{21}|_{f=f_0} = \frac{2\left(j\frac{Z_{0e}-Z_{0o}}{2}[0-1]\right)\sqrt{Z_L Z_S}}{(j0+Z_S)(j0+Z_L)-\left[j\frac{Z_{0e}-Z_{0o}}{2}(0-1)\right]^2} = \frac{-j(Z_{0e}-Z_{0o})\sqrt{Z_L Z_S}}{Z_S Z_L + \left[\frac{Z_{0e}-Z_{0o}}{2}\right]^2} = \frac{-j4(Z_{0e}-Z_{0o})\sqrt{Z_L Z_S}}{4Z_S Z_L + (Z_{0e}-Z_{0o})^2} \quad (15)$$

이때 전송영점은 $S_{21}=0$ 인 지점에서 나타나므로 식 (14)에서 분자가 0인 경우를 풀면은 식 (16)과 같이 표현할 수 있다. 따

라서 $\theta = \frac{\pi f}{2f_0}$ 를 대입하여 식을 풀어주면 전송영점 주파수는 식 (17)과 같이 얻을 수 있다.

$$2 \left(j \frac{Z_{0e} - Z_{0o}}{2} \csc \theta \left[\frac{(Z_{0e} + Z_{0o}) \cot \theta}{2Z_1 \cot 2\theta + (Z_{0e} + Z_{0o}) \cot \theta} - 1 \right] \right) \sqrt{Z_L Z_S} = 0$$

$$\Rightarrow -2Z_1 \sin \theta \cot 2\theta = 0 \quad (16)$$

$$\frac{f_{s1}}{f_0} = 2n, \quad (n \text{ are integer values}) \quad (17a)$$

$$\frac{f_{s2}}{f_0} = \frac{(2n-1)}{2} \quad (n \text{ are integer values}) \quad (17b)$$

식 (17a)로부터 짝수차수 하모닉에선 전송영점이 존재하므로 억제특성이 나타남을 알 수 있다. 또한 (17b)로부터 $0.5f_0, 1.5f_0, 2.5f_0, 3.5f_0, \dots$ 에서 전송 영점이 존재해 대역 통과 특성이 나타남을 알 수 있다.

이제 정합 특성을 얻기 위해 식 (11)로부터 정합된 경우 $S_{11}=0$ 이므로 분자가 0인 경우 분자식에 $(Z_{0e} + Z_{0o}) = x$, 와 $(Z_{0e} - Z_{0o}) = y$, $Z_L = Z_S$ 를 대입하면 식 (18)를 얻을 수 있다.

$$\left\{ y \csc \theta \left[\frac{x \cot \theta}{2Z_1 \cot 2\theta + x \cot \theta} - 1 \right] \right\}^2 = \left(\cot \theta \left[\frac{y^2 (\cot \theta)}{[2Z_1 \cot(2\theta) + x \cot \theta]} - x \right] + j2Z_s \right) \left(x \left[\frac{x \csc^2 \theta}{2Z_1 \cot 2\theta + x \cot \theta} - \cot \theta \right] - j2rZ_s \right) \quad (18)$$

$$\left\{ y \csc \theta \left[\frac{x \cot \theta}{2Z_1 \cot 2\theta + x \cot \theta} - 1 \right] \right\}^2 = y^2 \csc^2 \theta [2Z_1 \cot 2\theta + x \cot \theta] - 2xy^2 \csc^2 \theta \cot \theta \quad (19)$$

$$\left(\frac{y^2 (\cot \theta)^2}{[2Z_1 \cot(2\theta) + x \cot \theta]} - x \cot \theta + j2Z_s \right) \left(\frac{x^2 \csc^2 \theta}{[2Z_1 \cot(2\theta) + x \cot \theta]} - x \cot \theta - j2rZ_s \right) = \frac{1}{[2Z_1 \cot(2\theta) + x \cot \theta]} \left\{ \begin{aligned} & \left[\frac{y^2 x^2 (\csc \theta)^2 (\cot \theta)^2}{[2Z_1 \cot(2\theta) + x \cot \theta]} - y^2 x (\cot \theta)^3 - j2rZ_s y^2 (\cot \theta)^2 - x^3 \cot \theta \csc^2 \theta + x^2 (\cot \theta)^2 [2Z_1 \cot(2\theta) + x \cot \theta] \right. \\ & \left. + j2rZ_s x \cot \theta [2Z_1 \cot(2\theta) + x \cot \theta] + j2Z_s x^2 \csc^2 \theta - j2Z_s x \cot \theta [2Z_1 \cot(2\theta) + x \cot \theta] + 4rZ_s^2 [2Z_1 \cot(2\theta) + x \cot \theta] \right] \end{aligned} \right\} \quad (20)$$

$$j2Z_s \left[rx \cot \theta [2Z_1 \cot(2\theta) + x \cot \theta] - ry^2 (\cot \theta)^2 + x^2 \csc^2 \theta - x \cot \theta [2Z_1 \cot(2\theta) + x \cot \theta] \right] = 0 \quad (21)$$

$$Z_1 = \frac{x}{r-1} = \frac{Z_{0e} + Z_{0o}}{r-1} \quad (22)$$

식 (12)의 좌변을 정리하면 식 (19)을 얻을 수 있고, 우변을 정리하면 식 (20)를 얻을 수 있다. 여기서 식 (19)에서는 허수 부분이 존재하지 않으므로 식 (20)의 허수 부분이 0이 되어야 한다 따라서 식 (21)를 얻을 수 있다. 식 (21)를 Z_1 에 관해 정리하기 위해 중심주파수 f_0 에서 $\Theta = \pi/2$ 이므로 이를 대입하여 각 항을 정리하면 식 (22)을 얻을 수 있다.

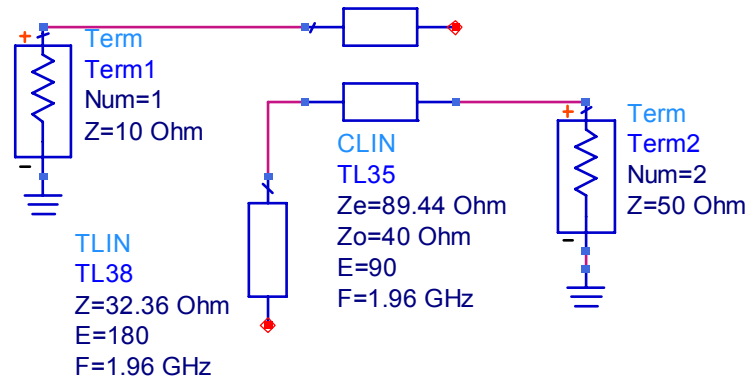


그림 3.3. 짝수차수 하모닉 차단 정합회로 시뮬레이션 회로.

Fig. 3.3. ADS simulation schematic of even harmonic suppressed band-pass matching network.

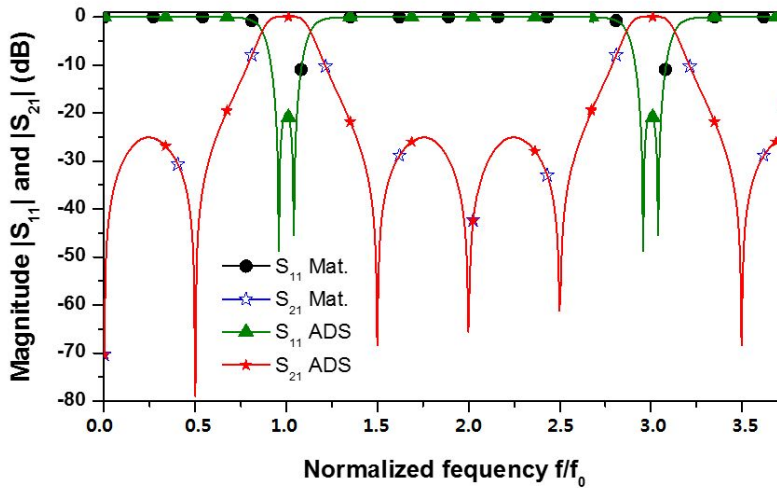


그림 3.4. 짝수차수 하모닉 차단 정합회로 Matlab과 ADS 시뮬레이션 결과.

Fig 3.4. Matlab and ADS simulaton results of even harmonic suppressed band-pass matching network

식 (13)과 식 (22)을 이용하여 짝수차수 하모닉 차단 대역통과 여파기의 시뮬레이션을 실행 하였다. 시뮬레이션에는 수식 (13)과 (16)을 이용한 Matlab과 ADS2009를 이용해 그림 3.3과 같은 회로를 이용해 시뮬레이션 했다. 여기서 증폭기의 출력 임피던스는 $Z_s=10$ Ω 로 설정했다. 그림 3.4는 두 개의 시뮬레이션 결과를 비교한 것이다. 두 결과가 잘 일치하므로 수식적 분석이 맞게 이루어 졌음을 알 수 있다. 전송특성은 중심주파수에서 0.3 dB 미만으로 나타났고 전송영점으로 인해 대역통과 특성 및 짝수차수 하모닉 차단 효과가 나타나고 있다. 반사 특성은 통과 대역에서 -20 dB 이상 나오도록 설정했고, 원한다면 30 dB 이상의 값도 얻을 수 있다. 반사 특성이 20 dB 이상인 대역폭은 300 MHz이다.

하지만 제시한 결과를 보면 여파기의 특성상 홀수 차수인 3차 주파수 에서 통과대역과 같은 특성이 나타나고 있다. 따라서 3차 하모닉 성분을 억제하기 위해서 제안하는 회로는 f_0 에서 $\lambda/6$ 길이의 커패시터로 종단된 스테브를 사용하였다. 이 스테브는 바이어스 라인으로도 사용 가능하며 $3f_0$ 에선 $\lambda/2$ 이므로 RF적으로는 입력 임피던스가 단락처럼 느껴지게 된다.

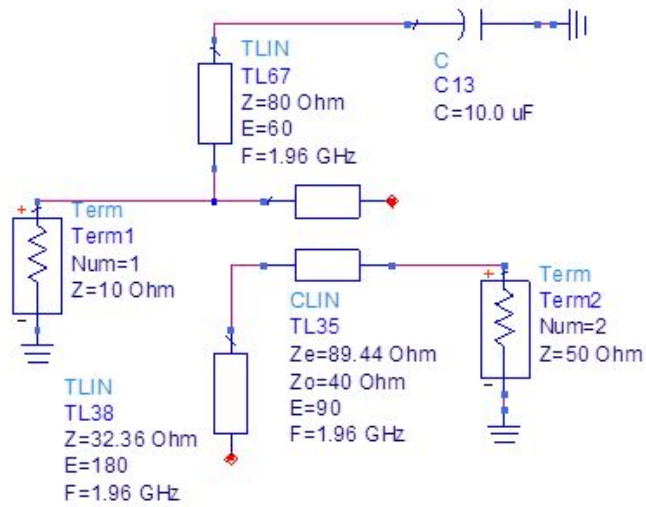


그림 3.5. 제안하는 하모닉 차단 정합회로 시뮬레이션 구성.

Fig. 3.5. ADS simulation schematic of proposed harmonic suppressed band-pass matching network.

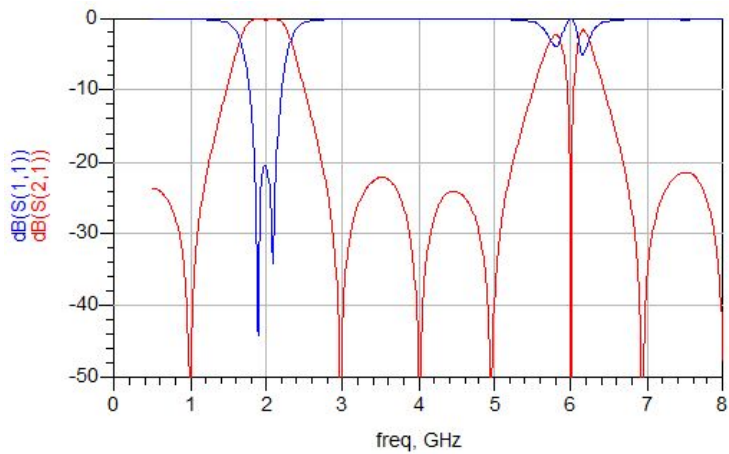


그림 3.6. 제안하는 하모닉 차단 정합회로 시뮬레이션 결과.

Fig 3.6. ADS simatolon results of proposed harmonic suppressed band-pass matching

network

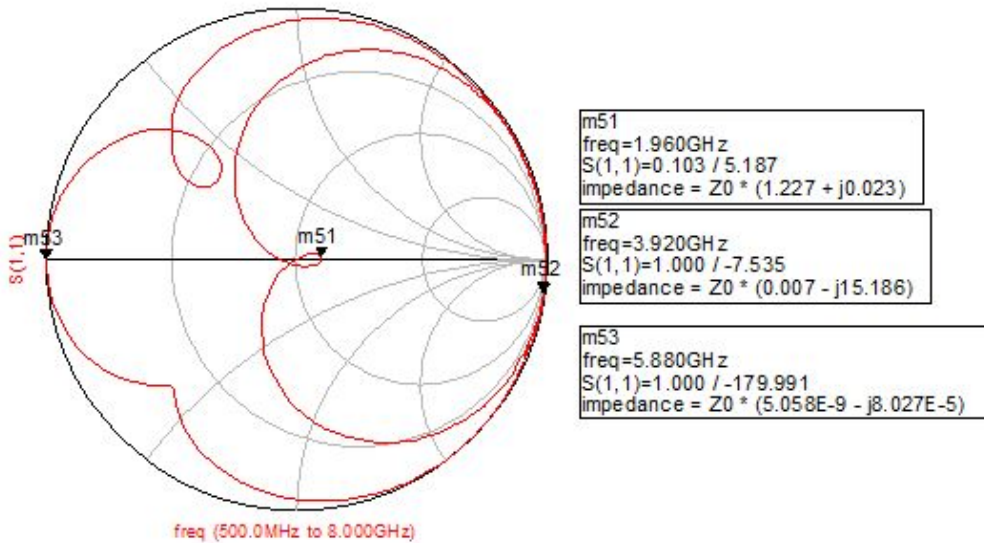


그림 3.7. 제안하는 하모닉 차단 정합회로 입력 임피던스.

Fig 3.7. Input impedance of proposed harmonic suppressed band-pass matching network

제안하는 회로의 ADS 시뮬레이션에 구조는 그림 3.5와 같다. 시뮬레이션 결과는 그림 3.6과 같으며 짝수차수 하모닉 차단 정합회로는 3차 하모닉 주파수인 5.88 GHz에서 정합 특성이 나타나지만 제안하는 회로는 3차 하모닉 주파수에서도 억제 특성이 나타나는 것을 볼 수 있다. 또한 제안하는 회로의 입력 임피던스는 그림 3.7과 같다. 1.96 GHz의 사용 대역에서는 스미스차트의 중심에 위치하여 정합 특성을 나타내고 있다. 2차와 3차 하모닉 성분은 각각 개방과 단락 위치에 정합이 되어 F^{-1} 급 전력증폭기의 하모닉 정합 특성을 만족하였다.

끝으로 제안하는 회로의 장점은 우선 추가적인 소자 없이 전송선로만으로 구현이 가능하며 증폭기의 드레인과 회로의 출력 사이에 결합선로를 이용 하여 DC적으로 분리되어 DC차단 커패시터가 추가적으로 필요하지 않다. 또한 짝수차수와 3차 하모닉 성분을 30 dB 이상 억제하고 2차와 3차의 하모닉의 경우 F^{-1} 급 전력증폭기의 하모닉 정합 특성이 구현되므로 높은 효율의 전력증폭기 설계에 용이하다. 대역통과 특성 역시 통과 대역과 억제대역이 20dB이상 차이가 나며, 출력단과 입력단 모두 위의 회로를 이용해 전력증폭기를 설계할 경우 더 높은 대역 외 억제특성이 나타나 전체 시스템의 대역통과 여파기의 부담이 줄어들어 삽입손실이 개선되므로 시스템 전체의 효율이 증가할 것이다.

4. 고효율 대역통과 전력증폭기

시뮬레이션.

본 절에서는 Nitronex사의 GaN 증폭기인 NPTB00025를 이용하여 US PCS 하향 대역인 1.93 GHz ~ 1.99 GHz 에서 사용 가능한 고효율 대역통과 전력증폭기를 설계했다. 설계에 사용된 시뮬레이터는 ADS 2009와 3D 시뮬레이터인 HFSS11 이다. 설계 목표는 하향대역 중심주파수인 1.96 GHz에서 이득 3-dB 감소 지점에서 43 dBm의 출력 전력과 드레인 효율이 70 % 이상, 대역 전체에서의 특성은 출력 전력이 42.5 dBm 이상이며 드레인 효율이 60% 이상이다. 표1은 데이터시트에 제시된 3 GHz에서 증폭기의 일반 특성이다.

표1. 3GHz 에서 RF(CW) 특성. ($V_{DS}=28V, I_{DQ}=225mA, T_C=25^{\circ}C$)

Table 1. RF performance at 3GHz. ($V_{DS}=28V, I_{DQ}=225mA, T_C=25^{\circ}C$)

Symbol	Parameter	Min	Typ.
P_{3dB} (W)	3-dB 이득 감소 지점에서 평균 출력 전력	22	25
P_{1dB} (dBm)	1-dB 이득 감소 지점에서 평균 출력 전력	18	21
G_{ss} (dB)	소신호 이득	12.5	13.5
η (%)	3-dB 이득 감소 지점에서 드레인 효율	60	65

4.1 바이어스 및 입출력 정합 임피던스.

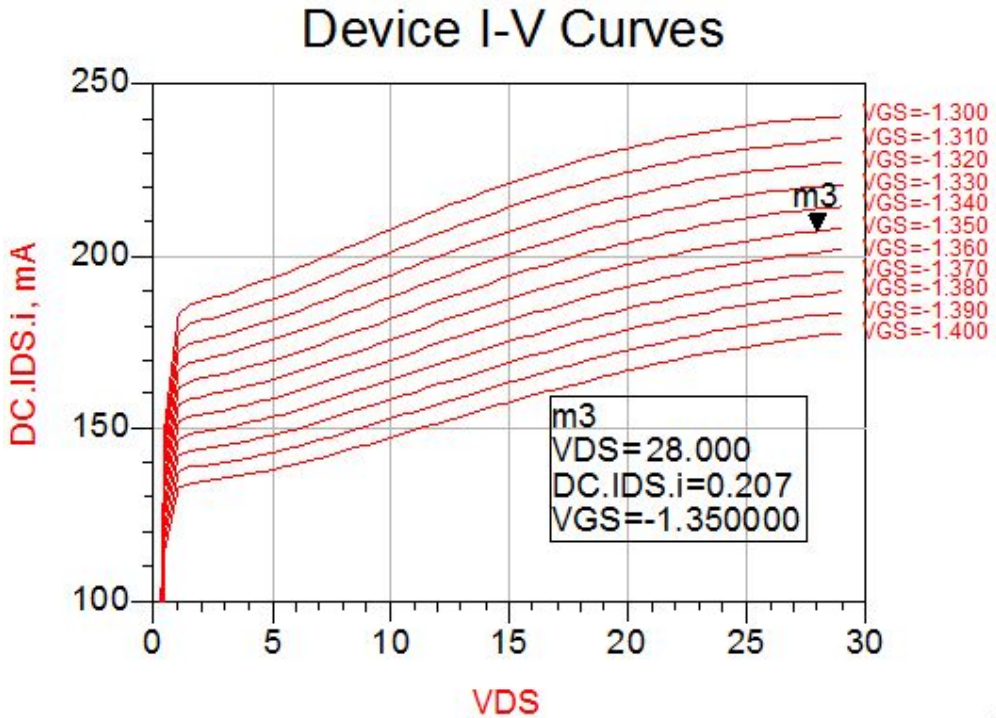


그림 4.1. NPTB00025B의 바이어스 I-V 특성 시뮬레이션.

Fig. 4.1. Simulated DC bias I-V curves of NPTB00025B

먼저 증폭기의 DC 바이어스를 설정하기 위해 I-V 커브 시뮬레이션을 실행했다. 그림 4.은 NPTB00025B의 바이어스 지점에 따른 I_{DQ} 커브 이다. 데이터시트상에는 $I_{DQ}=225\text{mA}$ 를 기준으로 1.8 GHz에서 68 %의 드레인 효율을 얻으므로, 좀 더 높은 드레인 효율을 얻기 위해 $V_{DD}=28\text{V}$ 일 때 $I_{DQ}=200\text{mA}$ ($V_{GS}=-1.35\text{V}$)로 설정 했다.

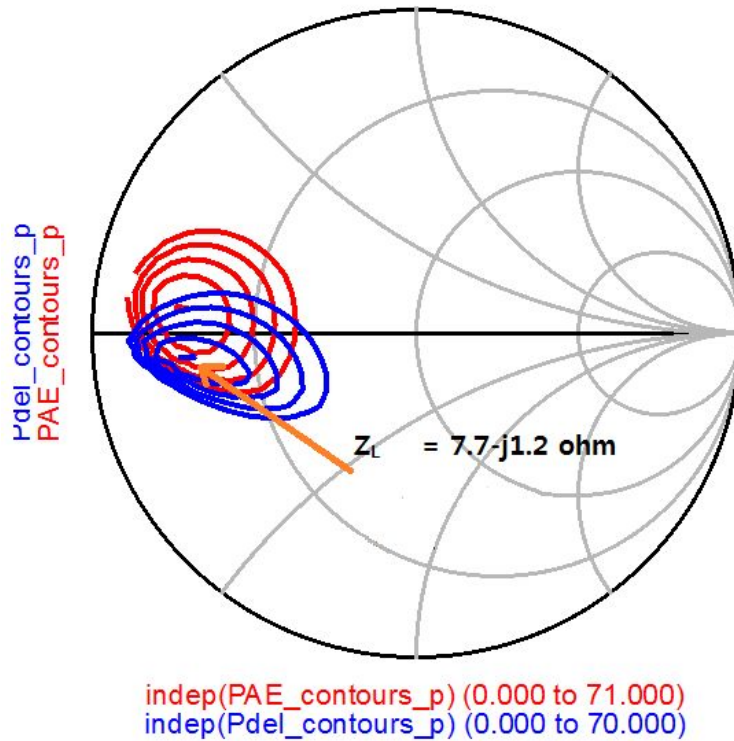


그림 4.2. 3-dB 이득 감소 지점기준 로드풀 결과(1.96 GHz).

Fig. 4.2. Simulated load-pull result at 3-dB gain compression point(1.96 GHz).

그림 4.2는 1.96 GHz에서 3-dB 이득 감소 지점을 기준으로 한 로드풀 시뮬레이션 결과이다. 파랑색 타원들은 전력 지점이며 붉은색 타원은 전력 부가효율 지점이다. 시뮬레이션 결과 최대 출력전력인 44.1 dBm을 얻기 위한 부하 임피던스는 지점은 $7.7 - j1.2 \Omega$ 이며 이때 전력 부가 효율은 60 % 이다.

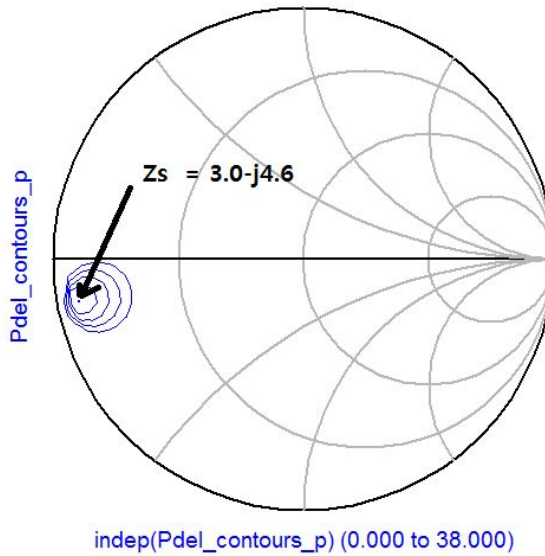


그림 4.3. 3-dB 이득 감소 지점기준 소스풀 결과(1.96 GHz).

Fig. 4.3. Simulated source-pull result at 3-dB gain compression point(1.96 GHz).

입력 임피던스도 소스풀 시뮬레이션을 이용해 얻었다. 부하 임피던스를 로드풀 결과인 $7.7-j1.2 \Omega$ 으로 고정한 후 시뮬레이션을 실행한 결과 $3.0-j4.6 \Omega$ 에서 최대 출력전력이 전달되는 것을 알 수 있다. 최종적으로 선택된 입출력 정합 임피던스는 아래 표 2와 같다.

표2. 1.96 GHz에서 최종 선택된 정합 지점.

Table 2. Final input and output matching point at 2.196 GHz

	Z_S	Z_L
1.96 GHz	$3.0-j4.6 \Omega$	$7.7-j1.2 \Omega$

4.2 입력, 출력단 정합회로 설계.

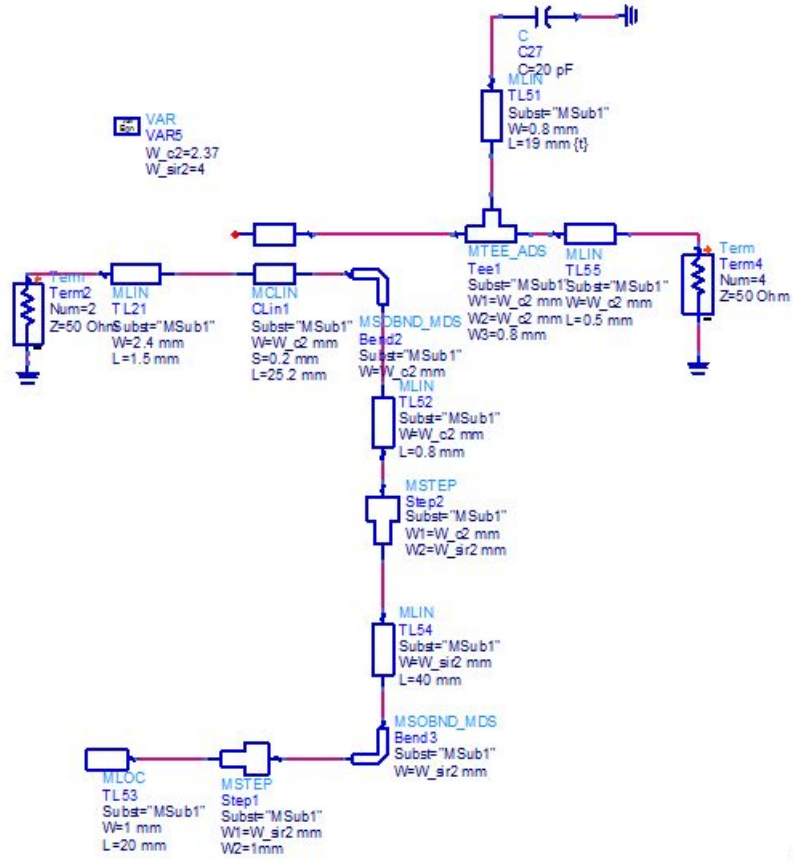


그림 4.4. ADS에서 설계된 입력단 정합회로.

Fig. 4.4. ADS simulation schematic of input matching network.

ADS에서 설계된 입력단 정합회로는 그림 4.4에 나타나 있다. 입출력 측에 커넥터와 증폭기 핀을 납땜하기 위한 전송선로를 연결했다. 하단의 반파장 개방 스텔브는 회로의 사이즈를 줄이기 위해 구부려서 설계했다.

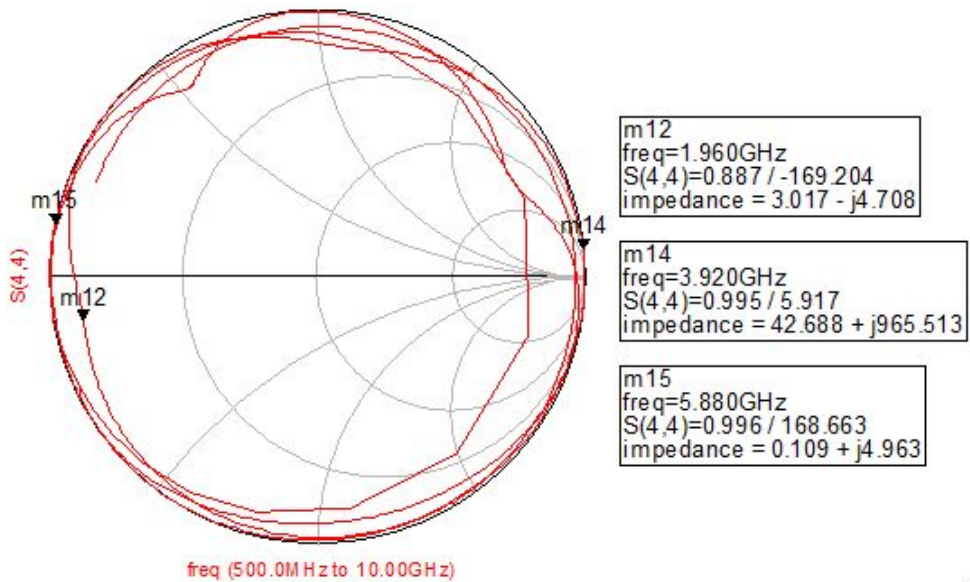


그림 4.5. 입력 정합회로 시뮬레이션 결과.

Fig. 4.5. Simulation result of input matching network.

시뮬레이션 결과 1.96 GHz에서 임피던스는 $3.017 - j4.708 \Omega$ 으로 목표로 임피던스에 잘 정합된 것을 알 수 있다. 2차와 3차 하모닉 성분 역시 설계 의도대로 개방과 단락지점에 위치하고 있다. 또한 제안하는 회로를 이용해 정합회로를 설계할 경우 통과 대역 이외의 대역은 억제 특성이 나타나 추가적인 안정도 개선을 위한 회로가 필요하지 않게 된다. 안정도와 관련된 값은 이후 전체 전력증폭기의 S파라미터 및 특성 부분에서 보이도록 하겠다.

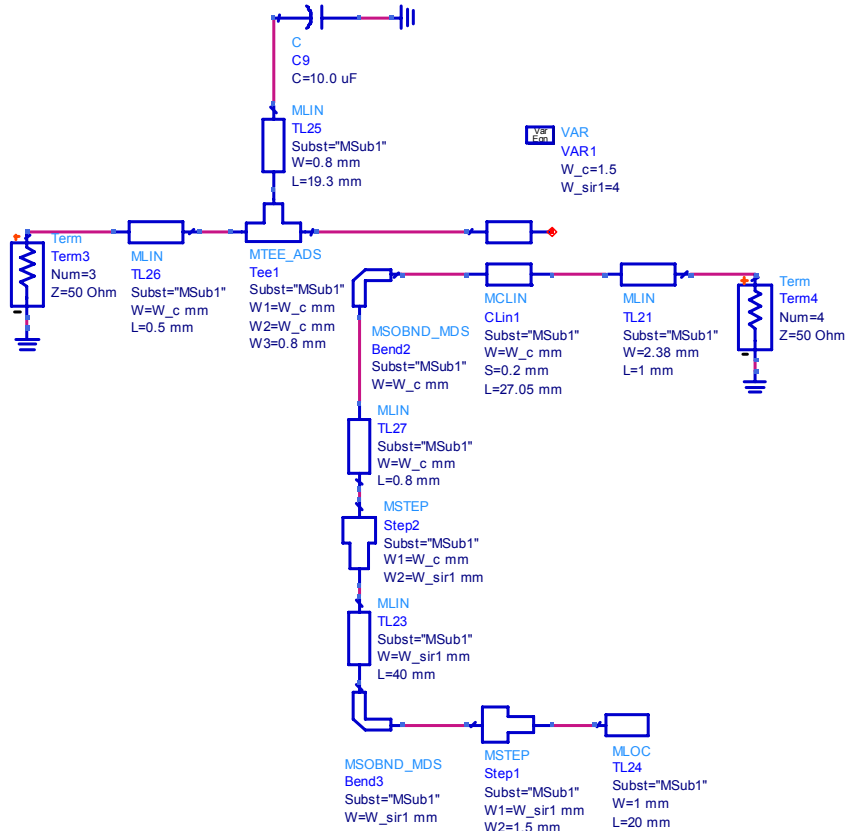
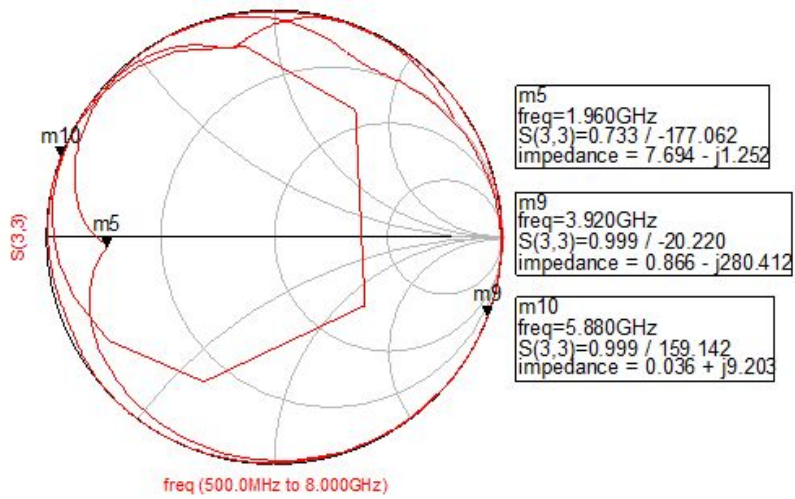


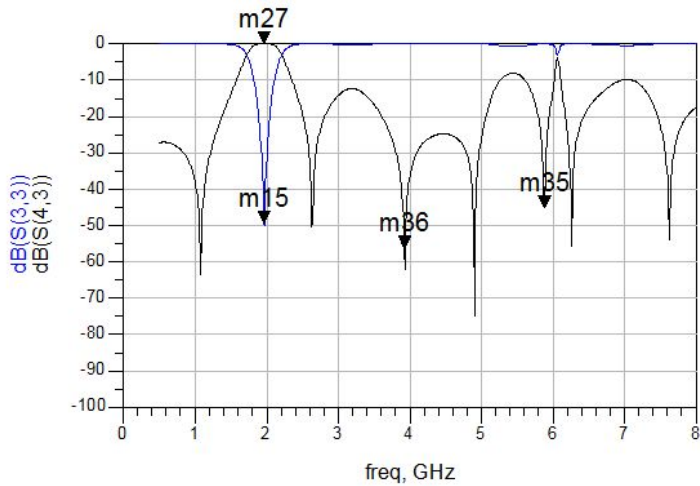
그림 4.6. ADS에서 설계된 출력단 정합회로.

Fig. 4.6. ADS simulation schematic of output matching network.

출력단 정합회로 역시 제안하는 구조를 사용하여 설계 되었다. 하단의 반파장 선로는 입력 정합회로와 마찬가지로 사이즈를 줄이기 위해서 구부려서 설계 했다.



(a)



(b)

그림 4.7. 출력 정합회로 시뮬레이션 결과.

(a) 정합 임피던스 지점 (b) S파라미터 특성

Fig. 4.7. Simulation result of output matching network.

(a) matching impedance point (b) S-parameters characteristic

출력단 정합회로의 시뮬레이션 결과는 그림 4.7에 나타나 있다. 50 Ω 임피던스를 기준으로 했을 때 1.96 GHz에선 $7.694-j1.252$ Ω으로 목표했던 정합지점과 거의 일치하는 것을 알 수 있다. 2차와 3차 하모닉의 경우 각각 개방과 단락 지점 근처에 위치하여 F^{-1} 급 전력증폭기의 하모닉 정합조건을 만족한다.

그림 4.7.(b)는 $7.7+j2.1$ Ω 임피던스를 기준으로 한 출력단 정합회로의 전달 및 반사 특성이다. 시뮬레이션 결과 대역통과 특성이 나타나며, 통과대역에서 반사손실이 30 dB 이상임을 알 수 있다. 2차와 3차 하모닉 주파수에서는 억압 특성이 40 dB 이상 나타나는 것을 볼 수 있다.

4.3 전력증폭기 시뮬레이션 특성.

본 절에서는 앞에서 설계된 입/출력 정합회로를 이용한 전력증폭기의 특성을 나타내었다. 전력증폭기의 S 파라미터 특성은 그림 4.8과 같이 나타나고 있다. 통과 대역 이외의 신호는 적어도 15dB 이상 억제되고 있음을 알 수 있다.

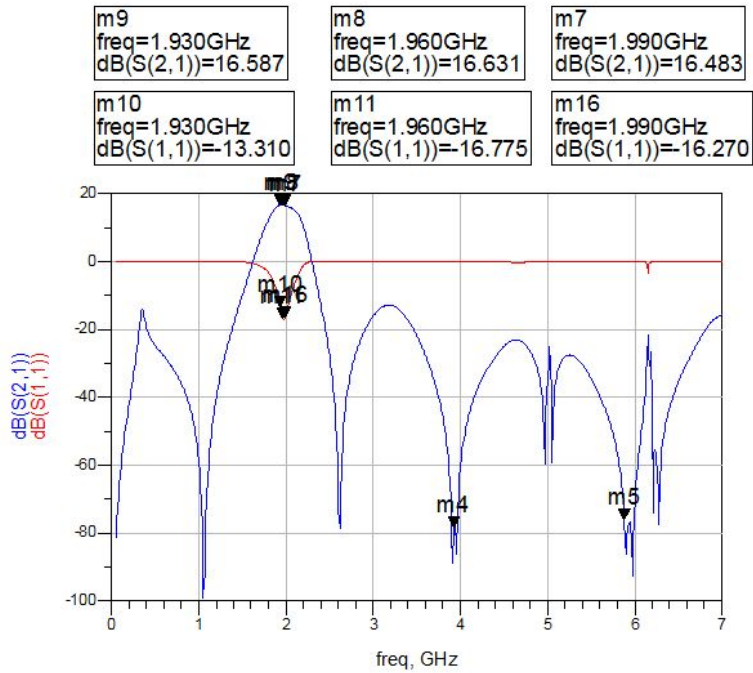


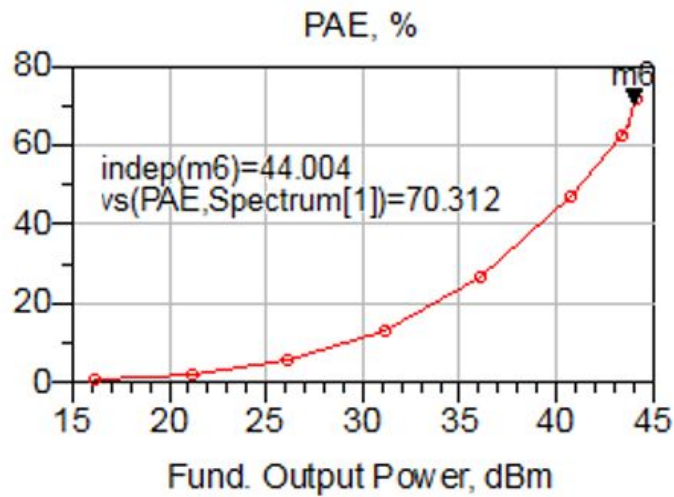
그림 4.8. 설계된 전력증폭기의 S파라미터 특성.

Fig. 4.8. S-parameter characteristic of designed power amplifier.

통과대역에서 전송특성은 16.56 ± 0.08 dB 이며 반사 특성은 15.04 ± 1.7 dB로 나타났다. 2차와 3차 하모닉 성분의 억압 특성은 각각 78 dB와 76 dB로 고효율 동작을 위한 하모닉 억제 특성이 충분히 나타나고 있다. 그림 4.6에서 전송 전송영점이 동일 지점에서 두개씩 보이는 이유는 입력 정합 회로와 출력 정합회로의 전송영점을 약간씩 오프셋 하여 설계했기 때문이다.



(a)



(b)

그림 4.9. 1.96 GHz에서 전력 증폭기 특성 (a) 출력전력에 따른 이득 (b) 출력 전력에 따른 전력 부가효율.

Fig. 4.9. PA characteristics at 1.96 GHz.

(a) Power gain (b) PAE

1.96 GHz에서 증폭기의 전력특성 및 전력부가 효율은 글미 1.9에 나타나 있다. 3-dB 이득 감소 지점을 기준으로 출력 파워는 44 dBm이 나오고 있다. 이때 전력 부가 효율은 70.31 % 이다.

지금까지 시뮬레이션 결과 제안하는 정합회로는 충분한 대역통과 특성과 하모닉 억제특성을 이용한 고효율 전력증폭기 설계에 적합하다. 따라서 위의 시뮬레이션 결과를 바탕으로 실제 회로 제작 및 측정결과를 다음절에서 보이도록 하겠다.

5. 전력증폭기 제작 및 측정결과.

5.1 기준 전력증폭기 설계.

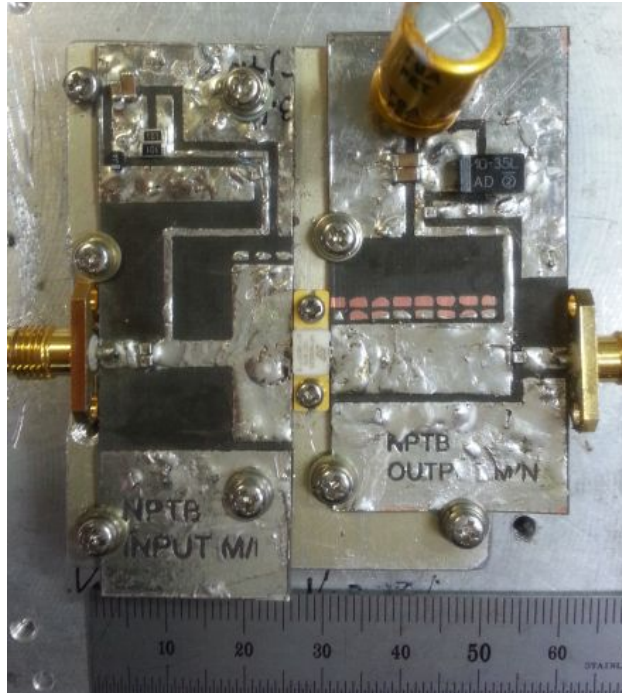
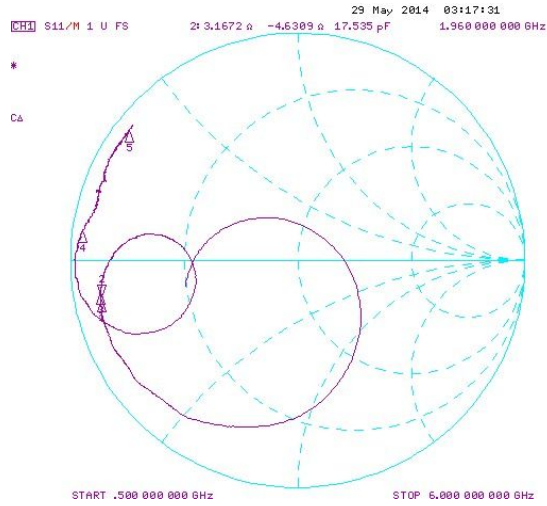


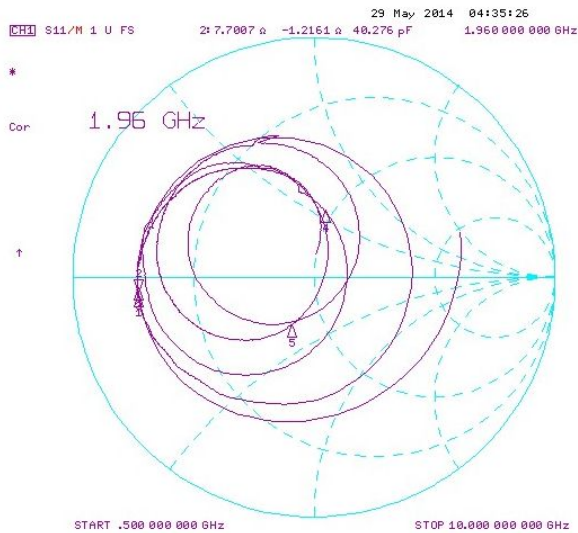
그림 5.1. 일반적 정합 회로를 이용한 기준 전력증폭기.

Fig. 5.1. Designed conventional reference PA.

제안하는 회로를 이용한 고효율 대역통과 전력증폭기의 설계에 앞서 비교 대상으로 사용할 전력증폭기를 설계 했다. 입출력 정합지점은 제안하는 회로의 정합 지점과 같으며, 일반적인 낮은 임피던스 정합을 위한 넓은 전송선로와 DC 차단 커패시터를 이용해 설계 했다. 설계된 기준 전력증폭기는 그림 5.1에 나타나 있다.



(a)



(b)

그림 5.2. 기준 전력증폭기의 정합회로 특성. (a)입력정합 지점 (b) 출력정합 지점

Fig. 5.2. Reference PA matching network characteristics.

(a) Input matching point (b) Output matching point

그림 5.2는 기준 전력증폭기 입출력 정합 회로의 정합 지점을 나타낸 것이다. 입력 정합 지점은 $3.167-j4.6$ Ω 으로 목표하는 정합지점과 거의 일치하고 있다. 출력 정합 지점 역시 $7.7-j1.22$ 로 시뮬레이션을 통한 정합 지점과 거의 일치 한다.

출력 전력 측정에 있어서 구동증폭기는 Motorola사의 MHL19338 PCS 대역 RF LDMOS증폭기를 사용했다. 구동증폭기는 1.9 GHz~2.0 GHz대역에서 P_{1dB} 를 기준으로 35 dBm의 출력 전력이 측정되었다. 전체 회로의 측정 구성은 다음 그림 5.3과 같다.

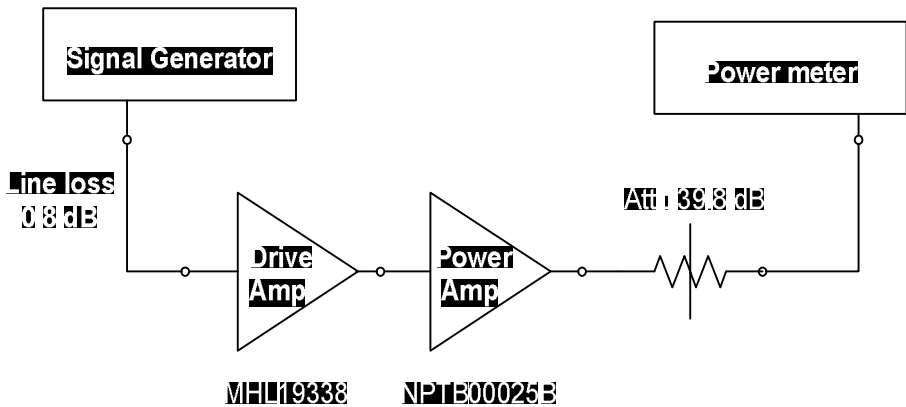


그림 5.3. 출력전력 측정을 위한 회로 구성도.

Fig. 5.3. Circuits set up for output power measurement.

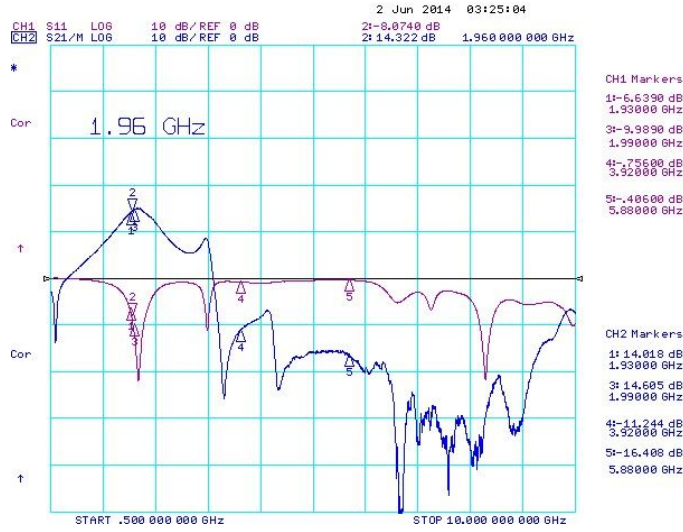


그림 5.4. 기준 전력증폭기의 S_{11} 및 S_{21} 특성.

Fig. 5.4. S_{21} and S_{11} characteristics of reference PA.

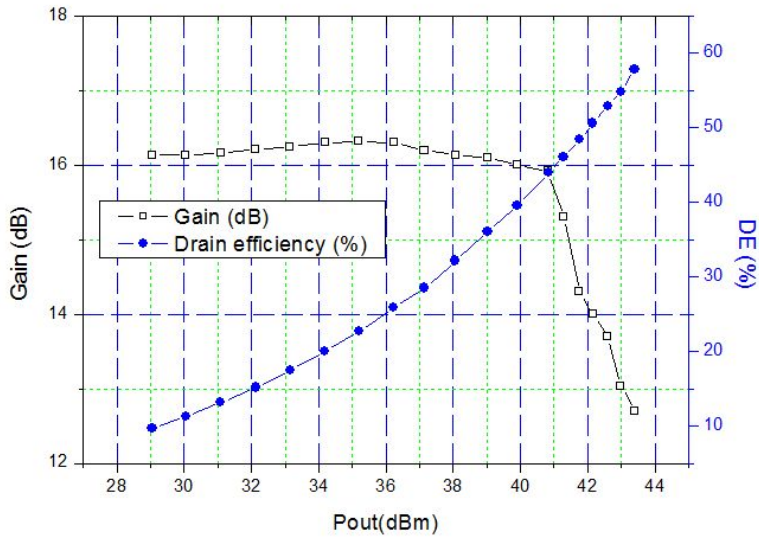


그림 5.5. 1.96 GHz 에서 기준 전력증폭기의 이득 및 드레인 효율.

Fig. 5.5. Power gain and drain efficiency of reference PA

그림 5.4는 기준 전력증폭기의 전달특성 및 반사손실을 측정 한 결과이다. 중심주파수인 1.96 GHz에서 소신호 이득은 14.3 dB 이며 반사손실은 8.07 dB로 측정 되었다. 또한 통과 대역 이외에 주변에서 이득을 갖고 있어 사용 대역 주변이나 이득이 있는 구간에서 신호가 들어오는 경우 증폭이 되어 효율 저하 및 출력 전력의 저하를 일으킬 수 있다. 또한 주변 잡음 전력이 증폭되어 증가하므로 대역통과 여파기의 예리한 스퀘트 특성을 필요로 하게 된다. 따라서 전체 시스템의 효율 및 출력전력 또한 저하된다. 하모닉 주파수인 마커4(3.92 GHz)와 마커 5(5.88 GHz)에서는 억제특성이 각각 11.2 dB와 16.4 dB로 불충분한 억제특성이 나타 났다. 출력전력 및 드레인 효율은 1.96 GHz에서 그림 5.5와 같이 측정 되었다. 3-dB이득 감소 지점을 기준으로 했을 때 출력 전력은 43.2 dBm 이며 이 때 드레인 효율은 58 %로 측정되었다.

5.2 하모닉 차단 대역통과 정합회로를 사용한 전력 증폭기.



그림 5.6. 하모닉 차단 대역통과 정합회로를 사용한 전력증폭기 회로 .

Fig. 5.6. PA with harmonic suppressed band-pass matching network .

그림 5.6은 제안하는 하모닉 차단 대역통과 정합회로를 입/출력단에 사용한 전력증폭기이다. 회로에 결합선로가 삽입되어 있어 DC적으로 증폭기와 입/출력 단자가 격리되어 있으므로 바이어스 선로의 바이패스 커패시터와 노이즈 커패시터를 제외하고는 추가적인 소자는 사용 하지 않았다.

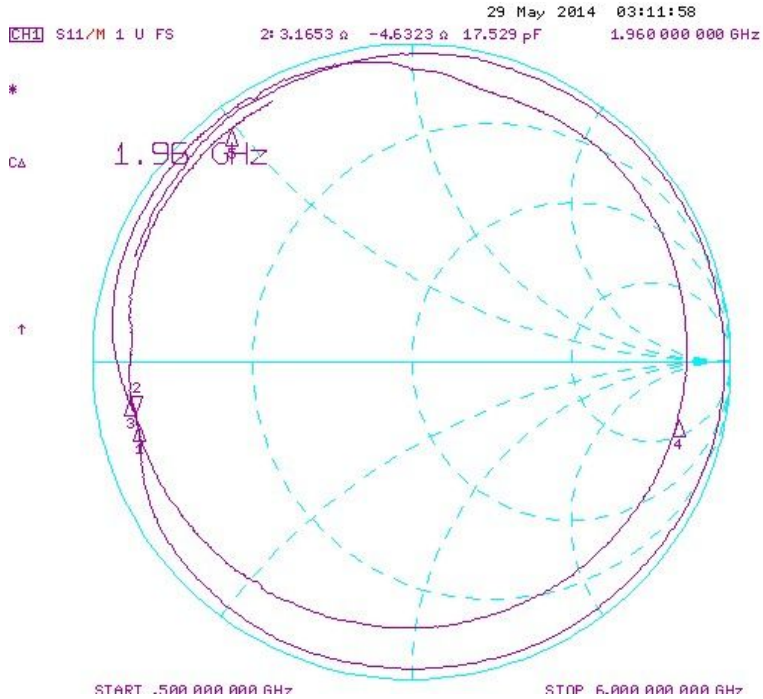
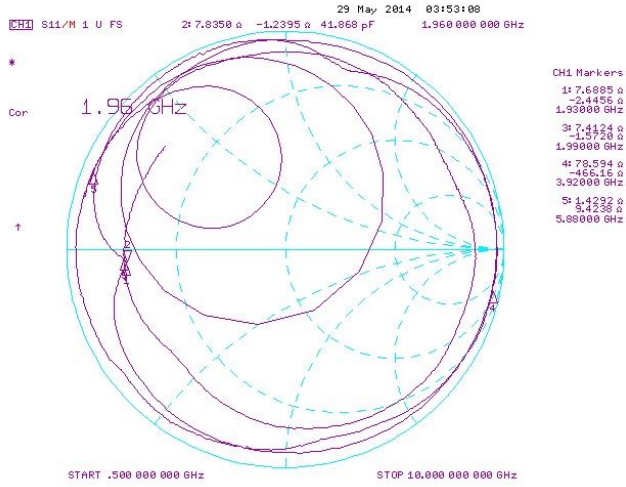


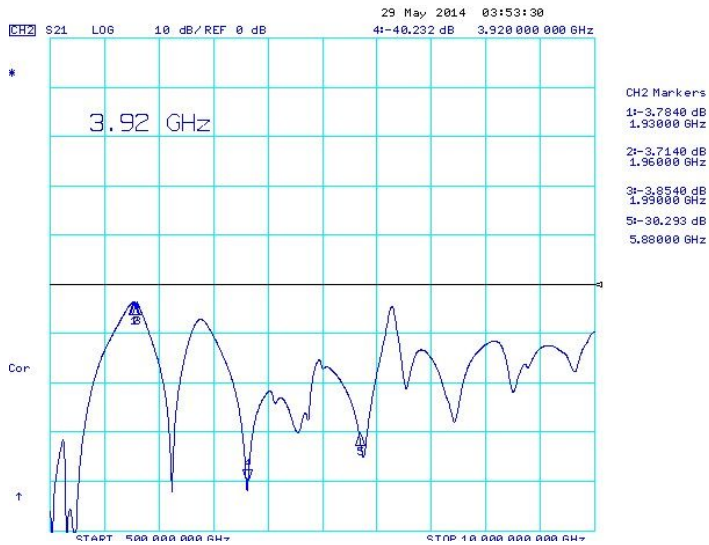
그림 5.7. 입력단 하모닉 차단 대역통과 정합회로의 측정결과.

Fig. 5.7. Matching point of input harmonic suppressed band-pass matching network .

그림 5.7은 입력단 하모닉 차단 대역통과 정합회로 측정 결과이다. 정합 지점은 1.96 GHz에서 $3.17 - j4.63 \Omega$ 으로 목표하는 정합지점에 위치하는 것을 알 수 있다. 입력단 정합 회로에서는 주로 안정도를 위한 병렬 저항과 커패시터를 직렬로 삽입하지만 제안하는 회로는 통과 대역 외에 억제특성이 나타나므로 추가적인 안정도를 위한 회로가 필요하지 않다.



(a)



(b)

그림 5.8. 출력단 하모닉 차단 대역통과 정합회로 측정결과.

(a) 정합 임피던스 지점 (b) S_{21} 파라미터 특성

Fig. 5.8. Simulation result of output matching network.

(a) matching impedance point (b) S_{21} characteristic

그림 5.8은 출력단 하모닉 차단 대역통과 정합회로의 측정 결과이다. 1.96 GHz에서 정합 지점은 $7.84-j1.24$ 로 목표한 정합지점과 거의 일치하는 것을 알 수 있다. 또한 2차 3차 하모닉 성분이 개방과 단락 위치 근처에 있어 F^{-1} 급 전력증폭기의 하모닉 정합 특성을 만족 했다. 그림 5.8 (b)에는 정합회로의 S_{21} 특성을 나타냈다. 2차와 3차 하모닉 주파수에서 각각 40.23 dB, 30.29 dB의 억제특성을 나타낸다. 따라서 고효율 전력증폭기 설계에 적합한 것을 알 수 있다.

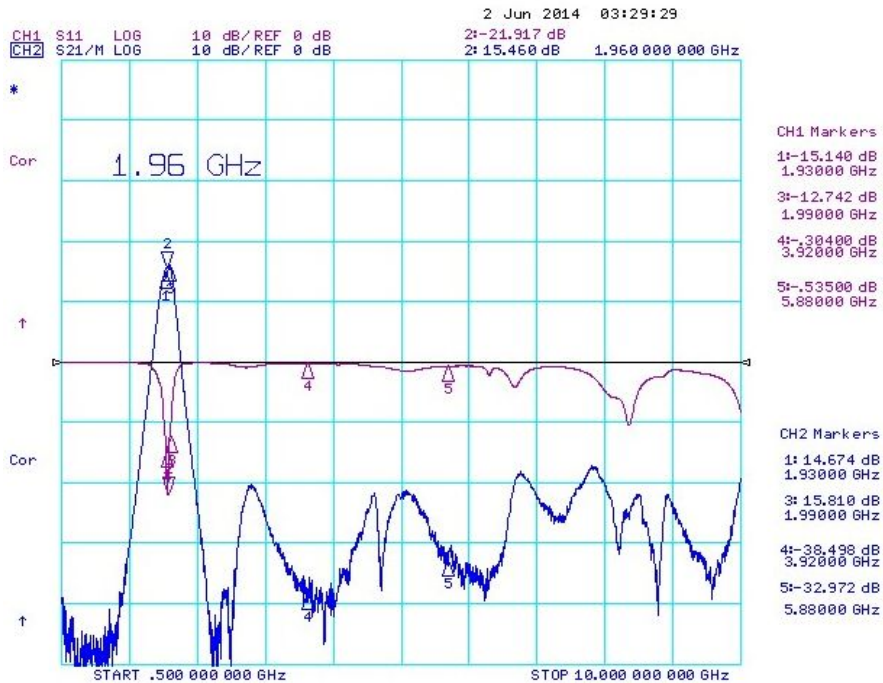


그림 5.9. 제안하는 전력증폭기의 S_{11} 및 S_{21} 특성.

Fig. 5.9. S_{21} and S_{11} characteristics of proposed PA

그림 5.9는 제안하는 정합 회로를 이용해 설계한 전력증폭기의 전달특성 및 반사손실 특성이다. 1.96 GHz에서 소신호 이득은 15.46 dB이고 반사손실은 21.92 dB로 나타났다. 각 2차와 3차 하모닉에서 억제 특성은 38.5 dB, 32.97 dB로 충분한 억제특성을 갖는다. 대역 억제 특성은 통과대역을 제외한 주변 전달 특성이 -20 dB 이상으로 나타났다. 통과대역의 이득과 비교하면 적어도 30 dB 이상 차이가 나는 것을 볼 수 있다. 따라서 전력증폭기 이후의 대역통과 여파기의 스킨트 특성이 상대적으로 부담이 줄어들어 통과대역의 삽입 손실이 줄어들어, 전체 시스템의 효율 및 출력전력이 증가할 것이다.

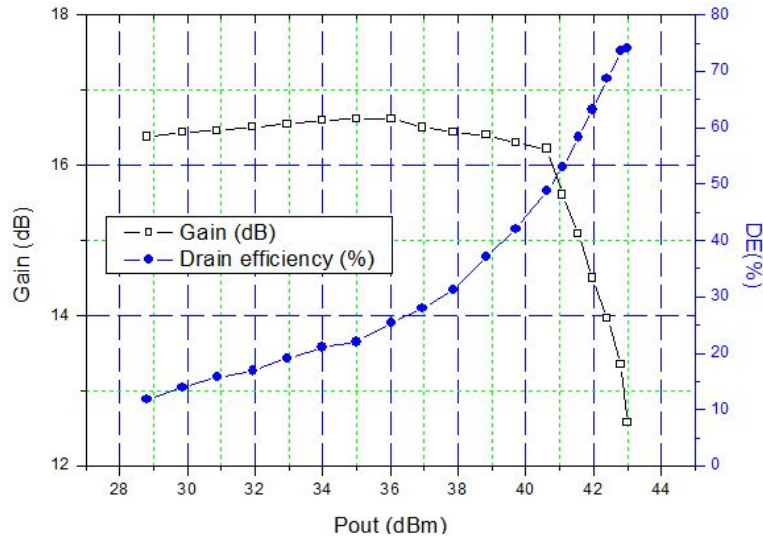


그림 5.10. 1.96 GHz 에서 제안하는 전력증폭기의 이득 및 드레인 효율.

Fig. 5.10. Power gain and drain efficiency of proposed PA.

1.96 GHz에서 제안하는 전력증폭기의 출력전력에 따른 전력이득 및 드레인 효율은 그림 5.10에 나타나 있다. 3-dB 이득 감소 지점을 기준으로 출력 전력은 43.0dBm 이며 이때 드레인 효율은 74 % 이다. 따라서 설계 목표인 중심주파수 1.96 GHz에서 43 dBm의 출력전력과 드레인 효율70 % 이상의 설계 조건을 만족함을 알 수 있다.

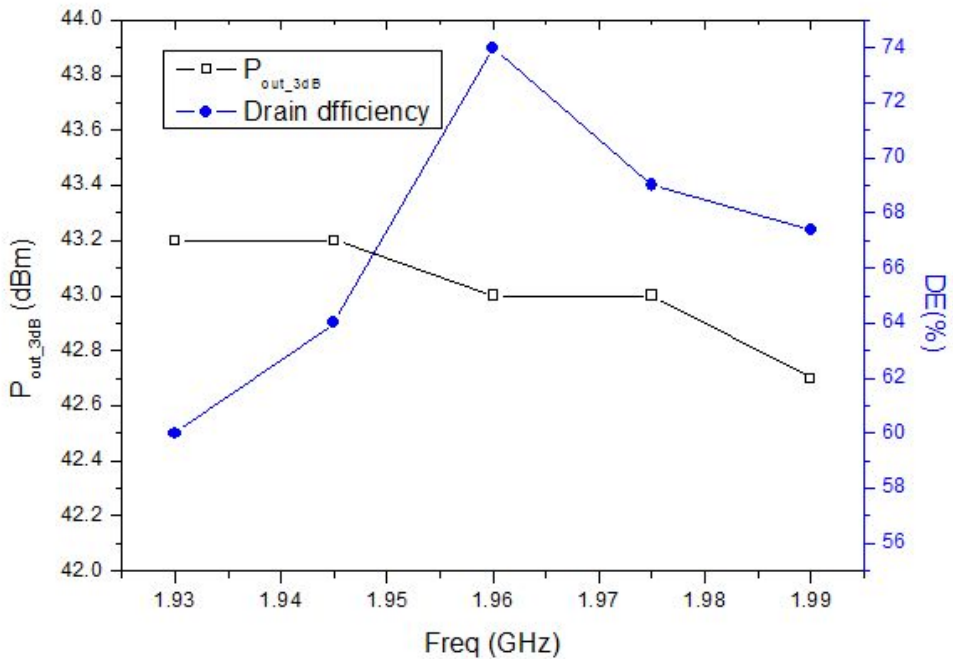


그림 5.11. 제안하는 전력증폭기의 3-dB이득 감소 지점에서 측정된 대역 출력 전력 및 드레인 효율.

Fig. 5.11. In band output power and drain efficiency of proposed PA at 3-dB gain compression point.

그림 5.11은 US PCS 하향대역인 1.93 GHz ~ 1.99 GHz 대역의 3-dB 이득 감소 지점을 기준으로 한 출력전력 및 드레인 효율이다. 전대역에서 출력 전력은 42.95 ± 0.25 dBm 이며 이때 각 주파수에서 드레인 효율은 67 ± 7 % 로 나타났다. 따라서 설계 목표인 전 대역에서 42.5 dBm, 드레인 효율 60 % 이상의 설계 목표를 만족했다.

5.3 설계된 두 전력증폭기 특성 비교.

본 절에서는 앞서 설계한 기존 정합회로를 사용한 기준 전력증폭기와 제안하는 정합회로를 사용한 전력증폭기의 특성을 비교할 것이다. 우선 회로의 전체 사이즈는 및 중심주파수에서 출력 전력과 드레인 효율은 아래 표 3에 나타나 있다.

표 3. 두 전력증폭기의 특성 비교

Table 3. comparison of two PA

	회로 사이즈 (mm ²)	출력 전력 (dBm)	드레인 효율 (%)
기준 전력증폭기	60×47	43.2	58
제안하는 전력증폭기	67×72	43.0	74

먼저 회로의 사이즈 부분에서는 제안하는 전력증폭기의 경우 하단에 반파장 길이의 개방 스텐브가 연결되어 세로길이가 기존 회로보다 25 mm 더 크게 나타났다. 이는 반파장 선로를 여러 번 구부려서 설계하면 충분히 줄일 수 있으므로 사이즈에서는 크게 차이가 나지 않을 것이다.

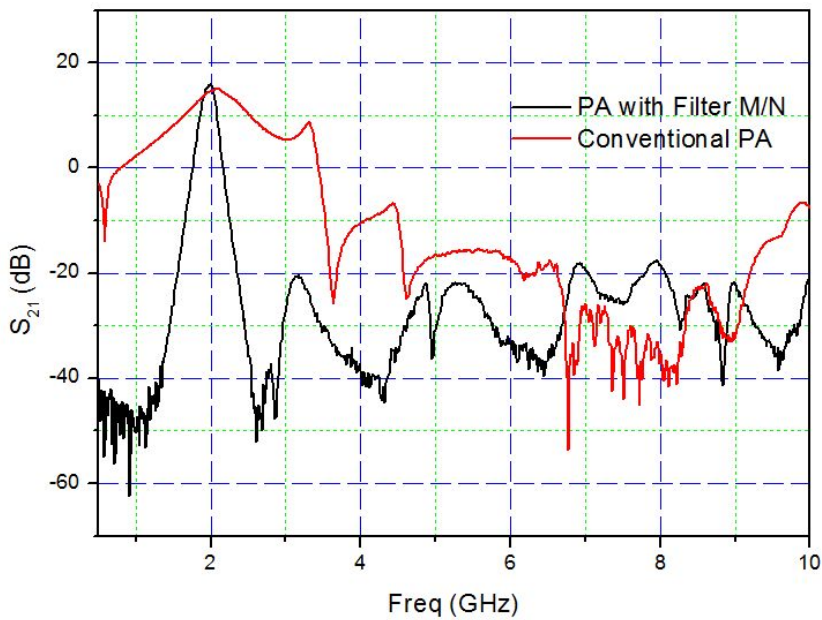


그림 5.12. 설계된 두 전력증폭기의 전달특성(S_{21})비교.

Fig. 5.12. Transfer characteristic(S_{21})comparison of two power amplifier.

출력 전력은 기존 전력증폭기가 0.2 dB 더 높게 나타나지만 대역 통과 특성이 나타나지 않아 대역통과 여파기의 삽입손실이 상대적으로 증가하므로 줄어들 것이다. 반면 제안하는 전

력 증폭기는 대역통과 특성이 나타나며 드레인 효율이 74 % 로 기준 전력증폭기에 비해 드레인 효율이 16 % 높은 것을 볼 수 있다. 또한 대역통과 특성으로 인해 대역통과 여파기의 스킨트 특성이 상대적으로 부담이 줄어들고 이에 따라 삽입손실이 줄어들어 기존의 전력 증폭기를 사용한 경우보다 전체 시스템적인 측면에서는 효율 및 출력 전력이 개선될 것이다. 두 회로의 전달특성(S_{21})을 비교하기 위해 이를 동시에 그림 5.12에 나타냈다.

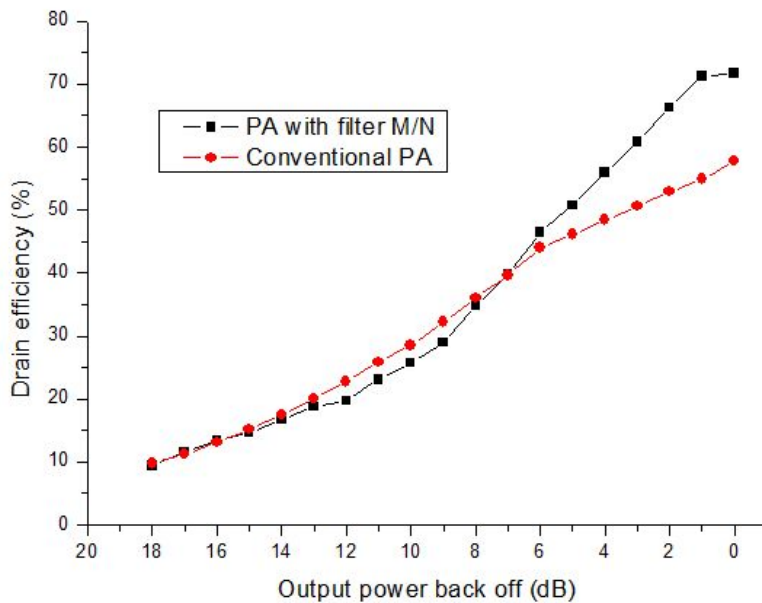


그림 5.13. 출력전력 back off 지점에서 드레인 효율 비교.

Fig. 5.13. Drain efficiency comparison at output power back off point

그림 5.13은 출력전력 back off 지점에서 두 전력증폭기의 드레인 효율을 비교한 그래프 이다. 약 7dB back off 지점 이전에서는 제안하는 전력증폭기의 효율이 높게 나타나다 이후에는 기존의 전력 증폭기의 효율이 2~4 % 높게 나타나고 있다.

6. 결론.

본 연구에서는 하모닉 차단 대역통과 정합회로를 사용한 고효율 전력증폭기 설계에 관해 분석 및 측정 시뮬레이션과 측정결과를 제시 했다. RF 통신 시스템에서 일반적인 전력증폭기는 대역통과 특성을 갖지 않아 대역통과 여파기 에서 대역외 신호들을 차단해 주어야 한다. 이때 통신 규정의 차단 레벨을 얻기 위해 예리한 스퀘트 특성을 구현 하는 경우 삽입 손실이 증가해 전체 시스템의 출력전력 및 효율이 감소 된다. 따라서 고효율 특성을 얻기 위한 하모닉 차단 특성과 대역통과 특성을 동시에 구현한 정합회로를 설계 했다. 제안하는 구조를 이용해 입/출력 정합회로를 구성한 회로는 US PCS 하향 대역인 1.93 GHz~1.99 GHz 대역에서 설계 되었으며, 설계 목표인 대역에서 출력전력 42.5 dBm 이상, 드레인 효율 60 % 이상의 설계 목표를 달성 했다. 특히 중심주파수인 1.96 GHz 에서는 출력 전력 43 dBm, 드레인효율 74 %로 높은 효율을 얻었다. 또한 대역통과 특성이 나타나 통과 대역 이외에서는 역압 특성이 20 dB 이상으로 나타났다. 따라서 제안하는 회로를 이용한 전력증폭기를 RF 송신 시스템에 사용할 경우 전체 시스템의 효율 및 출력전력이 증가할 것이다.

REFERENCES

- [1] Youn Sub Noh, Chul Soon Park, "PCS/W-CDMA Dual-Band MMIC Power Amplifier with a Newly Proposed Linearizing Bias Circuit," *IEEE Journal of Solid-State Circuits*, vol. 37, no. 9, pp. 1096-1099, September 2002.
- [2] Kunihiro, K.; Yamanouchi, S.; Miyazaki, T.; Aoki, Y.; Ikuina, K.; Ohtsuka, T.; Hida, H., "A Diplexer-matching Dual-band Power Amplifier LTCC Module for IEEE 802.11a/b/g Wireless LANs," *IEEE Radio Frequency Integrated Circuits Symposium Digest*, pp.303-306, June 2004.
- [3] Adar, A.; DeMoura, J.; Balshem, H.; Lott, J. "A High Efficiency Single Chain GaAs MESFET MMIC Dual Band Power Amplifier for GSM/DCS Handsets," *IEEE Gallium Arsenide Integrated Circuit (GaAs IC) Symposium Digest*, pp. 69-72, November 1998.
- [4] David Schmelzer and Stephen I. Long, "A GaN HEMT Class-F Amplifier at 2 GHz With > 80 % PAE," *IEEE Journal of Solid-State Circuits*, vol. 42, no. 10, pp 2130-2136, October 2007.

- [5] Yongchae J., Girdhari Chaudhary, J.Lim, "A Dual Band High Efficiency Class-F GaN Power Amplifier Using a Novel Harmonic-Rejection Load Network"
- [6] S. C. Cripps, *Advanced Techniques in RF Power Amplifiers Design*, Norwood, MA, Artech House, 2002.
- [7] Heungjae Choi, Sungun Shim, Yongchae Jeong , Jongsik Lim and Chul Dong Kim, "A Compact DGS Load-Network for Highly Efficient Class-E Power Amplifier",
- [8] Fredric H Raab, Peter Asbeck, Steve Cripps, Peter B. Kennington, Zoya B. Popovic, Nick Pothecary, John F. Sevic, and Nathan O. Sokal, "Power Amplifiers and Transmitter for RF and Microwave," *IEEE Trans. Microw. Theory Tech.* vol. 50, no. 3, pp. 814-826, March 2002.
- [9] N. O. Sokal and A. D. Sokal, "Class E - A New Class of High-Efficiency Tuned Single-Ended Switching Power Amplifiers," *IEEE Journal of Solid-State Circuits*, vol. SC-10, no. 3, pp. 168-176, June 1975.
- [10] F. H. Raab, "Idealized Operation of the Class E Tuned Power Amplifier," *IEEE Trans. Circuits and*

Systems, vol. CAS-24, no. 12, pp. 725-735, December 1977.

[11] A. J. Wilkinson, J. A. Everard, "Transmission-Line Load-Network Topology for Class-E Power Amplifiers," *IEEE Trans. Microw. Theory Tech*, vol. 49, no. 6, pp. 1202-1210, June 2001.

[12] Y. S. Lee and Y. H. Jeong, "A High-Efficiency Class-E GaN HEMT Power Amplifier for WCDMA Applications," *IEEE Microw. Wireless Compon. Lett.*, vol. 17, no. 8, pp. 622-625, August 2007.

[13] Yong-chae Jeong, Si-Gyun Jeong, Jong-Sik Lim, and Sangwook Nam, "A New Method to Suppress Harmonics Using $\lambda/4$ Bias Line Combined by Defected Ground Structure in Power Amplifiers," *IEEE Microw. Wireless Compon. Lett.*, vol. 13, no. 12, pp. 538-540, December 2003.

[14] J. S. Lim, Y. C. Jeong, D. Ahn, and S. Nam, "Improvement in performance of power amplifiers by defected ground structure," *IEICE Trans. Electron.*, vol. E87-C, no. 1, pp. 52-59, January 2004.

[15] Jia Shi, Taijun Liu, Shuai Ge and Gaoming Xu,

- “Dual-Band Power Amplifier using Composite Right/Left-Handed Transmission Line,” Wireless Communications Networking and Mobile Computing International Conference Proceedings, pp. 1-4, June 2010.*
- [16] Koji Uchida, Yoichiro Takayama, Takayuki Fujita and Kazusuke Maenaka, *“Dual-Band GaAs FET Power Amplifier with Two-Frequency Matching Circuits,” Aisa-Pacific Microwave Conference Proceedings, 2009.*
- [17] Seung Hun Ji, Choon Sik Cho, Jae W. Lee and Jaeheung Kim, *“Concurrent Dual-Band Class-E Power Amplifier using Composite Right/Left-Handed Transmission Line,” IEEE Transactions on Microwave Theory and Techniques, vol. 55, no. 6, pp. 1341-1347, June 2007.*
- [18] Sung Min Kang, Jae Hong Choi, Sang Wook Nam and Kyung Heon Koo, *“A Novel 5GHz and 2.4GHz Dual Band Transmitter using Microstrip Defected Ground Structure,” IEEE International Microwave Symposium Digest, pp. 2259-2262, 2005.*

- [19] Paolo Colantonio, Franco Giannini, Rocco Giofre and Luca Piazzon, "A Design Technique for Concurrent Dual-band Harmonic Tuned Power Amplifier," *IEEE Transactions on Microwave Theory and Techniques*, vol. 56, no. 11, pp. 2545-2555, November 2008.
- [20] Kenta Kuroda, Ryo Ishikawa and Kazuhiko Honjo, "High-Efficiency GaN-HEMT Class-F Amplifier Operating at 5.7GHz," *European Microwave Conference Proceedings*, pp. 440-443, 2008.

초 록.

오늘날 급속도로 발전하는 무선통신 시스템에서는 한정된 주파수 자원을 효율적으로 사용해야 한다. 따라서 용도 및 사업자에 따른 주파수 분배와 활용이 필수적이다. RF 통신 시스템에서 일반적인 전력증폭기는 대역통과 특성을 갖지 않아 대역통과 여파기에서 할당대역 외 신호들을 차단해 주어야 한다. 이때 통신 규정의 차단 레벨을 얻기 위해 예리한 스킨트 특성을 구현 하는 경우 삽입 손실이 증가해 전체 시스템의 출력전력 및 효율이 감소된다.

따라서 본 연구에서는 고효율 특성을 얻기 위한 하모닉 차단 특성과 대역통과 특성을 동시에 구현한 정합회로를 설계 했다. 제안하는 구조를 이용해 입/출력 정합회로를 구성한 전력증폭기는 US PCS 하향 대역인 1.93 GHz~1.99 GHz에서 설계 되었다. 설계된 전력증폭기는 사용대역에서 42.95 ± 0.25 dBm 출력전력과 67 ± 7 % 드레인 효율을 얻었다. 또한 대역통과 특성이 나타나 통과 대역 이외에서는 억압 특성이 20 dB 이상으로 나타났다. 따라서 제안하는 회로를 이용한 전력증폭기를 RF 송신 시스템에 사용할 경우 전체 시스템의 효율 및 출력전력이 증가할 것이다.

주요어: 고효율 전력증폭기, 대역통과여파기, RF 통신 송신단, 정합회로.