



저작자표시-비영리-변경금지 2.0 대한민국

이용자는 아래의 조건을 따르는 경우에 한하여 자유롭게

- 이 저작물을 복제, 배포, 전송, 전시, 공연 및 방송할 수 있습니다.

다음과 같은 조건을 따라야 합니다:



저작자표시. 귀하는 원저작자를 표시하여야 합니다.



비영리. 귀하는 이 저작물을 영리 목적으로 이용할 수 없습니다.



변경금지. 귀하는 이 저작물을 개작, 변형 또는 가공할 수 없습니다.

- 귀하는, 이 저작물의 재이용이나 배포의 경우, 이 저작물에 적용된 이용허락조건을 명확하게 나타내어야 합니다.
- 저작권자로부터 별도의 허가를 받으면 이러한 조건들은 적용되지 않습니다.

저작권법에 따른 이용자의 권리는 위의 내용에 의하여 영향을 받지 않습니다.

이것은 [이용허락규약\(Legal Code\)](#)을 이해하기 쉽게 요약한 것입니다.

[Disclaimer](#)

석사 학위논문

RF 에너지 수확용 정류기 및
DC-DC 변환기 최적화 연구

2016년 2월 22일

전북대학교 대학원

전자정보공학부

박준식

RF 에너지 수확용 정류기 및 DC-DC 변환기 최적화 연구

A Study of Optimization of Rectifier and DC-DC
Converter for RF Energy Harvesting.

2016년 2월 22일

전 북 대 학 교 대 학 원

전 자 정 보 공 학 부

박 준 식

RF 에너지 수확용 정류기 및 DC-DC 변환기 최적화 연구

지도교수 정 용 채

이 논문을 공학 석사 학위논문으로 제출함.

2015년 11월 9일

전 북 대 학 교 대 학 원

전 자 정 보 공 학 부

박 준 식

박준식의 석사학위논문을 인준함.

위원장 전북대학교 교수 최우영 (인)

위원 전북대학교 교수 임동구 (인)

위원 전북대학교 교수 정용채 (인)

2015년 12월 18일

전북대학교대학원

목 차

ABSTRACT

| | |
|--------------------------------------|----|
| 1. 서론 | 1 |
| 2. RF 에너지 수확 시스템 | |
| 2.1 정류 회로 | 7 |
| 2.2 Villard 전압 체배기 | 8 |
| 2.3 쇼트키 배리어 다이오드 | 13 |
| 2.4 DC-DC 변환기 | 16 |
| 3. 정류 회로 설계 및 최적화 | |
| 3.1 정류 회로 구조 설계 | 26 |
| 3.2 정류 회로 단 수에 따른 특성 | 30 |
| 3.3 이중 대역 정류 회로 설계 | 34 |
| 3.4 RF-DC 및 DC-DC 변환기 간 저항 최적화 | 39 |
| 4. 이중 대역 이중 안테나 정류 회로 | |
| 4.1 이중 대역 이중 안테나 정류 회로 소개 | 41 |
| 4.2 제안된 정류 회로 설계 | 42 |
| 4.3 제작 및 측정 | 54 |
| 5. 결론 | 67 |
| 6. 참고문헌 | 68 |

그림 목록

| | |
|---|----|
| 그림 1.1. 주파수 별 RF 신호의 전력 밀도 스펙트럼 | 2 |
| 그림 1.2. 일반적인 RF 에너지 수확 시스템의 블록도 | 3 |
| 그림 2.1. 다양한 정류 회로 구조 | 7 |
| 그림 2.2. 2단 Villard 전압 체배기 | 12 |
| 그림 2.3. 대칭 및 병렬 구조의 Villard 전압 체배기 | 12 |
| 그림 2.4. HSMS-2852의 패키지 구조 | 14 |
| 그림 2.5. HSMS-2852의 선형 등가 회로 모델 | 14 |
| 그림 2.6. BQ25504의 핀 정보 | 17 |
| 그림 2.7. BQ25504의 동작 블록도 | 17 |
| 그림 2.8. BQ25504의 기본 회로 구성 | 18 |
| 그림 2.9. 권장 동작 설정 | 19 |
| 그림 2.10. BQ25504의 충전 동작 과정 | 20 |
| 그림 2.11. BQ25504 동작에 관한 V_{STOR} 및 V_{BAT} 측정 파형..... | 21 |
| 그림 2.12. MPPT 동작에 따른 입력 파형의 레귤레이션 | 22 |
| 그림 2.13. 콜드 스타트 - 승압 동작 파형 | 23 |
| 그림 2.14. BQ25504의 효율 측정 설정 | 24 |
| 그림 2.15. BQ25504의 데이터시트 효율 및 측정 결과 비교 | 25 |
| 그림 3.1. 다양한 구조의 정류 회로에 대한 ADS 시뮬레이션 | 27 |
| 그림 3.2. ADS 시뮬레이션 결과 비교 | 28 |
| 그림 3.3. 1단 ~ 3단 Villard 전압 체배기 | 31 |
| 그림 3.4. ADS 시뮬레이션 결과 | 32 |
| 그림 3.5. 단일 및 이중 대역 주파수의 연속 신호 파형 | 35 |
| 그림 3.6. 단일 주파수 및 이중 대역에 정합된 정류 회로 | 36 |
| 그림 3.7. 반사 특성 | 37 |
| 그림 3.8. 정류 회로의 출력 전압 비교 | 37 |
| 그림 3.9. 정류 회로의 변환 효율 비교 | 38 |

| | |
|--|----|
| 그림 3.10. 정류 회로의 부하 저항에 따른 정류 회로 및 DC-DC 변환기의 변환 효율..... | 40 |
| 그림 4.1. 제안하는 이중 대역 이중 안테나 구조의 정류 회로 | 42 |
| 그림 4.2. ADS 시뮬레이션 | 43 |
| 그림 4.3. 입력 임피던스 측정을 위한 기본 회로 | 45 |
| 그림 4.4. 기본 회로의 입력 임피던스 | 45 |
| 그림 4.5. 주 정류 회로의 정합 회로 | 46 |
| 그림 4.6. 정합 회로의 ADS 시뮬레이션 결과 | 47 |
| 그림 4.7. 설계된 정합 회로의 레이아웃 | 48 |
| 그림 4.8. 정합 회로의 EM 시뮬레이션 결과 | 49 |
| 그림 4.9. 보조 정류 회로의 정합 회로 | 50 |
| 그림 4.10. 정합 회로의 ADS 시뮬레이션 결과 | 51 |
| 그림 4.11. 설계된 정합 회로의 레이아웃 | 52 |
| 그림 4.12. 정합 회로의 EM 시뮬레이션 결과 | 53 |
| 그림 4.13. 일반적인 이중 대역 정류기와 제안된 이중 대역 이중 안테나 정류기 | 55 |
| 그림 4.14. 일반적인 이중 대역 정류기 측정 결과 | 56 |
| 그림 4.15. 제안된 이중 대역 이중 안테나 정류기 측정 결과 | 57 |
| 그림 4.16. 비교 회로 및 제안 회로의 실험 설정도 | 58 |
| 그림 4.17. 제안된 이중 대역 이중 안테나 정류기의 측정 사진 | 59 |
| 그림 4.18. 이중 대역 정류기 및 제안 회로 측정 결과 | 60 |
| 그림 4.19. 연동 실험 설정도 | 61 |
| 그림 4.20. 연동 실험 사진 | 62 |
| 그림 4.21. BQ25504의 V_{STOR} 전압 측정 결과 | 63 |
| 그림 4.22. 전체 시스템 효율 | 65 |

ABSTRACT.

A Study of Optimization of Rectifier and DC-DC Converter for RF Energy Harvesting.

Junsik Park

Department of Electronics and Information Engineering
Chonbuk National University

With the rapid development of wireless communication technology such as ubiquitous sensor networks and RFID system, the RF energy harvesting technology to reproduce the ambient RF signal has been researched as one of the eco-friendly energy utilization technologies. RF energy harvesting system that harvesting the RF signal power to reproduce the available DC power can improve the power efficiency of the electronic device since it can be applied to major components.

In this research, an optimization of the rectifier and DC-DC converter has been presented for a RF energy harvesting system. A novel dual-band dual antenna rectifier has been designed by optimizing a variable conditions such as structure of rectifier, number of stage, and value of load resistor. Also, DC-DC converter is used to boost the output voltage of rectifier and varifying the performance of the proposed rectifier. From the measurement results, the proposed rectifier structure has a higher output voltage and conversion efficiency compare to the conventional circuit. And it is able to increase the sensitivity of overall system.

Keywords : RF energy harvesting system, DC-DC converter,
dual-band matching network.

1. 서 론.

에너지 수확(energy harvesting)은 자연에 존재하는 태양광, 열, 진동, 바람, 위치에너지, 전(자기)파 등으로부터 전기적 에너지를 획득하는 기술로써 안전성, 지속가능성, 보안성을 유지할 수 있고 탄소저감 및 환경공해를 줄일 수 있기 때문에 친환경(eco-friendly) 에너지 생산 기술로 불리며 관련 분야에서 많은 연구 개발이 이루어지고 있다. 최근 빅데이터(big data)를 이용한 사물인터넷(IoT) 기술 관련 사업이 급 성장함에 따라 센서 네트워크를 구성하는 각종 MCU(micro controller unit)와 센서, RFID(radio frequency identification) 태그들의 전력 공급 문제를 해결하기 위해 앞서 언급된 에너지 수확 시스템을 이용한 전원 공급 기술이 활발히 연구되고 있으며, 그 중 외부 환경에 대한 영향이 적은 RF 에너지 수확 기술이 무선 단말기의 보급 및 통신 시스템의 발전과 함께 새로운 에너지원으로 각광받기 시작했다.

RF 에너지 수확 시스템이란 대기 중에 방사된 불요 전파를 활용하여 에너지를 재생산하는 기술로써 전자 기기가 위치한 공간 주변의 전파들을 이용하기 때문에 기후나 일조와 같은 외부 환경 변화에 영향이 적어 지속적인 운영이 필요한 센서 네트워크의 전력 공급에 적합한 에너지 수확 기술이다.

그림 1.1은 2013년 런던의 도심 내 지하철 역을 중심으로 측정된 주파수 별 RF 신호의 전력 밀도 스펙트럼이다.^[1] 측정 결과 880 MHz와 1.8 GHz의 무선 통화 서비스의 단위 면적당 전력 밀도가 약 $-35 \sim -32.5$ dBm/cm²로 가장 높았으며, 그

다음으로 3G, Wi-Fi, 디지털 TV가 주를 이루고 있다.

이와 같은 결과를 바탕으로 이전의 RF 에너지 수확 시스템에 관한 연구들은 상대적으로 단위 면적당 전력 밀도가 높으며, 삽입 손실이 적은 880 MHz의 동작 주파수를 위주로 설계되었으며, 최근에는 정류 회로의 효율성 개선 및 민감도 향상을 목적으로 점차 다중 대역에서 동작하는 RF 에너지 수확 시스템에 관한 연구가 활발히 진행 중에 있다. 더불어 최근 도심내에 활발하게 보급된 광대역 Wi-Fi 및 점점 증가 추세를 보이는 사물인터넷 기술 관련 저전력 무선 통신 시스템의 연구 개발로 인해 2.4 GHz 대역의 전력 밀도가 점차 높아질 것으로 예상된다.

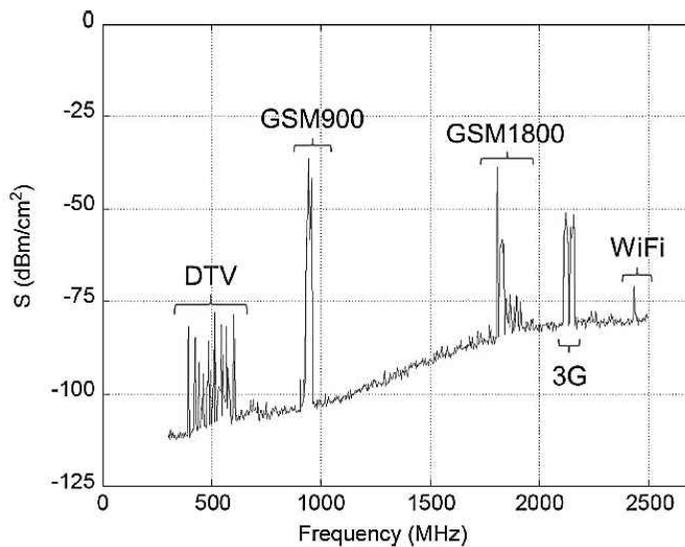


그림 1.1. 주파수 별 RF 신호의 전력 밀도 스펙트럼.

Fig. 1.1. Power density spectrum of RF signal according to the frequency.

그림 1.2는 일반적인 RF 에너지 수확 시스템의 블록도이다. 안테나를 통해 인입되는 RF 신호는 정합 회로를 거쳐 RF-DC 정류 회로에 인가된다. 이때 정합 회로는 인입된 RF 신호의 주파수에서 안테나와 RF-DC 정류 회로 간의 임피던스 정합을 하여 RF 신호가 작은 반사 손실을 가지며 RF-DC 정류 회로에 인가되게 한다. RF-DC 정류 회로를 거치며 RF 신호는 DC 전압으로 변환되고, 정류 회로에서 출력된 DC 전압은 DC-DC 변환기를 통해 충전 회로 및 적용 기기에 사용 가능한 DC 전압으로 변환되어 일정한 값으로 유지된다.

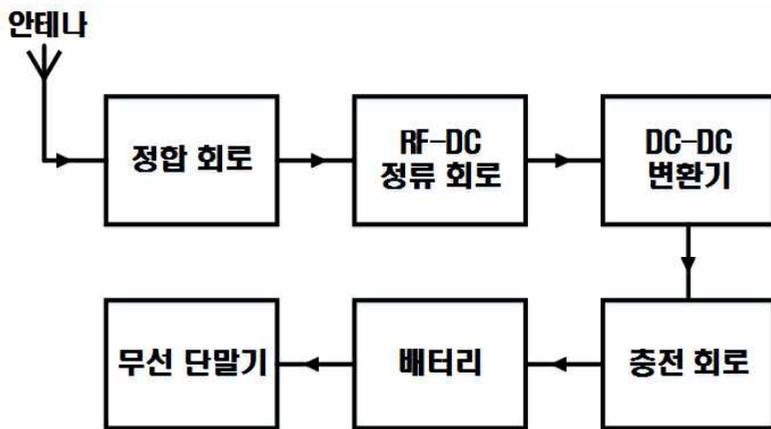


그림 1.2. 일반적인 RF 에너지 수확 시스템의 블록도.

Fig. 1.2. Block diagram of conventional RF energy harvesting system.

RF 에너지 수확 시스템의 성능은 크게 구동 전력 범위와 전체 시스템의 효율, 최소 입력 전력(민감도) 등으로 결정되며, 이전의 연구 결과들에서는 다양한 시도와 방법으로 이와 같은 성능들을 개선시킬 수 있었다. 먼저, 구동 전력 범위는 일반적으로 정류 회로를 구성하는 다이오드의 역 방향 바이어스 특성과 관련이 있으며, 일정 전압 이상에서 정류 회로의 효율이 급격히 감소되는 문제가 있다. 이와 관련하여 MOSFET을 이용한 구동 전력 범위 개선 방법^{[2],[3]} 및 저전력/고전력 방식의 이중 방식 설계^[4] 등 다양한 구동 전력 범위 개선 방법들이 연구되어 왔지만, 추가적인 MOSFET의 사용은 효율 감소를, 이중 방식 설계에서는 동작 제어에 필요한 추가 설계가 필요하다는 단점이 있다.

근래의 RF 에너지 수확 시스템의 설계에서는 주로 전체 시스템의 효율 개선 방안이 연구되어 왔다. 이와 관련하여 RF 에너지 수확 시스템의 효율은 아래 식 (1-1)과 같이 표현할 수 있다.

$$\begin{aligned} \eta_{\text{Overall Efficiency}} &= \eta_{\text{TX-RX}} \cdot \eta_{\text{RF-DC}} \cdot \eta_{\text{DC-DC}} \\ &= \frac{P_{\text{RX}}}{P_{\text{TX}}} \cdot \frac{P_{\text{RECT}}}{P_{\text{RX}}} \cdot \frac{P_{\text{DC}}}{P_{\text{RECT}}} \end{aligned} \quad (1-1)$$

여기서, $\eta_{\text{TX-RX}}$, $\eta_{\text{RF-DC}}$, $\eta_{\text{DC-DC}}$ 는 각각 송신 전력 대비 수신 전력의 효율, 정합 회로 및 RF-DC 정류 회로의 전력 변환 효율, DC-DC 변환기의 전력 변환 효율을 의미한다.

일반적으로 $\eta_{\text{TX-RX}}$ 는 후리이 공식(Friis equation)에 의거하여 거리의 제곱에 반비례하며, 송신 신호 파장의 제곱 및 안테나의 이득에 비례한다. 이와 같은 특성과 관련하여 거리 및 수신 신호의 주파수에 따른 수신 안테나의 종류별 RF 에너지 수확의 효율 변화가 연구된 바 있다.^[5]

효율과 관련된 이전의 연구들은 주로 정합 회로 및 정류 회로의 효율인 $\eta_{\text{RF-DC}}$ 를 높이는 방법에 대해 연구가 이루어 졌다. 정합 회로망의 변형을 통한 효율 개선 연구로는 트랜스포머 형태의 전력 분배기를 이용한 정합 회로 설계^[6], 고조파 성분 차단용 정합 회로망을 이용한 효율 개선 방법^[7] 등이 있었으나 대부분 높은 전력에서 효율을 개선시킨 사례이기 때문에 실제 운용에 적합하지 못하다는 단점이 있었다. 때문에 최근에는 이 중 대역, 다중 대역의 정합 회로망 설계를 통해 낮은 입력 전력에서 정류 회로의 효율을 개선시키는 방안이 활발히 연구 중에 있으며,^{[8]-[12]} 더불어 각종 정류 회로 구조 변형을 통한 효율 변화 특성이 연구된 바 있다.^{[13]-[17]}

마지막으로 $\eta_{\text{DC-DC}}$ 는 고정 DC 전압으로의 변환 효율을 의미하며, 최근 연구에서는 최대 전력점 추적 방법(maximum power point tracking : MPPT)을 통해 정상 상태의 승압 동작(Boost operation)에서 80% 이상의 높은 효율을 얻을 수 있었다.^{[18]-[23]} 하지만 여전히 -20 dBm 이하의 낮은 입력 전력에 대한 DC-DC 변환기의 콜드 스타트 동작(cold start) 효율이 매우 낮으며, RF-DC 변환기의 부하 저항에 따른 각 변환기의 효율 최적점이 다르기 때문에 두 변환기 사이의 부하 저항 최적화 및 정합 회로의 최적화가 요구된다.^{[24],[25]}

본 논문에서는 880 MHz와 2.44 GHz의 이중 대역 정합 회로를 갖는 이중 안테나 RF 에너지 수확용 정류 회로의 설계 및 상용 DC-DC 변환기와의 최적화에 대해 연구하였다.

2. RF 에너지 수확 시스템.

2.1 정류 회로

정류 회로는 다이오드의 한쪽 방향으로만 전류를 통과시키는 성질을 이용한 것으로 주기적으로 양과 음 두 방향으로 변화하는 교류 전압을 직류 전압으로 변환시키는 장치이다. 일반적으로 RF-DC 정류회로는 다이오드 및 커패시터의 배열에 따라 몇 가지로 구성할 수 있다. 그림 2.1은 다양한 정류 회로의 구조이며, 일반적으로 그림 (a)나 (b)처럼 단일 다이오드를 직렬 또는 병렬로 구성하거나 (c)처럼 복수의 다이오드를 이용하여 정류 회로를 구성할 수도 있다. 그림 2.1의 (c)와 같은 회로는 출력 직류 전압을 증폭시키기 위하여 주로 사용되며, Villard 전압 체배기로 불린다.

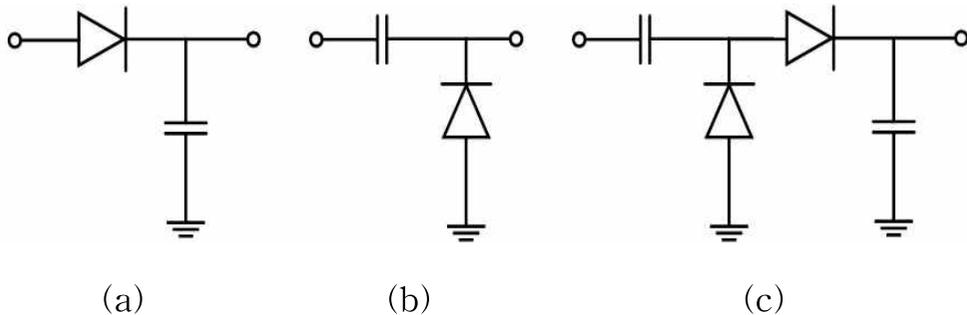


그림 2.1. 다양한 정류 회로 구조 : (a) 직렬 다이오드 연결 구조, (b) 병렬 다이오드 연결 구조, (c) Villard 전압 체배기.

Fig. 2.1. Various rectifier structure :

(a) series diode connected structure, (b) shunt diode connected structure, and (c) Villard voltage multiplier.

이상적인 다이오드는 가장 기본적인 비선형 소자이며 기준 방향에 대해 양의 전압이 공급되면 다이오드 양단에 걸리는 전압은 0 V가 되어 전압 강하는 없고 전류만 흐르는 단락회로 처럼 동작한다. 이때 단일 다이오드로 구성된 정류 회로에 RF 신호가 인가되면 신호의 피크(peak) 전압은 그대로 커패시터에 충전되어 출력 직류 전압은 $V_{out} \approx V_{in,peak}$ 가 된다. 그러나 다이오드가 순방향으로 동작하기 위해서는 문턱 전압이 필요하므로, 정류기의 출력 직류 전압은 $V_{out} = V_{in,peak} - V_{th}$ 로 나타낼 수 있다. 정류기의 출력 직류 전압은 사용된 다이오드 개수에 비례하며, 다음과 같이 일반화하여 나타낼 수 있다. 여기서 N 은 다이오드의 개수이다.

$$V_{out} = N(V_{in,peak} - V_{th}) \quad (2-1)$$

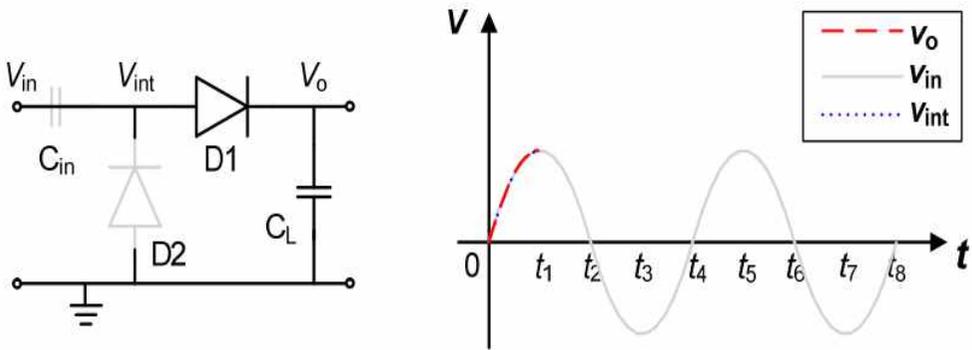
2.2 Villard 전압 체배기

Villard 전압 체배기는 Cockcroft-Walton 전압 체배기로도 불리며, 이미 전력전자 분야에서 정류 회로를 구현하기 위해 광범위하게 사용되고 있는 회로이다. 다이오드와 커패시터 두 쌍으로 이루어진 비교적 단순한 구조로, 입력 RF 신호의 피크 전압의 두 배의 출력 직류 전압을 손쉽게 얻을 수 있기 때문에 가장 대중적으로 사용되고 있다.

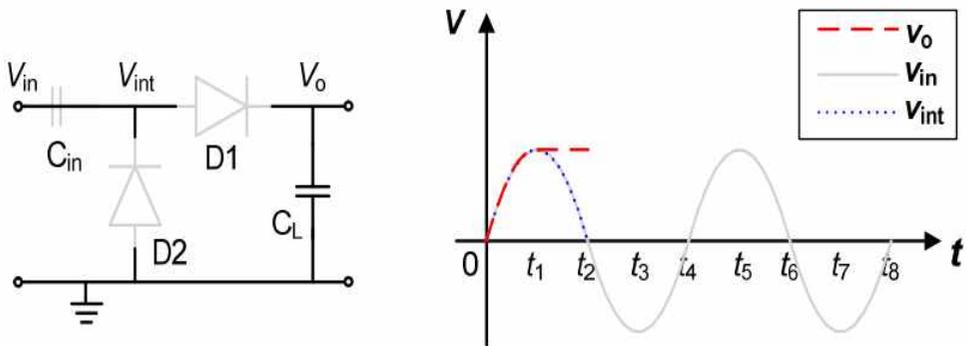
Villard 전압 체배기에 특정 주파수를 갖는 연속적인 신호가 인가될 때의 동작 원리를 살펴본다. 이 때 다이오드는 이상적이고 직렬 커패시터 C_{in} 과 부하 커패시터 C_L 의 초기 전압은 0 V로 가정한다. V_{int} 는 C_{in} 의 다이오드 방향의 극의 전압을

나타내며, $V_{in,peak}$ 는 입력 RF 신호의 peak 전압을 나타낸다.

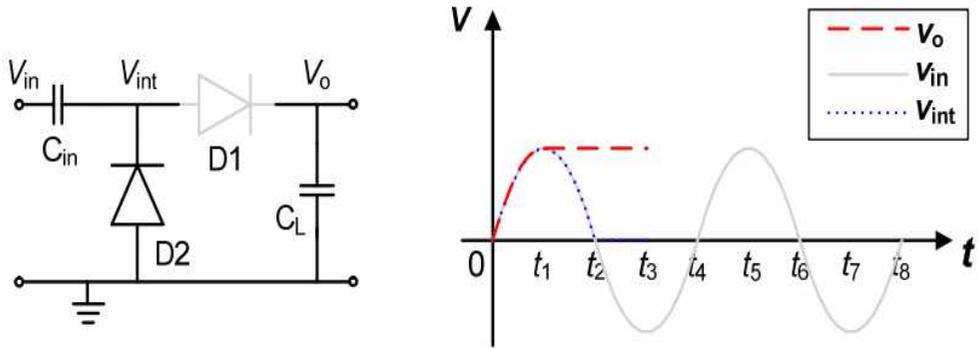
(1) $0 \sim t_1$: 입력 신호가 양의 주기인 이 구간에서 D1은 순방향 바이어스가 가해져서 단락되고, D2는 역방향 바이어스가 가해져서 개방된다. 양의 주기 동안 $V_{in,peak}$ 만큼 C_L 에 충전되며, V_{int} 는 C_L 에 충전된 전압과 같은 $V_{in,peak}$ 가 된다.



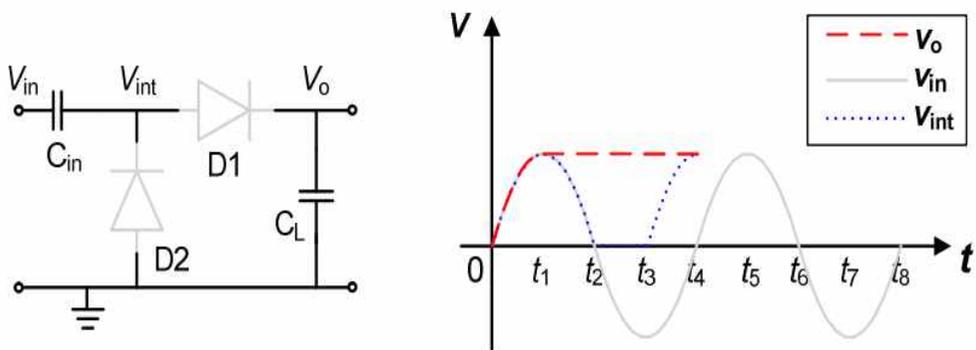
(2) $t_1 \sim t_2$: 이 구간에서 V_{int} 의 전압은 V_o 보다 낮기 때문에 D1은 개방되고, D2에는 역방향 바이어스가 가해져서 역시 개방된다. 출력 전압은 C_L 에 충전되어 있는 전압이 그대로 나타난다.



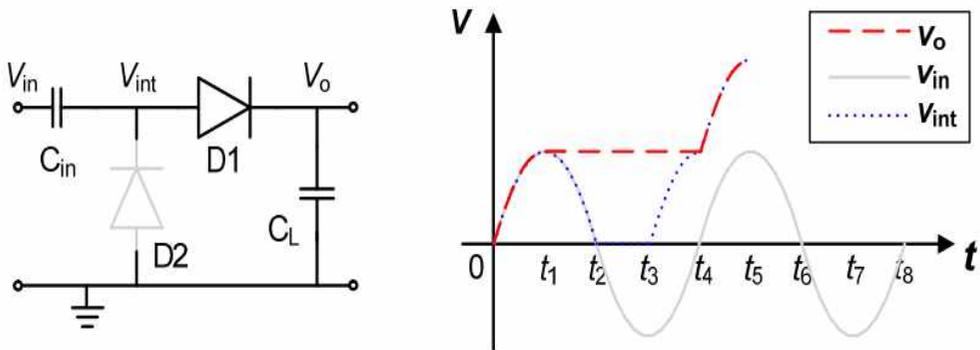
(3) $t_2 \sim t_3$: 입력 신호가 음의 주기로 바뀌는 이 구간에서 D1은 역방향 바이어스가 가해져서 개방되고, D2는 순방향 바이어스가 가해져서 단락된다. V_{int} 는 접지와 연결되어 있으므로 0 V로 고정되며, C_{in} 에는 $-V_{in,peak}$ 가 충전된다.



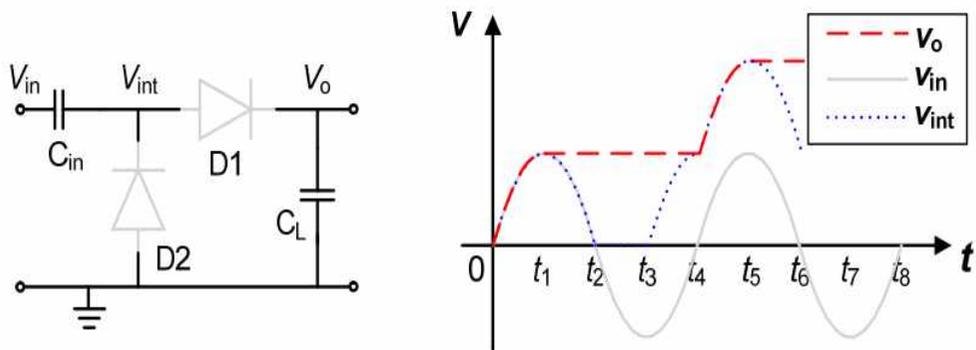
(4) $t_3 \sim t_4$: 이 주기에서 입력신호는 C_{in} 의 전압을 $V_{in,peak}$ 만큼 밀어올려 V_{int} 는 $V_{in,peak}$ 가 되고 D2는 역방향 바이어스가 가해져서 개방된다.



(5) $t_4 \sim t_5$: 입력 신호가 양의 주기로 바뀌는 이 구간에서 입력 신호가 C_{in} 의 전압을 다시 V_{peak} 만큼 밀어올려 V_{int} 는 $2V_{peak}$ 가 된다. V_{int} 가 C_L 에 충전되어 있는 전압보다 크기 때문에 $D1$ 은 순방향 바이어스가 가해져서 단락되고, V_{int} 는 C_L 에 충전되어 최종 출력 직류 전압은 $2V_{peak}$ 가 된다.



(6) $t_5 \sim$: 이 구간에서 V_{int} 의 전압은 V_o 보다 낮기 때문에 $D1$ 은 개방되고, $D2$ 에는 역방향 바이어스가 가해져서 역시 개방된다. C_L 에 충전되어 있는 전압은 계속해서 $2V_{peak}$ 를 나타낸다.



이와 같은 원리로 Villard 전압 체배기를 이용하여 2배의 출력 직류 전압을 얻을 수 있으며, 그림 2.2와 같이 Villard 구조를 여러 개 연결하거나 그림 2.3과 같이 Villard 구조를 대칭 또는 병렬로 연결하여 더 높은 출력 전압을 얻을 수도 있다.

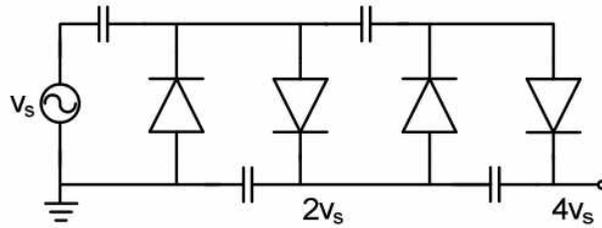


그림 2.2. 2단 Villard 전압 체배기.

Fig. 2.2. 2-Stage Villard voltage multiplier.

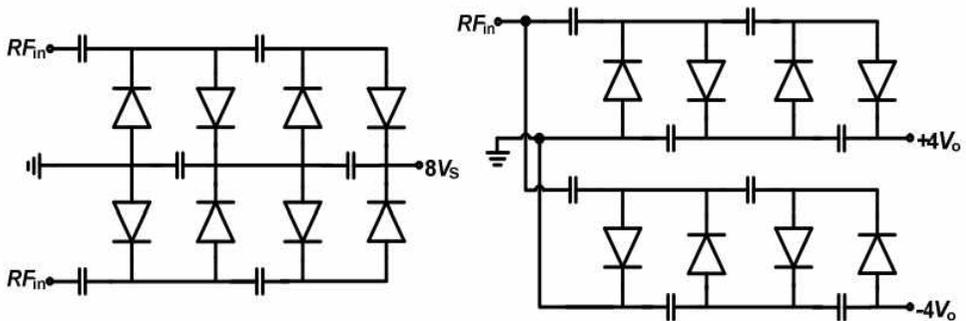


그림 2.3. 대칭 및 병렬 구조의 Villard 전압 체배기.

Fig. 2.3. Symmetry and parallel structure of Villard voltage multiplier.

2.3 쇼트키 배리어 다이오드

RF 에너지 수확 시스템의 정류 회로에서는 문턱 전압에 의한 효율 저하를 최소화하기 위하여 상대적으로 낮은 문턱 전압을 제공하는 쇼트키 배리어 다이오드(Schottky barrier diode)를 사용한다. 쇼트키 배리어 다이오드는 쇼트키 장벽에 의한 정류 작용을 이용한 소자로 낮은 문턱 전압과 매우 빠른 스위칭 속도를 갖는 반도체 다이오드이다. 높은 동작 주파수를 갖는 회로에서 고효율 특성을 얻기 위하여 주로 사용된다. 일반적으로 정류 회로의 효율과 관련하여 쇼트키 배리어 다이오드 선택 시에는 다음 4 가지 특성이 가장 중요하다.

1. 낮은 문턱 전압 (Low threshold voltage)
2. 낮은 접합 커패시턴스 (Low junction capacitance)
3. 높은 포화 전류 (High saturation current)
4. 낮은 등가 직렬 저항 (Low equivalent series resistance)

본 연구에 사용된 쇼트키 배리어 다이오드는 Avago사의 HSMS-2852이며, 쇼트키 배리어 다이오드 중에서도 낮은 문턱 전압, 낮은 접합 커패시턴스, 빠른 스위칭 속도를 제공하기 때문에 정류 회로 설계에 많이 이용되고 있다. 그림 2.4는 HSMS-2852의 내부 패키지 구조이며, Villard 전압 체배기에 사용하기에 적합하게 되어 있다.

그림 2.5은 HSMS-2852의 등가회로 모델이며 다이오드의 전기적 특성 및 파라미터들이 다음 표에 제시되어 있다. RF-DC 변환 효율에 가장 큰 영향을 미치는 문턱 전압은 다이오드에 큰 전류가 흐르지 않는 이상 150 mV 정도를 유지한다.

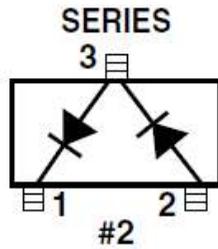
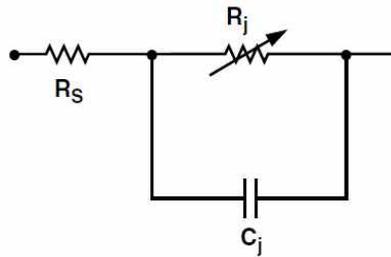


그림 2.4. HSMS-2852의 패키지 구조.

Fig. 2.4. The package structure of HSMS-2852.



R_s = series resistance (see Table of SPICE parameters)

C_j = junction capacitance (see Table of SPICE parameters)

$$R_j = \frac{8.33 \times 10^{-5} nT}{I_b + I_s}$$

where

I_b = externally applied bias current in amps

I_s = saturation current (see table of SPICE parameters)

T = temperature, °K

n = ideality factor (see table of SPICE parameters)

그림 2.5. HSMS-2852의 선형 등가 회로 모델

Fig. 2.5. Linear equivalent circuit model of HSMS-2852

표 2.1. HSMS-2852의 전기적 특성.

Table 2.1. Electrical specifications of HSMS-2852.
($T_C = +25^\circ\text{C}$)

| Part Number HSMS- | Package Marking Code | Lead Code | Configuration | Maximum Forward Voltage V_F (mV) | Maximum Reverse Leakage, I_R (μA) | Typical Capacitance C_T (pF) |
|----------------------|----------------------|-----------|------------------------------|---------------------------------------|---|--|
| 2852 | P2 | 2 | Series Pair ^[1,2] | | | |
| Test Conditions | | | | $I_F = 0.1 \text{ mA}$ | $I_F = 1.0 \text{ mA}$ | $V_R = 2\text{V}$ |
| | | | | | | $V_R = -0.5 \text{ V to } -1.0 \text{ V}$ $f = 1 \text{ MHz}$ |

Notes:

1. ΔV_F for diodes in pairs is 15.0 mV maximum at 1.0 mA.

2. ΔC_T for diodes in pairs is 0.05 pF maximum at -0.5V.

표 2.2. HSMS-2852의 SPICE 파라미터.

Table 2.2. SPICE Parameters of HSMS-2852.

| Parameter | Units | HSMS-285x |
|-----------------|----------|-----------|
| B_V | V | 3.8 |
| C_{J0} | pF | 0.18 |
| E_G | eV | 0.69 |
| I_{BV} | A | 3 E-4 |
| I_S | A | 3 E-6 |
| N | | 1.06 |
| R_S | Ω | 25 |
| P_B (V_J) | V | 0.35 |
| P_T (XTI) | | 2 |
| M | | 0.5 |

2.4 DC-DC 변환기

일반적으로 안테나를 통해 인입되는 RF 신호는 시간에 따라 순시적으로 변화하기 때문에 정류 회로의 출력 DC 전압은 시간에 따라 계속 변화한다. 또한, 매우 낮은 입력 전력에 대해서는 정류 회로의 출력 전압이 배터리 혹은 적용기기의 운용 전압에 부합하지 않기 때문에 이러한 출력 전압을 적절한 DC 전압으로 변환해야 한다. 때문에 일반적인 RF 에너지 수확 시스템에서는 RF-DC 정류 회로의 뒷 단에 DC-DC 변환기를 사용하여 RF-DC 정류 회로의 출력 전압을 승압 혹은 충전 회로에 충전시킨다. 대부분의 DC-DC 변환기는 정상 상태의 승압 동작에서 80% 이상의 높은 효율을 얻을 수 있는 반면, DC-DC 변환기가 동작하기 시작하는 콜드 스타트(cold start) 동작에서는 높은 효율을 얻기 힘들기 때문에 낮은 입력 전력에서의 DC-DC 변환기 최적화가 요구된다.

본 연구에서는 정류 회로의 출력 전압을 배터리의 운용 전압으로 승압하기 위해 Texas Instrument사의 BQ25504 DC-DC 변환기를 사용하였다. BQ25504 DC-DC 변환기는 일반적으로 330 mV에서 콜드 스타트 동작에 진입하며, 이후 80 mV의 입력 전압까지 콜드 스타트 동작을 유지한다. 또한, 330 nA 이하의 영 입력 전류(quiescent current)와 최대 전력점 추적 방법(MPPT)을 통해 높은 효율을 제공한다. 사용자는 외부의 저항 값을 조절하여 BQ25504의 동작에 적용되는 Under 전압과 Over 전압을 설정할 수 있다. 그림 2.6과 2.7은 각각 BQ25504의 핀 정보 및 동작 블록도이다.

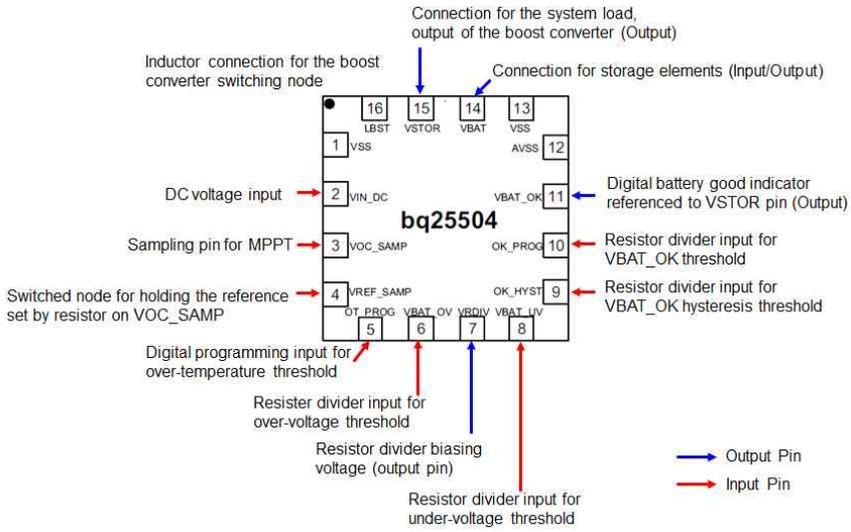


그림 2.6. BQ25504의 핀 정보.

Fig. 2.6. Pin information of BQ25504.

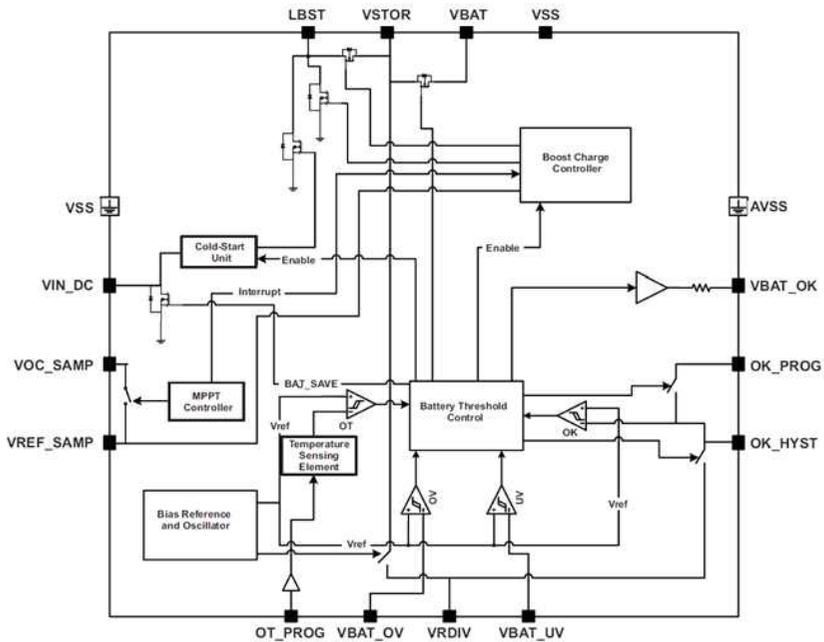


그림 2.7. BQ25504의 동작 블록도.

Fig. 2.7. Functional block diagram of BQ25504.

그림 2.8과 2.9는 각각 BQ25504를 이용한 기본 회로 구성 및 각 구성 요소의 권장 설정이다. 앞서 언급하였듯이, BQ25504 DC-DC 변환기는 약 330 mV의 입력 전압에서 콜드 스타트 동작을 수행하며, 이후 80 mV까지 동작을 유지한다. 외부 저항인 R_{OC1} 과 R_{OC2} 의 값을 통해 V_{OC_SAMP} 핀에 공급하는 전압을 조정하며, 이를 통해 BQ25504의 MPPT 동작 샘플링을 설정할 수 있으며, R_{OV1} , R_{OV2} , R_{UV1} , R_{UV2} 를 통해 승압 동작(boost operation)의 under/over 전압 범위를 설정 할 수 있다. 또한, $R_{OK1} \sim R_{OK3}$ 의 설정을 통해 V_{BAT_OK} 전압 영역을 조절할 수 있으며, 이 값은 향후 배터리의 충전 상태를 확인 할 수 있게 한다.

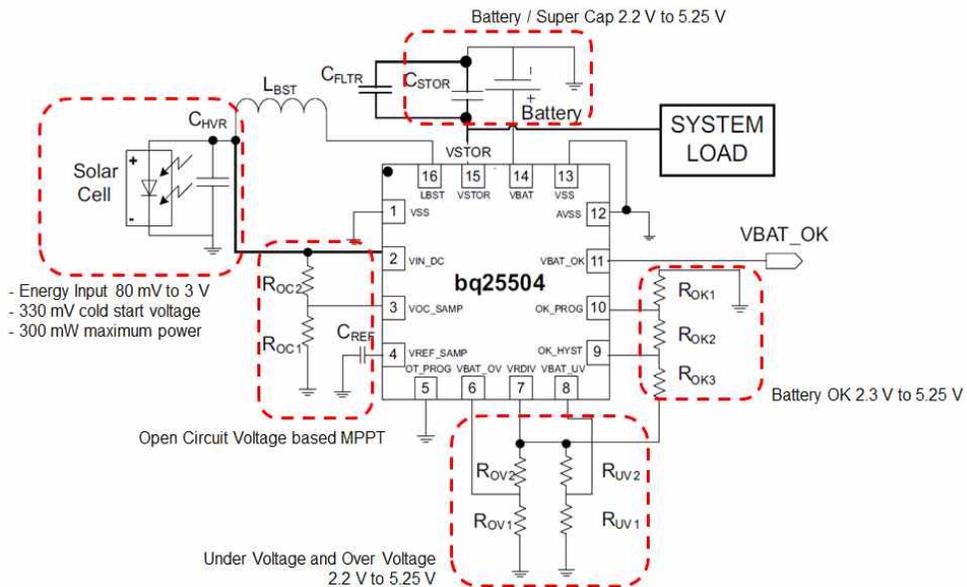


그림 2.8. BQ25504의 기본 회로 구성.

Fig. 2.8. Basic circuit setup of BQ25504.

| | | VALUE | | UNIT |
|--|---|-------|-----|------|
| | | MIN | MAX | |
| Input voltage | VIN_DC, VOC_SAMP, VREF_SAMP, VBAT_OV, VBAT_UV, VRDIV, | -0.3 | 5.5 | V |
| Peak Input Power, P _{IN_PK} | OK_HYST, OK_PROG, VBAT_OK, VBAT, VSTOR, LBST ⁽²⁾ | | 400 | mW |
| Operating junction temperature range, T _J | | -40 | 125 | °C |
| Storage temperature range, T _{STG} | | -65 | 150 | °C |

| | | MIN | NOM | MAX | UNIT |
|--|--|------|-----|------|------|
| V _{IN(DC)} | DC input voltage into VIN_DC ⁽¹⁾ | 0.13 | | 3 | V |
| VBAT | Battery voltage range ⁽²⁾ | 2.5 | | 5.25 | V |
| C _{HVR} | Input capacitance | 4.23 | 4.7 | 5.17 | μF |
| C _{STOR} | Storage capacitance | 4.23 | 4.7 | 5.17 | μF |
| C _{BAT} | Battery pin capacitance or equivalent battery capacity | 100 | | | μF |
| C _{REF} | Sampled reference storage capacitance | 9 | 10 | 11 | nF |
| R _{OC1} + R _{OC2} | Total resistance for setting for MPPT reference. | 18 | 20 | 22 | MΩ |
| R _{OK1} + R _{OK2} + R _{OK3} | Total resistance for setting reference voltage. | 9 | 10 | 11 | MΩ |
| R _{UV1} + R _{UV2} | Total resistance for setting reference voltage. | 9 | 10 | 11 | MΩ |
| R _{OV1} + R _{OV2} | Total resistance for setting reference voltage. | 9 | 10 | 11 | MΩ |
| L _{BST} | Input inductance | 19.8 | 22 | 24.2 | μH |
| T _A | Operating free air ambient temperature | -40 | | 85 | °C |
| T _J | Operating junction temperature | -40 | | 105 | °C |

그림 2.9. 권장 동작 설정.

Fig. 2.9. Recommended operating conditions.

BQ25504 DC-DC 변환기의 입력 전압에 따른 동작 과정은 다음 그림 2.10과 같으며 크게 3가지 동작으로 구분될 수 있다. 먼저, V_{STOR}의 전압이 승압 동작에 필요한 V_{STOR_CHGEN} (약 1.8 V)보다 작고, V_{IN_DC}의 전압이 콜드 스타트 전압(약 330 mV)보다 큰 경우, DC-DC 변환기는 콜드 스타트 동작을 수행하며, 이 때 V_{STOR} 전압은 점점 증가하게 된다. 이 경우의 DC-DC 변환기 효율은 크게 좋지 못하다. 만약 V_{STOR} 전압이 V_{STOR_CHGEN} 전압보다 크며, V_{IN_DC} 전압이 V_{IN(DC)-MIN} 보다 큰 경우, DC-DC 변환기는 승압 동작을 수행하며 일정한 V_{STOR} 전압으로 입력 전압을 승압한다. 정상 상태의 승압 동작에서는 MPPT 동작이 수행되며 입력 전압을 레귤레이션하여 높은 효

을 제공한다. 이 상태에서의 입력 전압은 펄스 형태의 과형으로 관측되며, MPPT 동작에 설정된 샘플링 주기를 따라간다. 만약 V_{STOR} 전압이 BQ25504에 설정된 V_{BAT_OV} 전압을 초과하면, 충전 동작은 잠시 멈추고 일정 전압 이하로 방전될 때까지 배터리에 공급되는 전압이 중단된다. 이와 같은 동작을 통해 배터리에 과전압 충전을 방지할 수 있다.

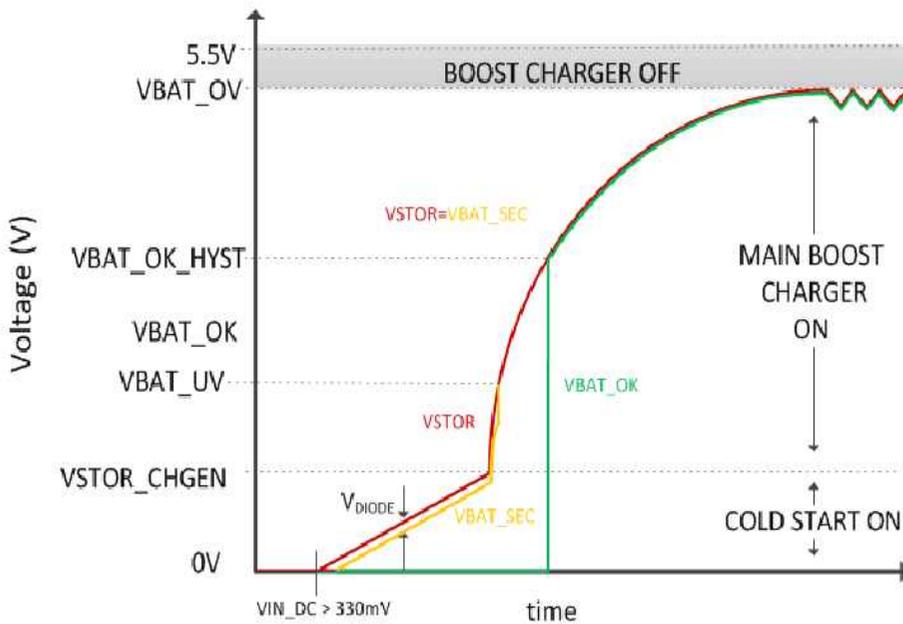


그림 2.10. BQ25504의 충전 동작 과정.

Fig. 2.10. Charger operation of BQ25504.

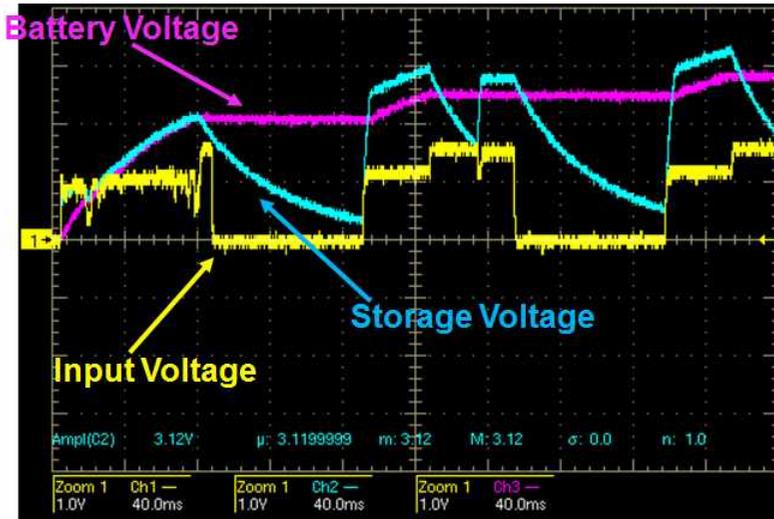


그림 2.11. BQ25504 동작에 관한 V_{STOR} 및 V_{BAT} 측정 파형.

Fig. 2.11. Measured waveform of V_{STOR} and V_{BAT} in BQ25504 operation.

그림 2.11은 $V_{IN_DC} = 1.5 V_{pp}$ 의 사각 파형에 대한 BQ25504의 V_{STOR} 및 V_{BAT} 동작에 관한 오실로스코프 측정 파형이다. 일반적으로 콜드 스타트 동작에서는 V_{STOR} 전압은 입력 전압이 0 일 때 적용 기기에서 소모되기 때문에 방전되는 반면, V_{BAT} 전압은 일정한 전압을 유지함을 알 수 있다.

그림 2.12는 정상 상태의 승압 동작에서 MPPT 동작에 따른 입력 파형의 레귤레이션을 나타낸 그림이다. 앞서 언급하였듯이 조정된 입력 펄스 파형의 주기는 외부에서 설정된 R_{OC1} 과 R_{OC2} 에 의해 정해지며, 설정된 주기에 대해 입력되는 전압의 MPPT 효율이 결정된다.

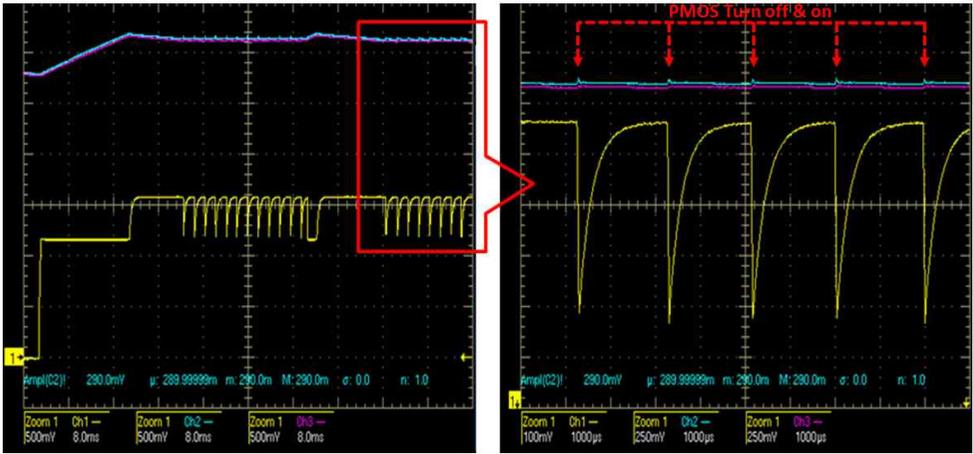


그림 2.12. MPPT 동작에 따른 입력 파형의 레귤레이션.
 Fig. 2.12. Regulated input waveform according to MPPT operation

다음 그림 2.13은 콜드 스타트 동작에서 승압 동작에 이르는 파형을 동작에 따른 세부과정으로 표현한 그림이다. V_{STOR} 전압이 약 1.8 V (V_{STOR_CHGEN})에 도달하였을 때, MPPT 동작을 위해 개방 회로의 입력 전압을 인가하고, 이 때 V_{STOR} 와 V_{BAT} 사이의 PMOS 스위치가 꺼지게 되어 BQ25504는 승압 동작으로 전환된다. 이 후, 배터리에 대해 과전압 충전을 방지하기 위해 배터리의 over 전압(V_{BAT_OV}) 이상의 전압에서는 V_{BAT} 에 연결된 PMOS 스위치가 순시적으로 꺼짐으로써 배터리가 방전되도록 제어한다.

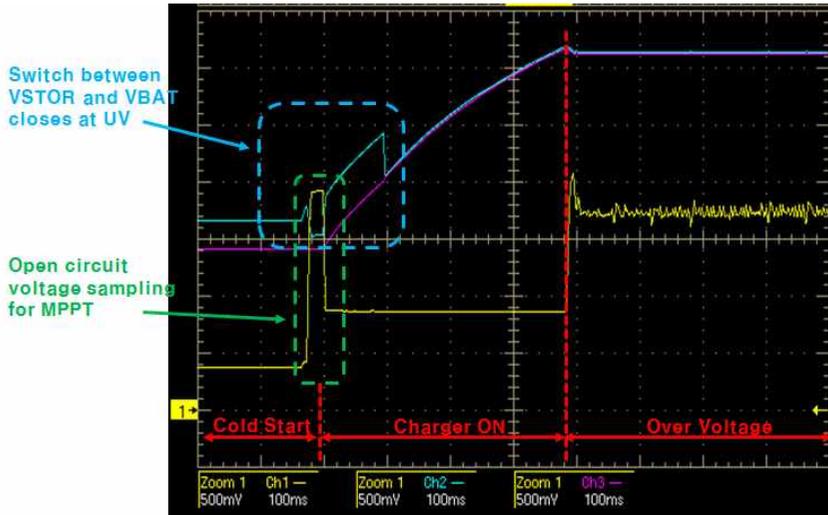


그림 2.13. 콜드 스타트 - 승압 동작 파형.

Fig. 2.13. Waveform between cold start and boost operation.

일반적으로 출력 전압이 레귤레이팅되는 전력 공급 장치의 효율 측정에서는 고정된 출력 전압과 입력 전압에 대해 출력 전류를 측정함으로써 효율을 구할 수 있다. DC-DC 변환기의 효율 역시 마찬가지로 이와 같은 고정 전압/전류원을 이용하여 출력 전류를 측정함으로써 효율을 구할 수 있다.

그림 2.14는 BQ25504의 효율 측정 방법이다. DC-DC 변환기의 효율 측정 시 입력과 출력에 고정 전류, 고정 전압을 인가하여야 하기에 주로 SMU(source multimeter unit)기기를 사용하여 입/출력단에 고정 전류원, 고정 전압원을 제공한다. 또한 정확한 효율의 측정을 위해 V_{BAT} 핀에는 배터리와 같은 저장소를 두지 않아야 한다. 마지막으로 V_{OC_SAMP} 핀은 V_{STOR} 와 연결하여 MPPT 샘플링을 방지하도록 한다.

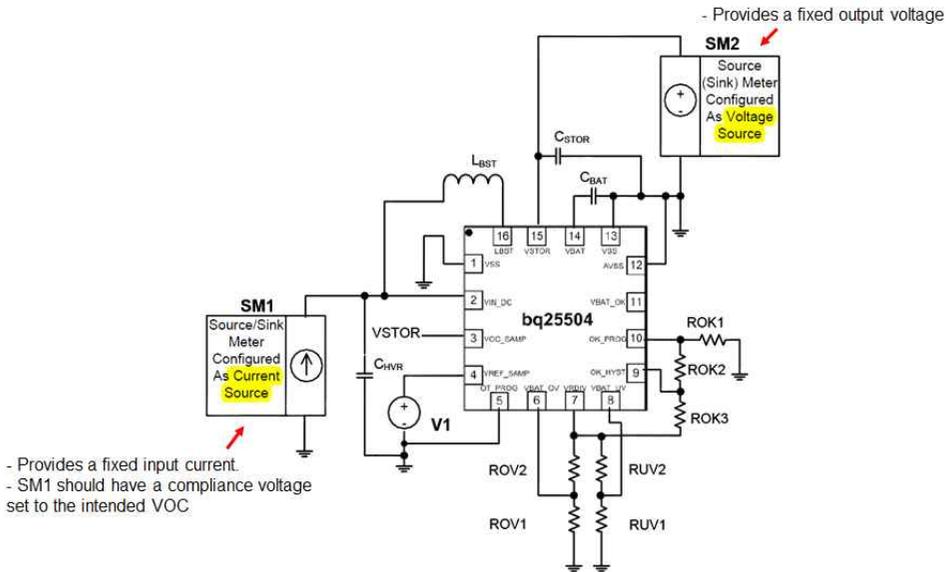
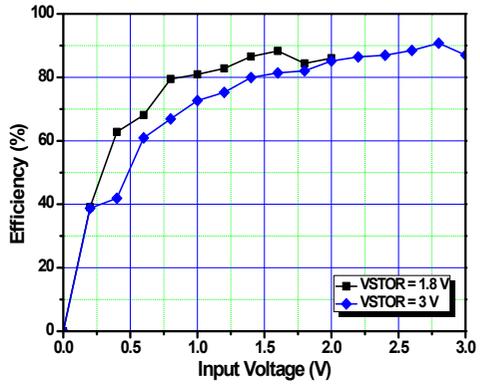
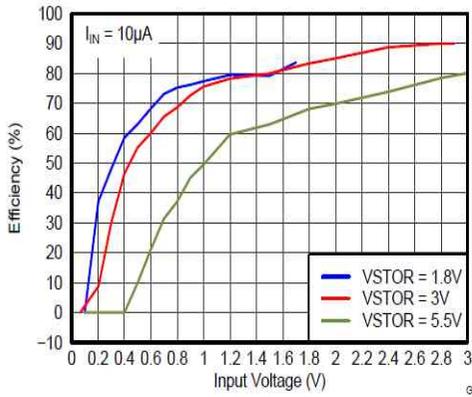


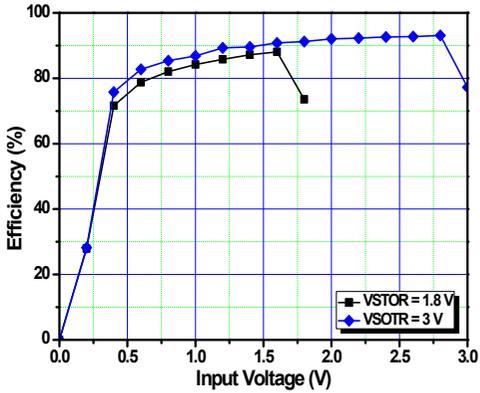
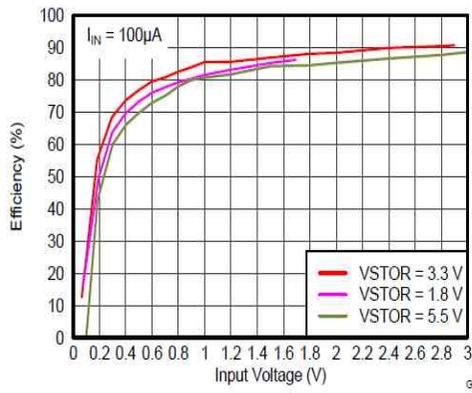
그림 2.14. BQ25504의 효율 측정 설정.

Fig. 2.14. BQ25504 Efficiency measurement setup.

그림 2.15 (a)와 (b)는 각각 10 uA, 100 uA의 고정 전류원에 대한 입력 전압의 변동에 따른 BQ25504의 데이터 시트 상의 효율 및 실제 SMU를 통해 측정된 효율 그래프이다. 보다 정확한 측정을 위해서는 입력 전류 I_{IN} 이 500 uA보다 낮을 때 C_{HVR} 은 4.7 uF를 유지해야 하며, $500 \text{ uA} < I_{IN} \leq 100 \text{ mA}$ 의 전류에서는 누설 전류를 최소화하기 위해 C_{HVR} 을 47 uF 이상으로 두어 입력 전압의 리플을 줄이도록 한다.



(a)



(b)

그림 2.15. BQ25504의 데이터시트 효율 및 측정 결과 비교
(a) 10 uA (b) 100 uA.

Fig. 2.15. Comparison of BQ25504 Efficiency between datasheet and measurement (a) 10 uA and (b) 100 uA.

그림 2.15의 결과를 통해 BQ25504의 효율에 대한 정확한 측정이 되었음을 확인할 수 있었으며, 향후 정류 회로와의 연동 시 목표로 하는 낮은 입력 전력에서의 DC-DC 변환 효율 (η_{DC-DC})을 대략적으로 추정할 수 있다.

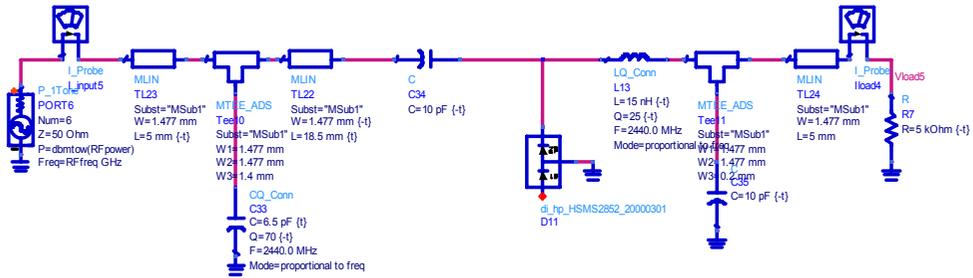
3. 정류 회로 설계 및 최적화

본 절에서는 제안된 회로 설계에 앞서 DC-DC 변환기와의 연동을 고려한 정류 회로의 다양한 최적화를 통해 높은 효율 및 민감도를 얻도록 한다. 정류 회로의 효율 및 출력 전압에 영향을 주는 요인은 크게 쇼트키 배리어 다이오드의 특성, 정류 회로의 구조 및 단 수, 부하 저항 값에 의해 결정되며 쇼트키 배리어 다이오드는 상용 소자 중 높은 주파수의 동작에 적합하며, 낮은 문턱 전압을 제공하는 Avago사의 HSMS-2852를 사용하도록 한다. 또한, 부하 저항 값은 정류 회로의 구조에 따라 변동되는 최적 값을 가지므로 향후 제안하는 회로 구조에 대해 최적화를 하도록 한다.

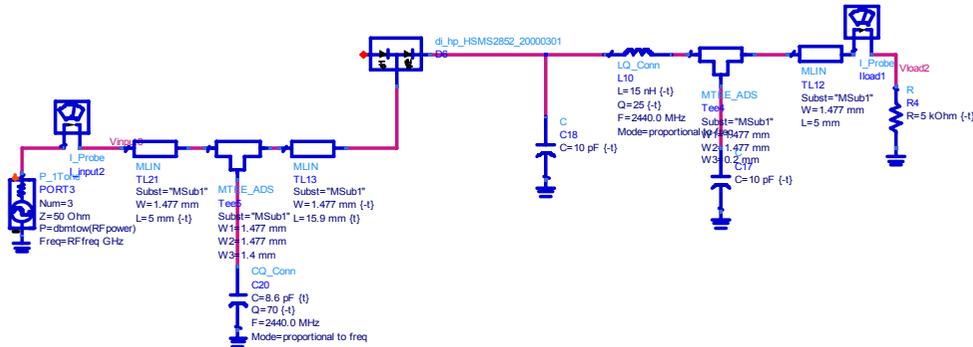
3.1 정류 회로 구조 설계

RF 에너지 수확 시스템의 정류 회로는 효율 및 출력 전압에 따라 다양한 정류 회로 구조를 사용할 수 있다. 일반적으로 가장 많이 사용되는 정류 회로는 앞 장에서 소개된 것처럼 직렬 다이오드 연결, 병렬 다이오드 연결, Villard 전압 체배 구조 등으로 나눌 수 있다.

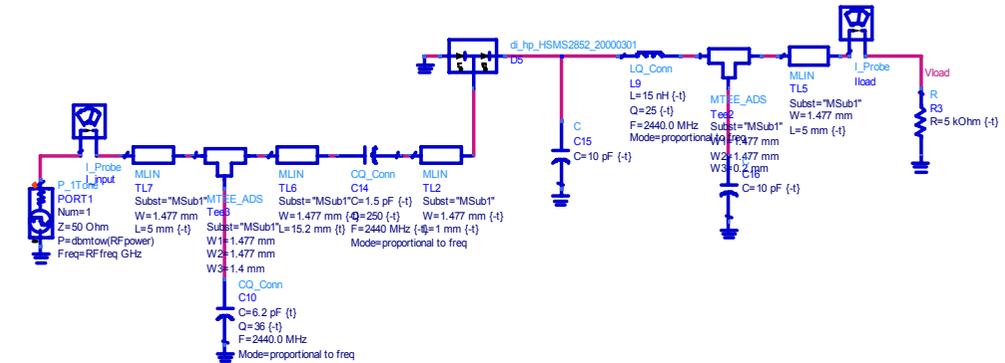
다음 그림 3.1과 3.2는 각각 다양한 정류 회로 구조 및 출력 전압, 변환 효율의 ADS(advanced design system) 프로그램 시뮬레이션 결과이다. 각 구조는 모두 동일한 단일 동작 주파수에 정합되었으며, 동일한 부하 저항 값 및 입/출력 커패시턴스를 갖는다.



(a)



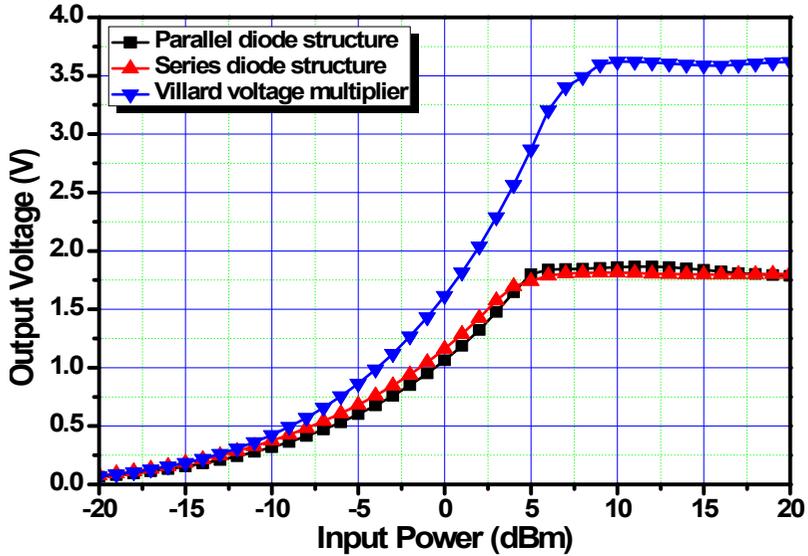
(b)



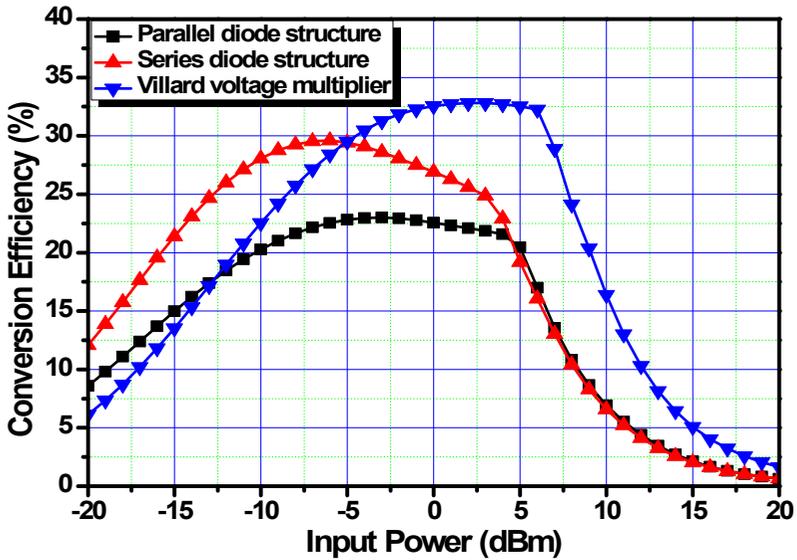
(c)

그림 3.1. 다양한 구조의 정류 회로에 대한 ADS 시뮬레이션 :
 (a) 병렬 다이오드 (b) 직렬 다이오드 (c) Villard 전압 체배기.

Fig. 3.1. Various rectifier structures in ADS simulation :
 (a) shunt diode structure (b) series diode structure and (c)
 Villard voltage multiplier.



(a)



(b)

그림 3.2. ADS 시뮬레이션 결과 비교 :

(a) 출력 전압 (b) 변환 효율.

Fig. 3.2. Comparison of ADS simulation results :

(a) output voltage and (b) conversion efficiency.

표 3.1. 다양한 구조에 대한 ADS 시뮬레이션 결과.

Table 3.1. ADS Simulation results for various structures.

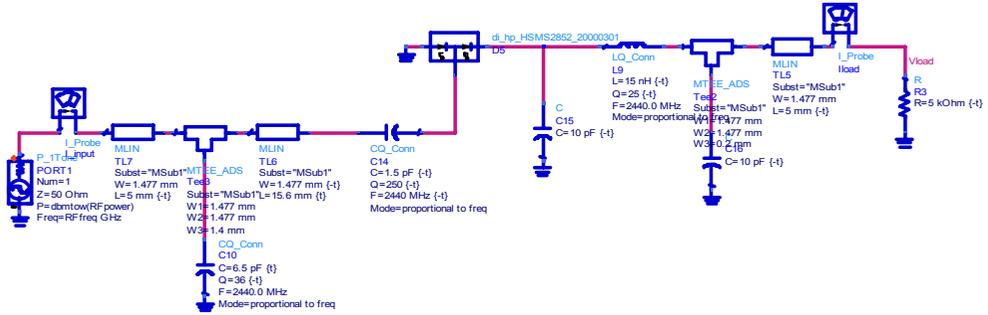
| 입력 전력 (dBm) | 병렬 다이오드 연결 | | 직렬 다이오드 연결 | | Villard 전압 체배기 | |
|----------------|------------|--------|------------|--------|----------------|--------|
| | 출력 전압 (V) | 효율 (%) | 출력 전압 (V) | 효율 (%) | 출력 전압 (V) | 효율 (%) |
| -20 | 0.066 | 8.59 | 0.078 | 12.075 | 0.070 | 6.133 |
| -19 | 0.079 | 9.81 | 0.093 | 13.871 | 0.086 | 7.344 |
| -18 | 0.094 | 11.09 | 0.112 | 15.746 | 0.105 | 8.703 |
| -17 | 0.111 | 12.39 | 0.133 | 17.657 | 0.128 | 10.200 |
| -16 | 0.131 | 13.70 | 0.157 | 19.556 | 0.154 | 11.819 |
| -15 | 0.154 | 14.99 | 0.184 | 21.389 | 0.185 | 13.535 |
| -14 | 0.180 | 16.22 | 0.214 | 23.106 | 0.221 | 15.321 |
| -13 | 0.209 | 17.39 | 0.249 | 24.658 | 0.262 | 17.145 |
| -12 | 0.241 | 18.46 | 0.286 | 26.007 | 0.309 | 18.976 |
| -11 | 0.278 | 19.43 | 0.328 | 27.139 | 0.363 | 20.782 |
| -10 | 0.318 | 20.28 | 0.375 | 28.055 | 0.425 | 22.531 |
| -9 | 0.364 | 21.02 | 0.426 | 28.765 | 0.494 | 24.194 |
| -8 | 0.414 | 21.64 | 0.482 | 29.267 | 0.571 | 25.739 |
| -7 | 0.470 | 22.15 | 0.543 | 29.547 | 0.658 | 27.145 |
| -6 | 0.532 | 22.55 | 0.610 | 29.598 | 0.755 | 28.403 |
| -5 | 0.601 | 22.82 | 0.682 | 29.431 | 0.864 | 29.514 |
| -4 | 0.676 | 22.96 | 0.761 | 29.084 | 0.985 | 30.472 |
| -3 | 0.759 | 23.00 | 0.847 | 28.611 | 1.120 | 31.258 |
| -2 | 0.851 | 22.93 | 0.941 | 28.070 | 1.268 | 31.859 |
| -1 | 0.951 | 22.78 | 1.045 | 27.499 | 1.432 | 32.285 |
| 0 | 1.062 | 22.57 | 1.160 | 26.909 | 1.614 | 32.563 |
| 1 | 1.186 | 22.34 | 1.286 | 26.280 | 1.816 | 32.730 |
| 2 | 1.324 | 22.11 | 1.424 | 25.601 | 2.040 | 32.815 |
| 3 | 1.477 | 21.86 | 1.576 | 24.891 | 2.289 | 32.817 |
| 4 | 1.646 | 21.58 | 1.696 | 22.906 | 2.564 | 32.717 |
| 5 | 1.799 | 20.46 | 1.742 | 19.187 | 2.868 | 32.524 |
| 6 | 1.839 | 16.98 | 1.788 | 16.065 | 3.205 | 32.250 |
| 7 | 1.843 | 13.56 | 1.808 | 13.039 | 3.403 | 28.884 |
| 8 | 1.847 | 10.82 | 1.813 | 10.414 | 3.490 | 24.133 |
| 9 | 1.854 | 8.66 | 1.815 | 8.291 | 3.597 | 20.363 |
| 10 | 1.861 | 6.93 | 1.814 | 6.585 | 3.621 | 16.389 |
| 11 | 1.867 | 5.53 | 1.811 | 5.211 | 3.621 | 13.019 |
| 12 | 1.866 | 4.39 | 1.805 | 4.113 | 3.614 | 10.304 |
| 13 | 1.861 | 3.47 | 1.801 | 3.253 | 3.605 | 8.143 |
| 14 | 1.850 | 2.73 | 1.799 | 2.577 | 3.595 | 6.431 |
| 15 | 1.837 | 2.13 | 1.798 | 2.044 | 3.588 | 5.088 |
| 16 | 1.822 | 1.67 | 1.798 | 1.625 | 3.586 | 4.037 |
| 17 | 1.810 | 1.31 | 1.799 | 1.292 | 3.594 | 3.222 |
| 18 | 1.801 | 1.03 | 1.801 | 1.028 | 3.605 | 2.575 |
| 19 | 1.794 | 0.81 | 1.802 | 0.817 | 3.613 | 2.055 |
| 20 | 1.786 | 0.64 | 1.801 | 0.649 | 3.619 | 1.637 |

시뮬레이션 결과 낮은 입력 전력에서는 대체로 하나의 다이오드만 사용한 직/병렬 구조의 정류 회로가 효율이 높지만, 구동 전력 범위가 -5 dBm 정도로 매우 낮으며, 정상 상태의 출력 전압이 1.8 V 정도로 낮음을 알 수 있다. 본 연구에서는 위 시뮬레이션 결과를 바탕으로 추후 DC-DC 변환기와의 연동을 고려하여 콜드 스타트 전압 (약 330 mV)에 더 낮은 전력에서 진입할 수 있는 Villard 전압 체배 구조를 사용하도록 한다.

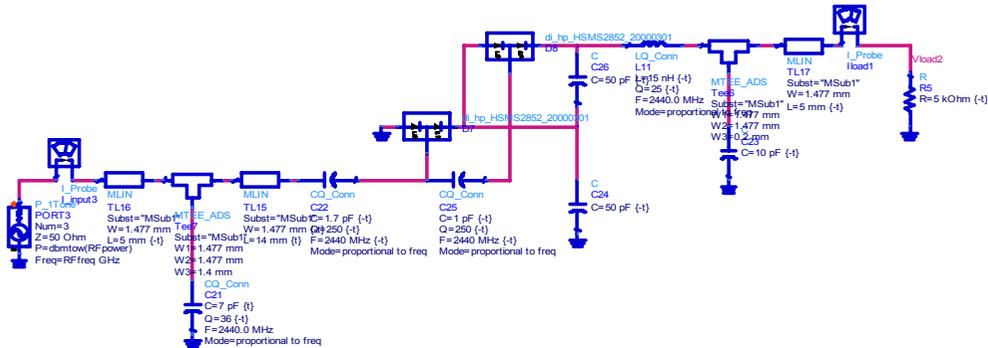
3.2 정류 회로 단 수에 따른 특성

일반적으로 다단 정류 회로 설계는 높은 출력 전압을 얻을 수 있는 방법 중의 하나이다. 또한, 단 수가 증가할수록 정류 회로의 입력 임피던스 허수부 크기가 낮아지기 때문에 (일반적인 정류 회로의 입력 임피던스 허수부는 음의 값을 갖는다.) 상대적으로 정합 회로 설계 시 동작 주파수에 정합하기 쉬우며, 이는 곧 정합 회로의 낮은 삽입 손실을 의미한다.

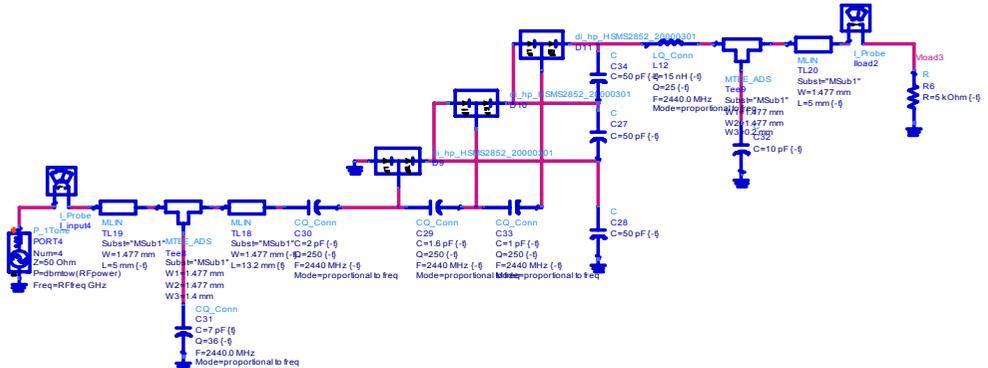
그림 3.3과 3.4는 각각 단 수 증가에 따른 Villard 전압 체배기의 구조 및 출력 전압, 효율에 관한 ADS 시뮬레이션 결과이다. 단 수는 1단에서 3단까지 특성을 확인하였으며, 단일 동작 주파수에 대한 정합 및 동일한 부하 저항 값을 사용하였다. 또한, 단 수 증가에 따른 입력 커패시턴스 개수 증가를 고려하여 커패시턴스 값에 대한 최적화를 수행하였다.



(a)



(b)



(c)

그림 3.3. 1단 ~ 3단 Villard 전압 체배기 :
(a) 1단 (b) 2단 (c) 3단.

Fig. 3.3. 1 ~ 3 Stage Villard voltage multiplier :
(a) 1-stage (b) 2-stage and (c) 3-stage.

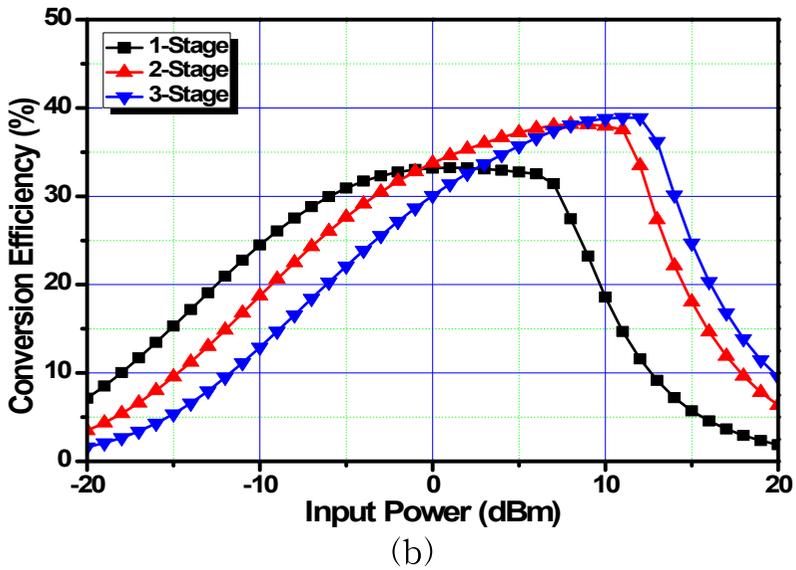
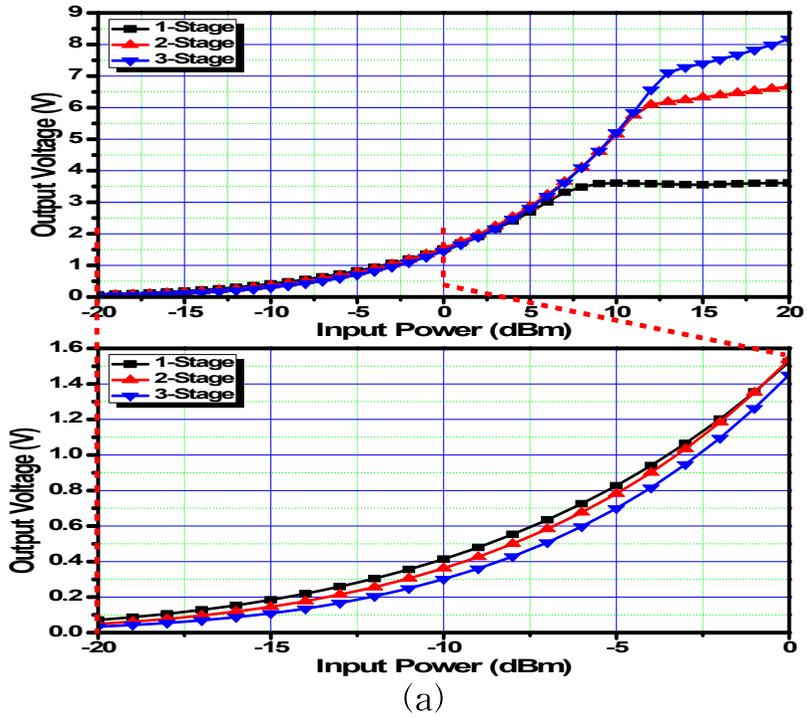


그림 3.4. ADS 시뮬레이션 결과 : (a) 출력 전압 (b) 변환 효율.

Fig. 3.4. ADS simulation results :
 (a) Output voltage and (b) conversion efficiency.

표 3.2. 단 수에 대한 ADS 시뮬레이션 결과.

Table 3.2. ADS Simulation results for number of stage.

| 입력 전력 (dBm) | 1단 정류 회로 | | 2단 정류 회로 | | 3단 정류 회로 | |
|----------------|---------------------|--------|---------------------|--------|---------------------|--------|
| | 출력 전압 (V) | 효율 (%) | 출력 전압 (V) | 효율 (%) | 출력 전압 (V) | 효율 (%) |
| -20 | 0.071 | 7.151 | 0.049 | 3.484 | 0.034 | 1.610 |
| -19 | 0.087 | 8.522 | 0.062 | 4.363 | 0.043 | 2.076 |
| -18 | 0.106 | 10.043 | 0.077 | 5.408 | 0.054 | 2.664 |
| -17 | 0.128 | 11.697 | 0.096 | 6.626 | 0.069 | 3.396 |
| -16 | 0.154 | 13.458 | 0.119 | 8.013 | 0.087 | 4.287 |
| -15 | 0.184 | 15.297 | 0.145 | 9.554 | 0.109 | 5.347 |
| -14 | 0.219 | 17.181 | 0.177 | 11.230 | 0.135 | 6.575 |
| -13 | 0.259 | 19.075 | 0.214 | 13.013 | 0.167 | 7.965 |
| -12 | 0.304 | 20.944 | 0.256 | 14.875 | 0.205 | 9.499 |
| -11 | 0.356 < Coldstart > | 22.756 | 0.305 < Coldstart > | 16.785 | 0.249 | 11.153 |
| -10 | 0.414 | 24.477 | 0.362 < Coldstart > | 18.712 | 0.301 < Coldstart > | 12.902 |
| -9 | 0.479 | 26.078 | 0.426 | 20.627 | 0.360 | 14.716 |
| -8 | 0.553 | 27.534 | 0.500 | 22.504 | 0.429 | 16.569 |
| -7 | 0.635 | 28.832 | 0.583 | 24.315 | 0.507 | 18.432 |
| -6 | 0.726 | 29.963 | 0.677 | 26.038 | 0.597 | 20.283 |
| -5 | 0.827 | 30.922 | 0.782 | 27.650 | 0.699 | 22.099 |
| -4 | 0.940 | 31.701 | 0.901 | 29.138 | 0.815 | 23.861 |
| -3 | 1.065 | 32.299 | 1.034 | 30.493 | 0.947 | 25.551 |
| -2 | 1.202 | 32.732 | 1.184 | 31.716 | 1.095 | 27.156 |
| -1 | 1.355 | 33.020 | 1.351 | 32.807 | 1.263 | 28.667 |
| 0 | 1.524 | 33.185 | 1.537 | 33.770 | 1.451 | 30.078 |
| 1 | 1.712 | 33.242 | 1.747 | 34.613 | 1.663 | 31.384 |
| 2 | 1.919 | 33.206 | 1.981 | 35.355 | 1.901 | 32.586 |
| 3 | 2.150 | 33.097 | 2.243 | 36.025 | 2.169 | 33.686 |
| 4 | 2.407 | 32.942 | 2.539 | 36.649 | 2.470 | 34.708 |
| 5 | 2.693 | 32.753 | 2.870 | 37.219 | 2.810 | 35.683 |
| 6 | 3.010 | 32.520 | 3.241 | 37.688 | 3.194 | 36.603 |
| 7 | 3.320 | 31.415 | 3.652 | 38.010 | 3.623 | 37.411 |
| 8 | 3.481 | 27.437 | 4.105 | 38.159 | 4.100 | 38.060 |
| 9 | 3.594 | 23.235 | 4.605 | 38.133 | 4.628 | 38.525 |
| 10 | 3.605 | 18.567 | 5.153 | 37.940 | 5.211 | 38.798 |
| 11 | 3.598 | 14.689 | 5.751 | 37.525 | 5.855 | 38.898 |
| 12 | 3.587 | 11.598 | 6.094 | 33.477 | 6.569 | 38.893 |
| 13 | 3.575 | 9.149 | 6.183 | 27.369 | 7.110 | 36.192 |
| 14 | 3.561 | 7.211 | 6.242 | 22.162 | 7.280 | 30.138 |
| 15 | 3.557 | 5.717 | 6.323 | 18.064 | 7.395 | 24.706 |
| 16 | 3.569 | 4.571 | 6.394 | 14.670 | 7.527 | 20.333 |
| 17 | 3.588 | 3.670 | 6.462 | 11.901 | 7.674 | 16.787 |
| 18 | 3.601 | 2.935 | 6.529 | 9.652 | 7.823 | 13.858 |
| 19 | 3.608 | 2.342 | 6.596 | 7.824 | 7.987 | 11.473 |
| 20 | 3.614 | 1.865 | 6.667 | 6.351 | 8.177 | 9.551 |

시뮬레이션 결과를 통해 단 수가 증가할수록 포화 영역에서의 출력 전압이 높아지는 것을 알 수 있으며, 대체로 높은 입력 전압에 대해 높은 효율을 갖는다. 하지만 본 연구에서는 낮은 입력 전력에서의 효율 및 DC-DC 변환기와의 연동을 고려하여 콜드 스타트 진입 동작이 제일 빠른 1단 Villard 전압 체배기를 사용하도록 한다.

3.3 이중 대역 정류 회로 설계

낮은 입력 전력을 목표로 하는 정류 회로에서는 다이오드의 문턱 전압에 의한 전압 강하가 효율 감소의 큰 원인으로 작용한다. 때문에 최근 RF 에너지 수확 시스템에 대한 연구는 이와 같은 낮은 입력 전력에서 정류 회로의 효율을 높일 수 있는 방안에 대해 많은 연구가 이루어지며, 최근에는 발진 회로와 같은 스타트 업(start-up) 회로를 사용하여 입력 전압의 진폭을 증폭시키는 방법도 제안되었다.^[25]

일반적으로 낮은 입력 전력에서 신호의 진폭을 상승시키는 간단한 방법으로는 이중 대역 및 다중 대역의 주파수 합성 방법이 있다. 다음 그림 3.5는 동일한 입력 전력에서 단일 주파수의 연속 신호 파형과 이중 대역 주파수의 연속 신호 파형 및 문턱 전압에 대한 그림이다. 그림에 표시된 V_{TH} 는 Avago사의 HSMS-2852 쇼트키 배리어 다이오드의 문턱 전압이며, 단일 주파수의 연속 신호와 이중 대역의 연속 신호의 전력은 동일한 양을 갖는다.

그림을 통해서 알 수 있듯이 문턱 전압인 V_{TH} 이상에서 단일

주파수의 연속 신호에 비해 이중 대역의 연속 신호가 더 높은 피크 전압을 가지며, 이는 곧 동일한 입력 전력에서 더 높은 효율 및 출력 전압을 얻을 수 있음을 알 수 있다.

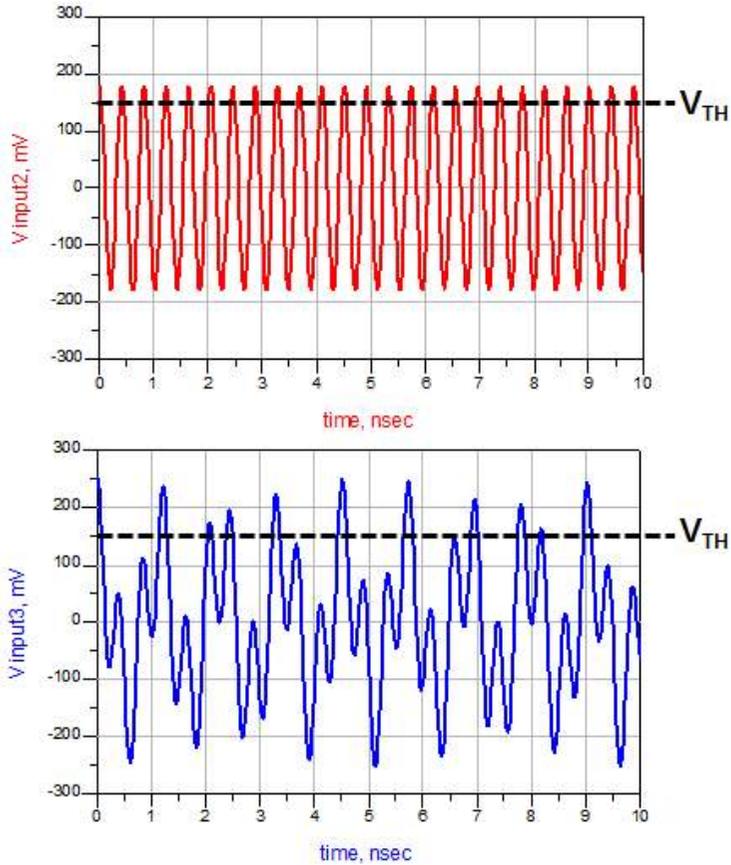
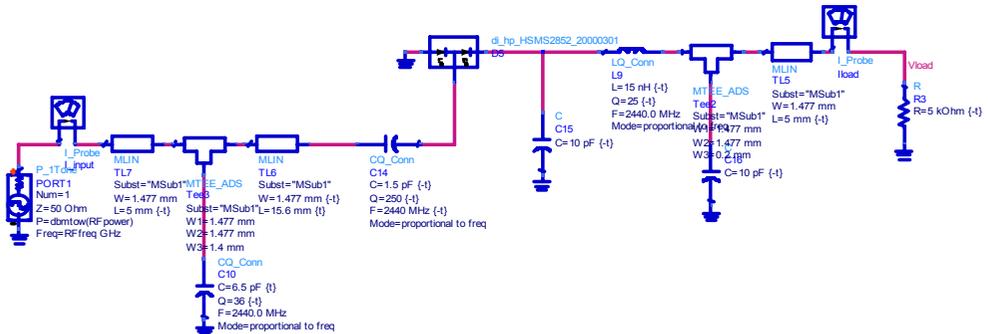
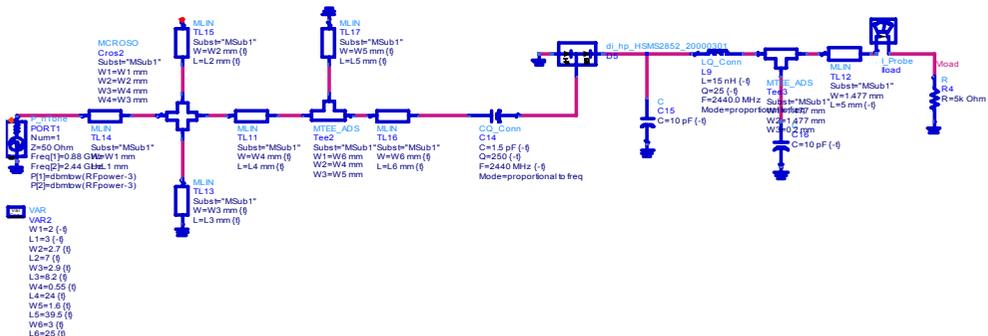


그림 3.5. 단일 및 이중 대역 주파수의 연속 신호 파형.
 Fig. 3.5. Continuous waveform in single and synthesized dual-band frequency.

그림 3.6 ~ 3.9는 각각 단일 주파수 및 이중 대역에서 동작하는 정류 회로와 시뮬레이션을 통한 각 정류 회로의 반사 특성, 출력 전압 및 효율을 나타낸 그림이다. 단일 대역의 동작 주파수는 2.44 GHz이며, 이중 대역 정합 회로는 880 MHz, 2.44 GHz에 정합된 회로이다. 두 회로의 부하 저항 값은 5 kΩ으로 동일한 값을 가지며, 정합 회로는 -20 dB 이상의 반사 손실을 갖는다. 이중 대역의 정류 회로에 인가되는 전력은 주파수 톤(tone) 당 -3 dB를 인가함으로써 단일 주파수에서 동작하는 정류 회로와 입력되는 총 전력을 같게 설정하였다.



(a)



(b)

그림 3.6. (a) 단일 주파수 (b) 이중 대역에 정합된 정류 회로.
Fig. 3.6. Rectifier matched at (a) single frequency and (b) dual-band frequency.

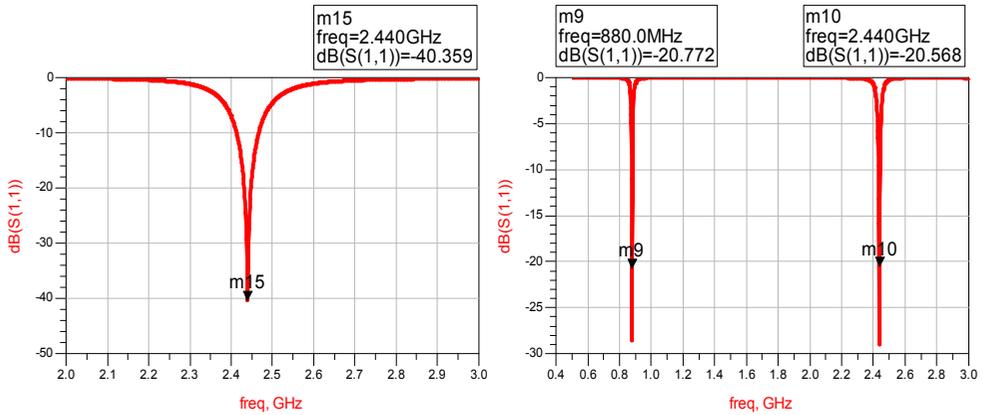


그림 3.7. 반사 특성 :

(a) 단일 주파수 정류 회로 (b) 이중 대역 정류 회로.

Fig. 3.7. Reflection characteristic of (a) single frequency rectifier and (b) dual-band rectifier.

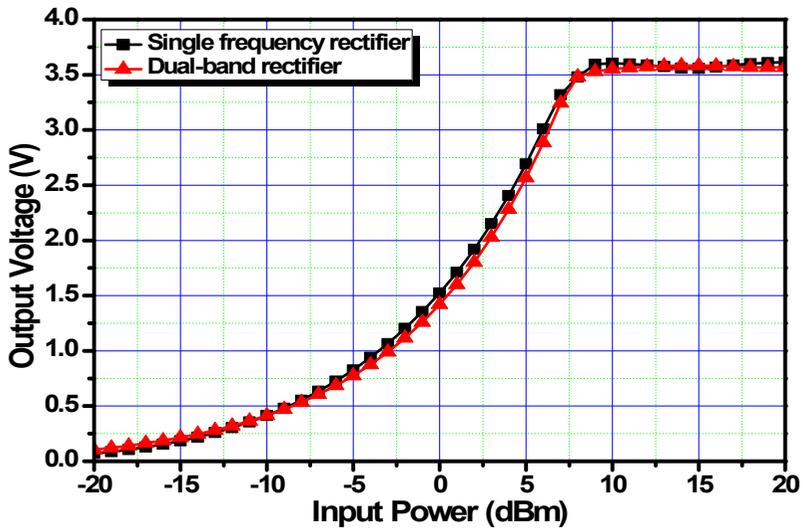


그림 3.8. 정류 회로의 출력 전압 비교.

Fig. 3.8. Output voltage comparison of rectifier.

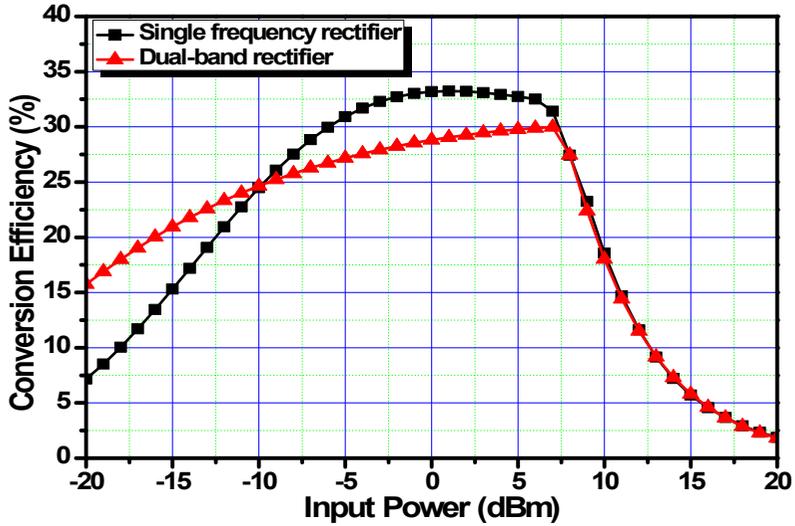


그림 3.9. 정류 회로의 변환 효율 비교.

Fig. 3.9. Conversion efficiency comparison of rectifier.

단일 주파수 및 이중 대역에서 동작하는 정류 회로의 ADS 시뮬레이션 결과, -10 dBm 이하의 낮은 입력 전력에서는 이중 대역의 정류 회로가 높은 효율 및 출력 전압을 갖는 것을 알 수 있으며, 향후 BQ25504 DC-DC 변환기와의 연동 시 더 낮은 입력 전력에서 DC-DC 변환기가 콜드 스타트 동작을 수행할 수 있다는 이점이 있다.

3.4 RF-DC 및 DC-DC 변환기 간 저항 최적화

RF-DC 정류 회로는 구조에 따라 변환 효율을 최대로 얻을 수 있는 부하 저항 값이 존재한다. 일반적으로 입력 전력이 높을수록 낮은 부하 저항 값에서 높은 변환 효율을 얻을 수 있으며, 낮은 입력 전력에 대해서는 높은 부하 저항값에서 최대 변환 효율을 얻을 수 있다. 반면, DC-DC 변환기는 입력 전압의 크기에 대해 스위칭 동작을 수행하며, 일반적으로 높은 입력 전압에서 높은 효율을 얻을 수 있다. 본 절에서는 RF-DC 정류 회로와 DC-DC 변환기 사이의 부하 저항에 대한 각 변환기의 효율 및 DC-DC 변환기의 V_{STOR} 전압 및 V_{BAT} 전압의 변화를 측정을 통해 알아보도록 한다.

그림 3.10은 정류 회로의 부하 저항 값의 변화에 따른 정류 회로 및 DC-DC 변환기의 변환 효율을 나타낸 그림이다. 일반적으로 부하 저항 값이 높을수록 정류 회로의 출력 전압은 높아지는 특성을 갖고 있으며, 변환 효율은 특정한 저항 값에 대해 최대 변환 효율을 갖고, 그 이상의 저항 값에서는 변환 효율이 낮아진다. 반면, DC-DC 변환기는 입력 전압이 높아질수록 변환 효율이 높아지며, 특정 전압 이상에서는 일정한 변환 효율을 유지한다. 본 연구에서는 이와 같은 결과를 토대로 정류 회로와 DC-DC 변환기 사이의 부하 저항 선택시 두 변환기의 최대 변환 효율을 얻을 수 있도록 하였으며, 그림 3.10을 통해 약 10 ~ 20 k Ω 사이의 저항에서 정류 회로 및 DC-DC 변환기가 최대 효율을 갖음을 측정을 통해 확인하였다.

향후 본격적인 제안 회로에 대해서도 부하 저항의 변화에 따른 정류 회로의 변환 효율을 측정함에 따라 최적화된 부하 저

항을 선택하도록 하며, DC-DC 변환기의 최소 구동 전력에 대한 영향을 고려하여 가급적 높은 저항 값을 선택하도록 한다.

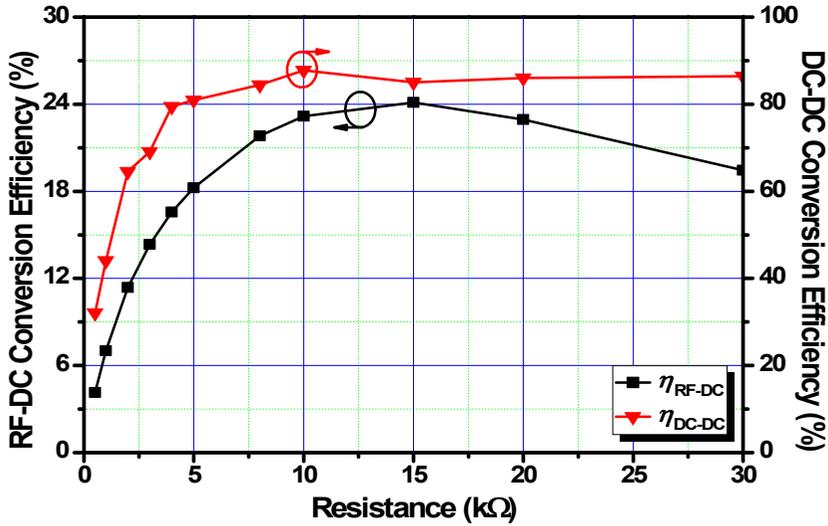


그림 3.10. 정류 회로의 부하 저항에 따른 정류 회로 및 DC-DC 변환기의 변환 효율.

Fig. 3.10. Conversion efficiency of rectifier and DC-DC converter according to the variable load resistance of rectifier.

4. 이중 대역 이중 안테나 정류 회로.

4.1 이중 대역 이중 안테나 정류 회로 소개.

본 연구에서는 HSMS-2852 쇼트키 배리어 다이오드를 이용한 Villard 전압 체배 구조의 RF 에너지 정류 회로를 설계하고자 한다. 나아가 이중 대역의 정합 회로를 설계함으로써 기존 단일 주파수에서 동작하는 정류 회로에 비해 낮은 입력 전력에서 더 높은 출력 전압 및 효율을 제공하도록 한다. 또한, 보조 정류 회로 설계를 통하여 주 회로의 기준 단자에 전압을 인가함으로써 기존에 비해 더 높은 출력 전압 및 효율을 얻을 수 있는 이중 안테나 구조를 적용하도록 한다.

그림 4.1은 제안하는 이중 대역 이중 안테나 구조의 정류 회로의 회로도이다. 제안하는 회로는 크게 주 정류 회로(main rectifier)와 보조 정류 회로(auxiliary rectifier)로 나뉘며, 각각 이중 대역에 정합된 정합 회로 및 안테나를 신호원으로 동작한다. 보조 정류 회로는 주 정류 회로의 병렬 다이오드 및 커패시터에 기준 전압을 제공하는 역할 및 이중 안테나에 입사되는 신호 전압의 전위차에 의한 손실을 최소화한다.

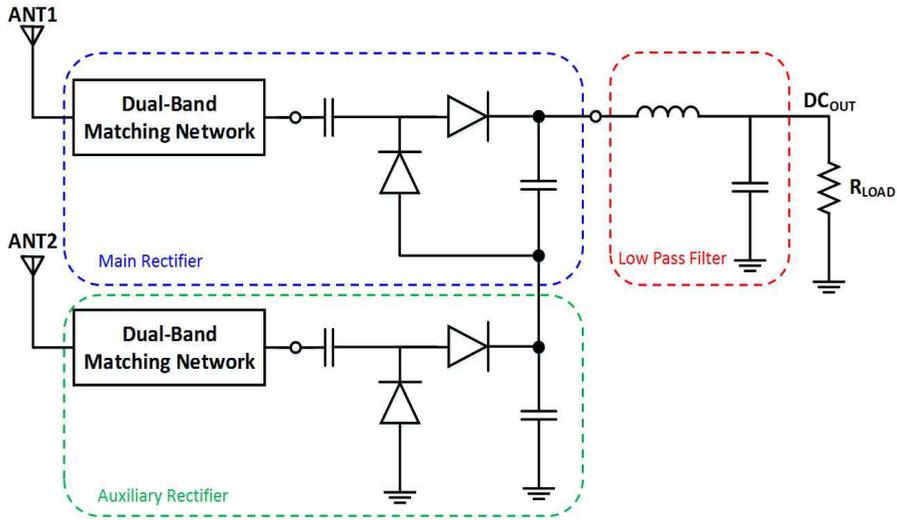
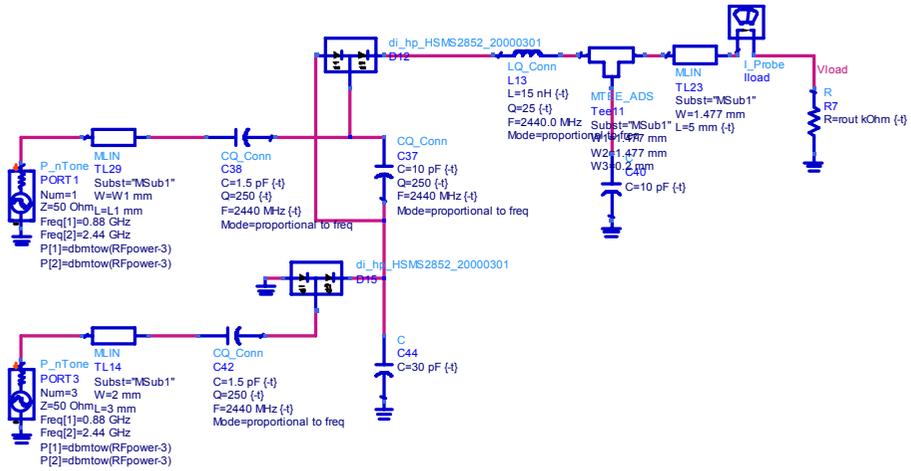


그림 4.1. 제안하는 이중 대역 이중 안테나 구조의 정류 회로.
 Fig. 4.1. Proposed dual-band dual ANT rectifier.

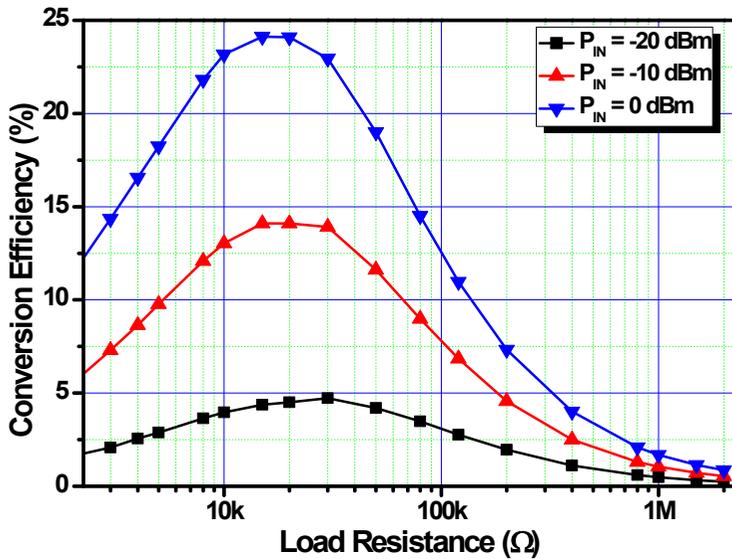
4.2 제안된 정류 회로 설계.

앞 장에서는 다양한 구조와 단 수에 대한 정류 회로의 시뮬레이션을 통해 낮은 입력 전력 및 민감도에 대한 최적화를 이루었다. 그 결과, 1단 Villard 전압 체배 구조에서 가장 높은 민감도 및 적절한 변환 효율을 얻을 수 있었으며 본 절에서는 이 결과를 토대로 직접적인 정류기 설계를 실시하도록 한다.

실제 설계에 앞서, 정류기의 입력 임피던스에 영향을 줄 수 있는 부하 저항 값에 대한 최적화가 선행되어야 한다. 그림 4.2 (a)와 (b)는 각각 제안된 회로의 ADS 시뮬레이션 회로도 및 부하 저항에 대한 변환 효율 그래프이다.



(a)



(b)

그림 4.2. ADS 시뮬레이션 :

(a) 이중 대역 이중 안테나 구조의 정류기 (b) 변환 효율.

Fig. 4.2. ADS Simulation :

(a) dual-band dual ANT rectifier and (b) conversion efficiency.

시뮬레이션은 -20, -10, 0 dBm의 입력 전력에서 100 ~ 2.5 M Ω 의 부하 저항에 대한 제안된 회로의 변환 효율을 나타내었다. 시뮬레이션 결과, 대체로 높은 입력 전력이 인가될 때에는 낮은 저항 값에서 최대 변환 효율이 관측되었으며, 낮은 입력 전력이 인가될수록 높은 저항 값에서 최대 변환 효율이 나타나는 것을 알 수 있다. 설계의 목표 입력 전력인 -20 ~ 0 dBm의 입력 전력에서는 약 15 ~ 30 k Ω 의 부하 저항에서 최대 변환 효율을 보이며, 본 결과를 토대로 실제 설계에서는 약 20 k Ω 의 부하 저항을 사용하도록 한다.

그림 4.3 ~ 4.4는 각각 주 정류 회로와 보조 정류 회로의 입력 임피던스를 얻기 위한 기본 회로 및 측정 결과이다. 정류 회로 설계에 사용된 PCB는 Rogers사의 RT/duroid 5880이며, 낮은 유전율 및 손실 정접(loss tangent)으로 높은 임피던스의 선로 구현에 적합하다. 또한, 별도의 off-set용 선로를 제작하여 입력 포트에서 정류 회로의 바로 앞까지 연결된 전송 선로에 대한 영향을 제거함으로써 보다 정확한 입력 임피던스를 얻도록 한다. 그림 4.4의 스미스차트 상에 표시된 S_{11} 과 S_{22} 는 각각 주 정류 회로의 입력 임피던스 및 보조 회로의 입력 임피던스이다.

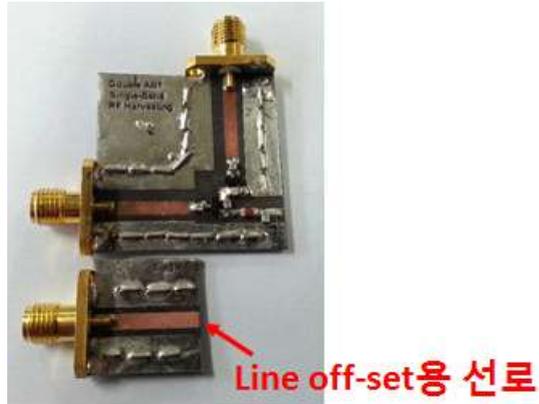


그림 4.3. 입력 임피던스 측정을 위한 기본 회로.
 Fig. 4.3. Basic circuit for input impedance measurement.

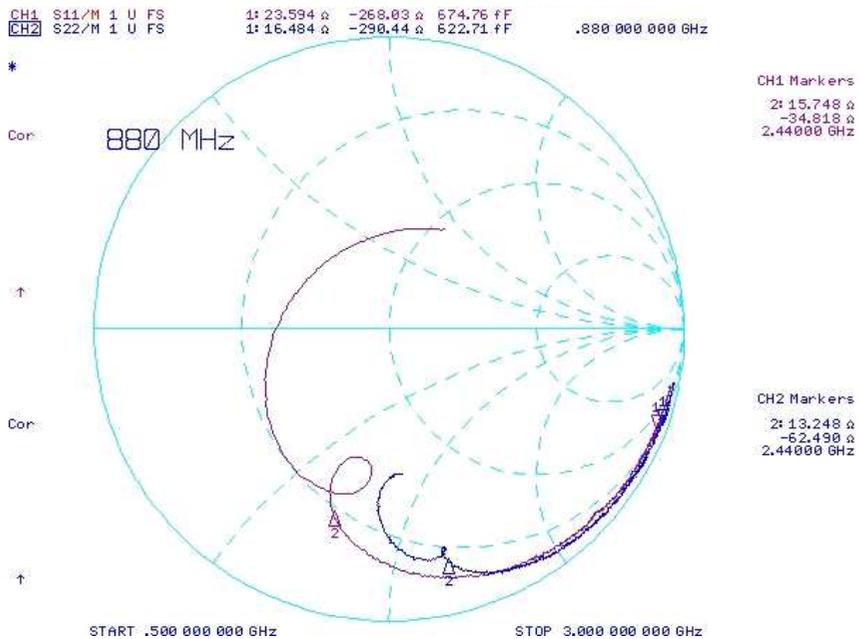


그림 4.4. 기본 회로의 입력 임피던스.
 Fig. 4.4. Input impedance of basic circuit.

표 4.1. 주/보조 회로의 입력 임피던스 측정 결과.

Table 4.1. Input impedance measurement results of main and auxiliary circuit.

| | Frequency | Impedance |
|------|-----------|-----------------|
| Main | 880 MHz | 23.59 - j268.03 |
| | 2.44 GHz | 15.74 - j34.81 |
| Aux. | 880 MHz | 16.48 - j290.44 |
| | 2.44 GHz | 13.24 - j62.49 |

그림 4.5와 4.6 (a), (b)는 각각 ADS 시뮬레이션을 통해 880 MHz, 2.44 GHz에 정합된 주 정류 회로의 정합 회로 및 반사 특성 그래프이다. ADS 시뮬레이션 결과 880 MHz와 2.44 GHz에서 각각 -16.63 dB, -20.91 dB의 반사 특성을 얻을 수 있었다.

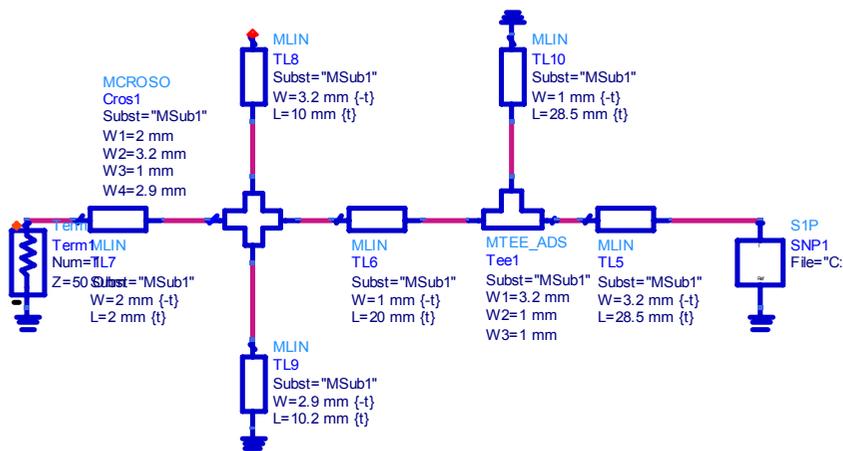


그림 4.5. 주 정류 회로의 정합 회로.

Fig. 4.5. Matching network for main rectifier.

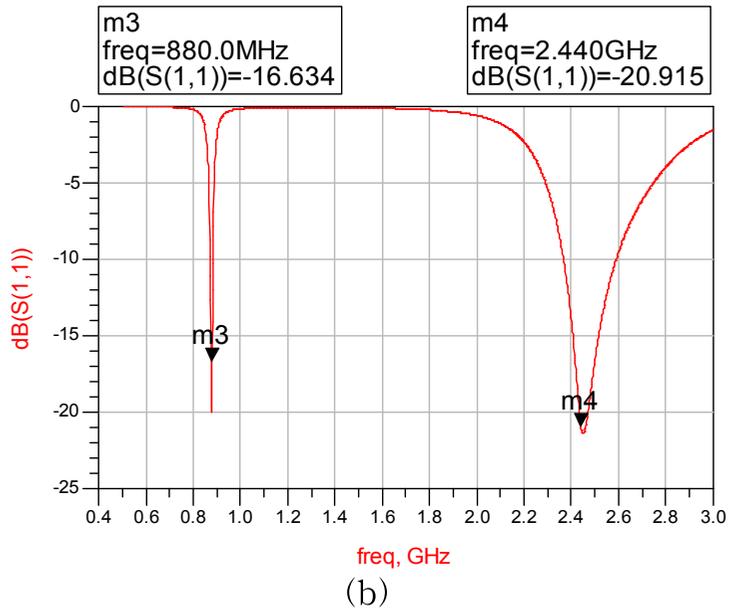
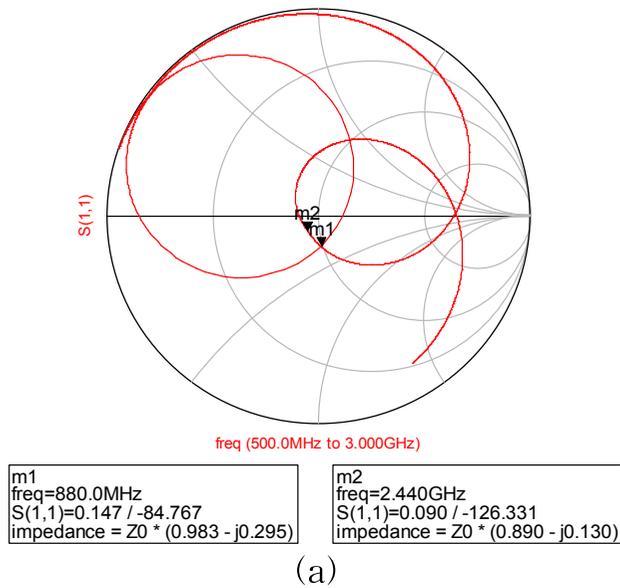


그림 4.6. 정합 회로의 ADS 시뮬레이션 결과 :

(a) 스미스차트 (b) 반사 손실.

Fig. 4.6. ADS Simulation results of matching network :

(a) smithchart and (b) return loss.

그림 4.7 ~ 4.8 (a), (b)는 설계된 정합 회로의 ADS 시뮬레이션 결과를 기반으로 실제 설계 시 보다 더 정확한 결과를 얻기 위해 전송선로 구조를 기반으로 한 HFSS 레이아웃 및 EM 시뮬레이션 결과이다.

EM 시뮬레이션 결과, 각각 880 MHz에서는 -17.64 dB, 2.44 GHz에서는 -15.84 dB의 반사 특성을 얻을 수 있었다.

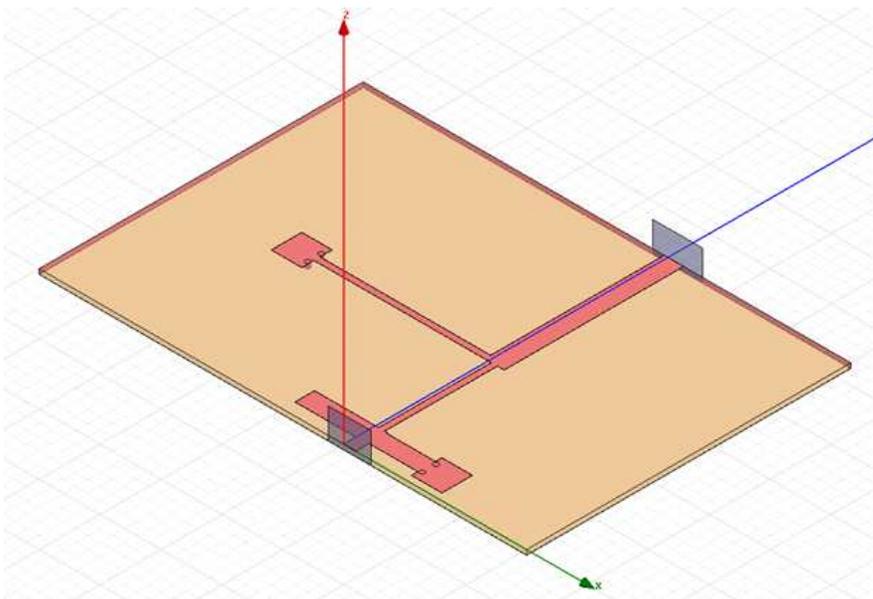
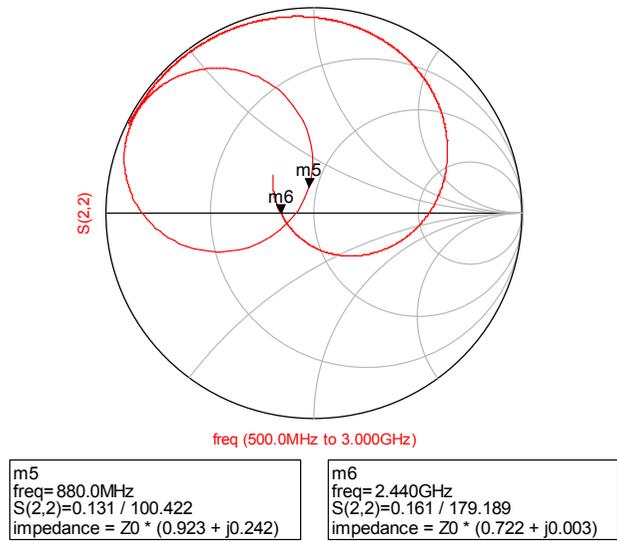
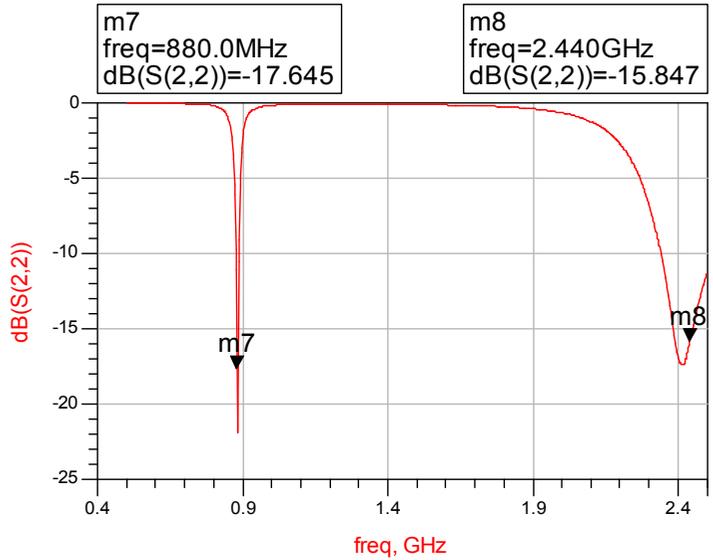


그림 4.7. 설계된 정합 회로의 레이아웃.

Fig. 4.7. Layout of designed matching network.



(a)



(b)

그림 4.8. 정합 회로의 EM 시뮬레이션 결과 :
 (a) 스미스차트 (b) 반사 손실.

Fig. 4.8. EM Simulation results of matching network :
 (a) smithchart and (b) return loss.

그림 4.9과 4.10 (a), (b)는 각각 ADS 시뮬레이션을 통해 880 MHz, 2.44 GHz에 정합된 보조 정류 회로의 정합 회로 및 반사 특성 그래프이다. ADS 시뮬레이션 결과 880 MHz와 2.44 GHz에서 각각 -25.32 dB, -27.24 dB의 반사 특성을 얻을 수 있었다.

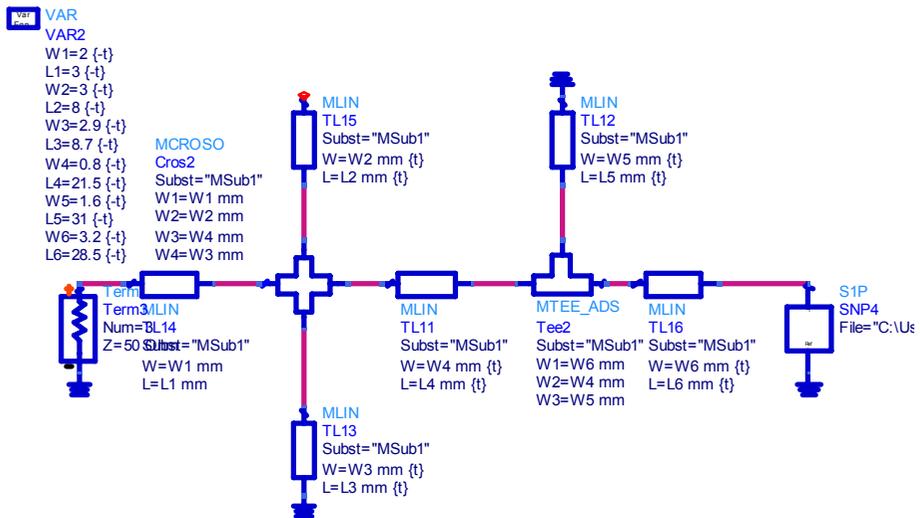
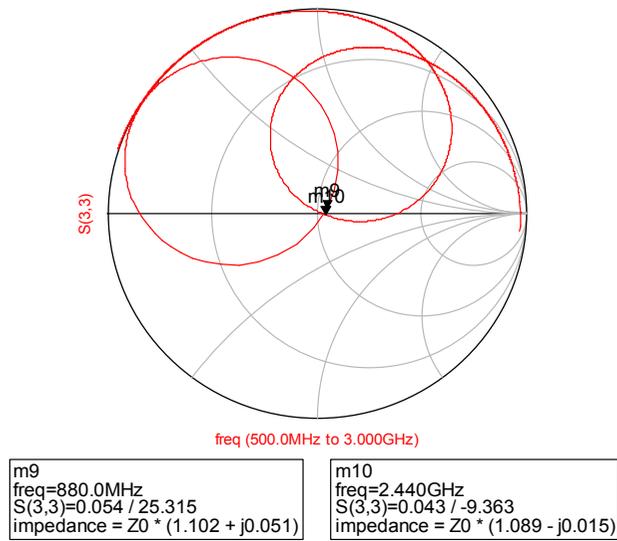
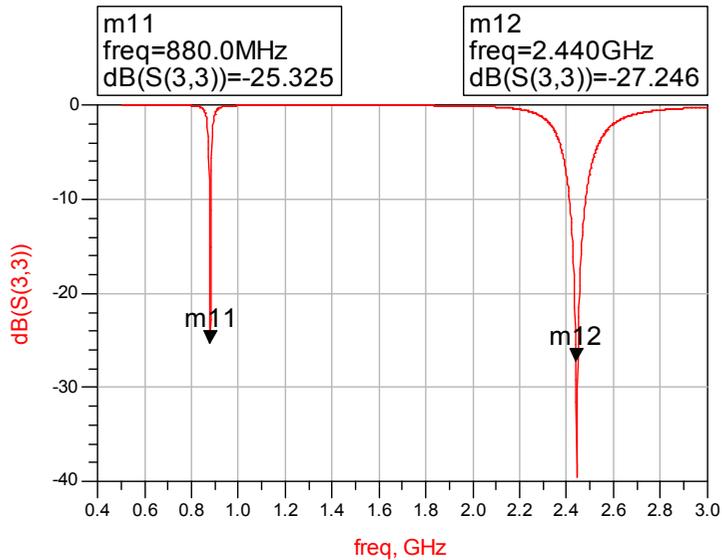


그림 4.9. 보조 정류 회로의 정합 회로.

Fig. 4.9. Matching network for auxiliary rectifier.



(a)



(b)

그림 4.10. 정합 회로의 ADS 시뮬레이션 결과 :

(a) 스미스차트 (b) 반사 손실.

Fig. 4.10. ADS Simulation results of matching network :

(a) smithchart and (b) return loss.

그림 4.11 ~ 4.12 (a), (b)는 설계된 보조 정류 회로에 대한 정합 회로의 ADS 시뮬레이션 결과를 기반으로 실제 설계 시 보다 더 정확한 결과를 얻기 위해 전송선로의 구조를 기반으로 한 HFSS 레이아웃 및 EM 시뮬레이션 결과이다.

EM 시뮬레이션 결과, 각각 880 MHz에서는 -17.21 dB, 2.44 GHz에서는 -15.01 dB의 반사 특성을 얻을 수 있었다.

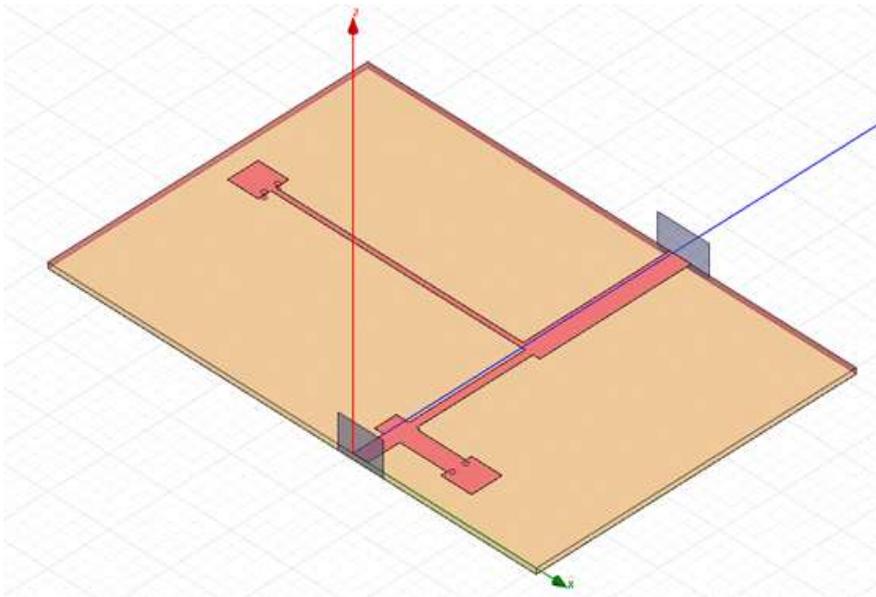
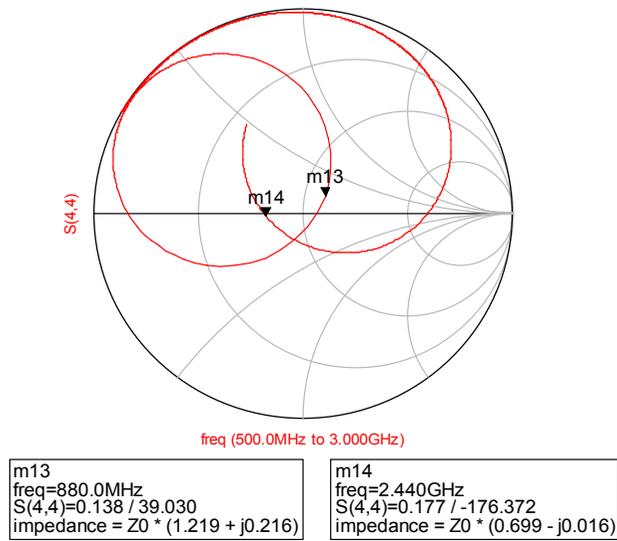
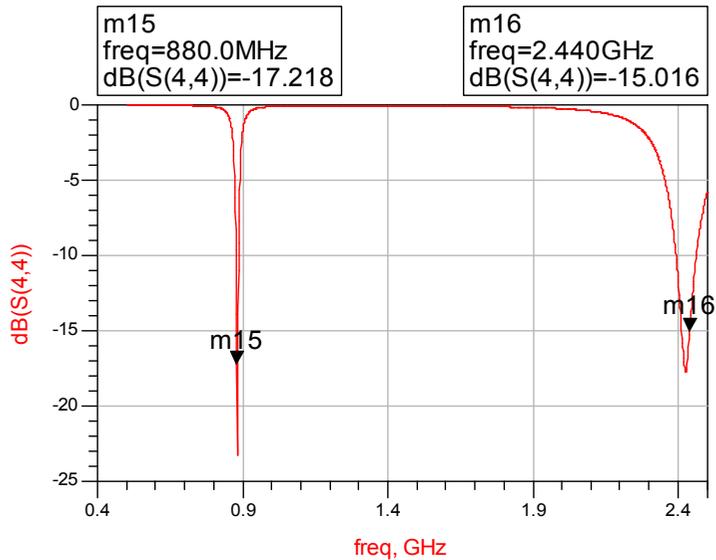


그림 4.11. 설계된 정합 회로의 레이아웃.

Fig. 4.11. Layout of designed matching network.



(a)



(b)

그림 4.12. 정합 회로의 EM 시뮬레이션 결과 :

(a) 스미스차트 (b) 반사 손실.

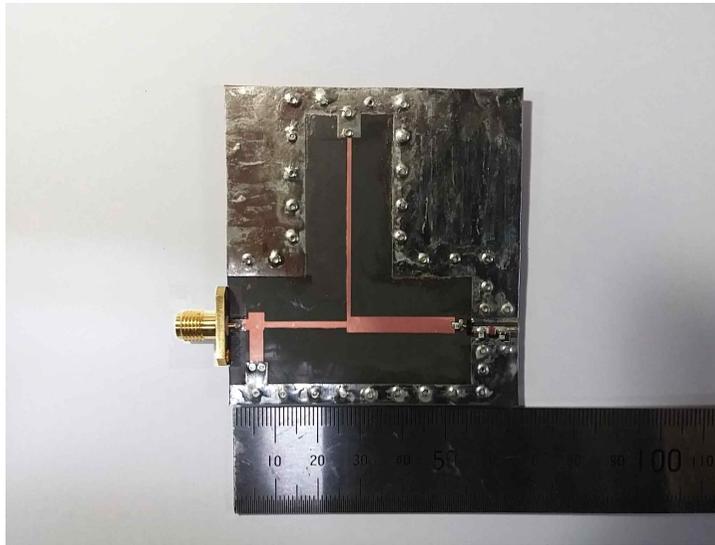
Fig. 4.12. EM Simulation results of matching network :

(a) smithchart and (b) return loss.

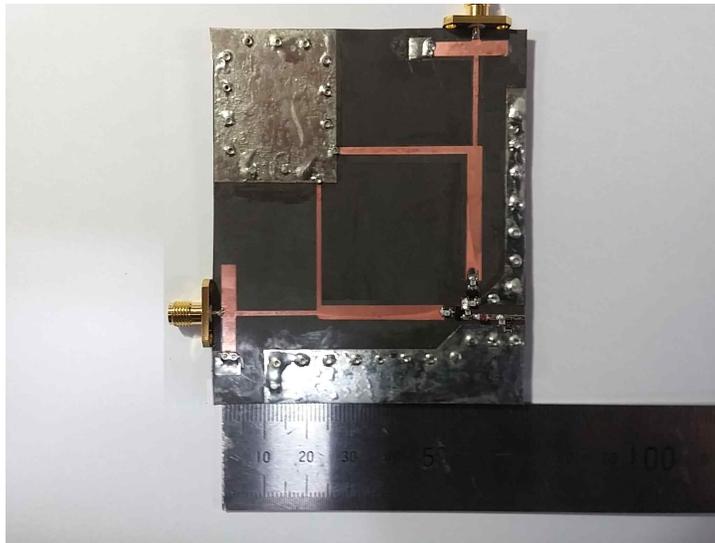
4.3 제작 및 측정.

그림 4.13 (a)와 (b)는 HSMS-2852 쇼트키 배리어 다이오드를 사용하여 제작된 일반적인 이중 대역 정류기 및 제안된 이중 대역 이중 안테나 구조의 정류기이다. 설계에 사용된 PCB 기판은 Roger사의 RT/Duroid 5880($\epsilon_r = 2.2$, $h = 0.787$, $\tan\delta = 0.0009$)이다. 제작된 회로의 크기는 각각 $6.5 \times 7 \text{ cm}^2$, $7 \times 8.5 \text{ cm}^2$ 이며, 추후 정합 회로의 전송 선로를 meander 선로로 구현 시 크기를 상당히 줄일 수 있다.

그림 4.14 ~ 4.15는 각각 제작된 정류기들의 반사 특성을 나타낸 그림이다. 스미스차트 주파수 이동 곡선 분석을 통해 전체적으로 제작된 두 정류기 모두 시뮬레이션 결과와 비슷한 결과를 갖음을 알 수 있다. 제작된 정합 회로는 제작 과정의 오차를 보완하기 위하여 전송 선로를 조정을 통해 반사 손실을 최소화하였다. 측정 결과 대조군으로 제작된 이중 대역 정류기는 880 MHz와 2.44 GHz에서 각각 -14.57 dB, -33.79 dB를 가지며, 제안된 이중 대역 이중 안테나 구조의 정류기 중 주 정류 회로는 동일 주파수에서 각각 -16 dB, -20.01 dB를, 보조 정류 회로는 각각 -15.71 dB, -25.46 dB의 반사 특성을 갖는다.



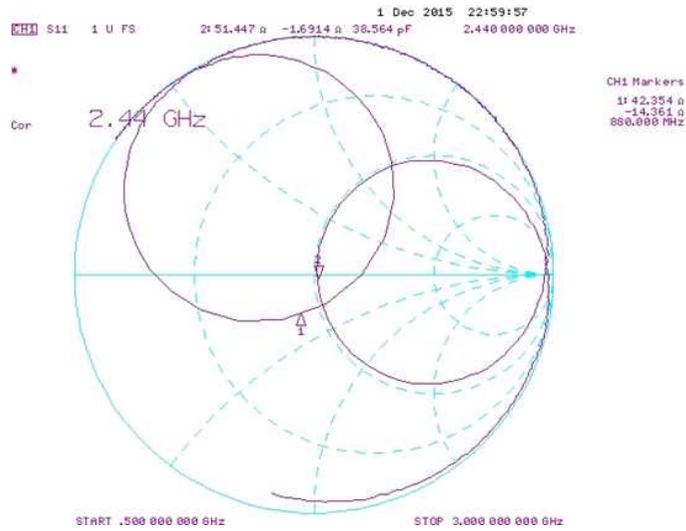
(a)



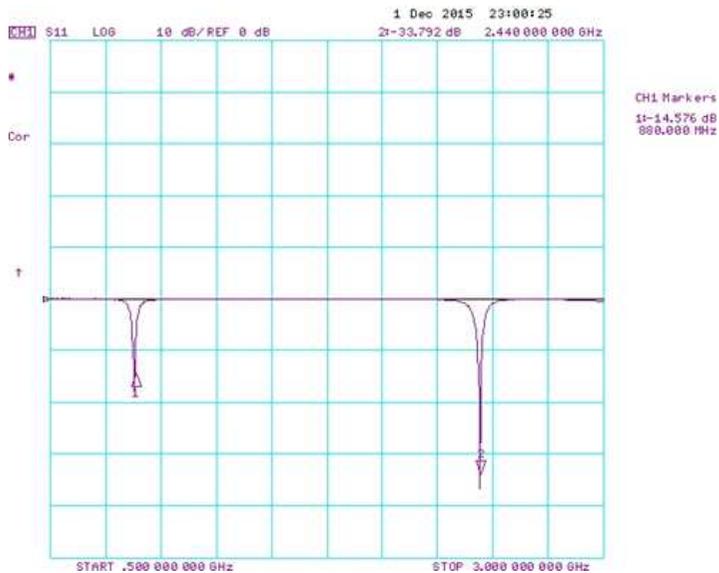
(b)

그림 4.13. (a) 일반적인 이중 대역 정류기 (b) 제안된 이중 대역 이중 안테나 정류기.

Fig. 4.13. (a) Conventional dual-band rectifier and (b) proposed dual-band dual ANT rectifier.



(a)

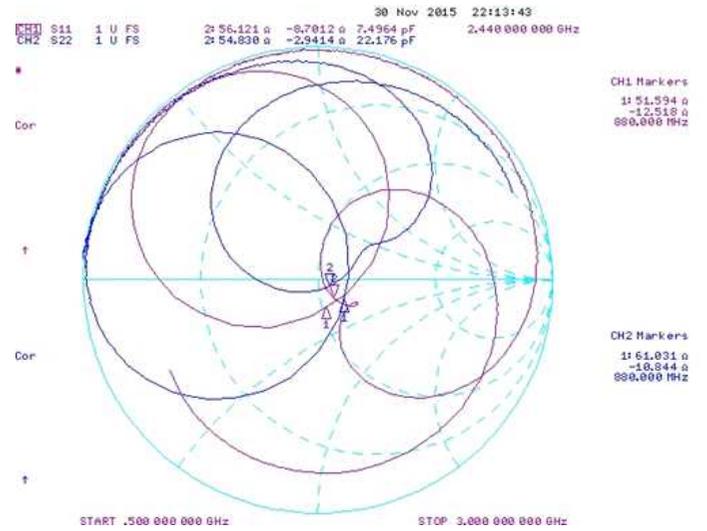


(b)

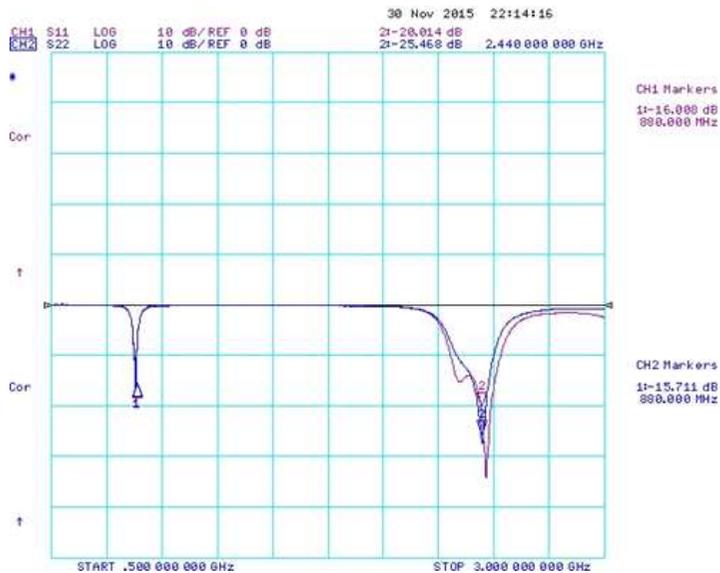
그림 4.14. 일반적인 이중 대역 정류기 측정 결과 :

(a) 스미스차트 (b) 반사 손실.

Fig. 4.14. Measurement results of conventional dual-band rectifier : (a) smithchart and (b) return loss.



(a)



(b)

그림 4.15. 제안된 이중 대역 이중 안테나 정류기 측정 결과 :
(a) 스미스차트 (b) 반사 손실.

Fig. 4.15. Measurement results of proposed dual-band dual ANT rectifier : (a) smithchart and (b) return loss.

그림 4.16 (a)와 (b)는 각각 일반적인 이중 대역 정류기 및 제안된 이중 대역 이중 안테나 정류기의 출력 전압, 효율 측정을 위한 실험 설정이다. 각기 다른 두 대의 신호 발생기(signal generator)를 통해 각각 880 MHz와 2.44 GHz의 연속 신호를 출력 후 Wilkinson 전력 분배기를 통해 결합기로 사용하여 측정 회로(device under test : DUT)에 결합된 전력을 인가하였다. 이 때, Wilkinson 전력 분배기 및 연장 케이블의 삽입 손실을 고려하여 전력 측정기(power meter)를 통해 출력 신호의 전력을 검출 후 신호 발생기의 전력을 알맞게 조정하였다.

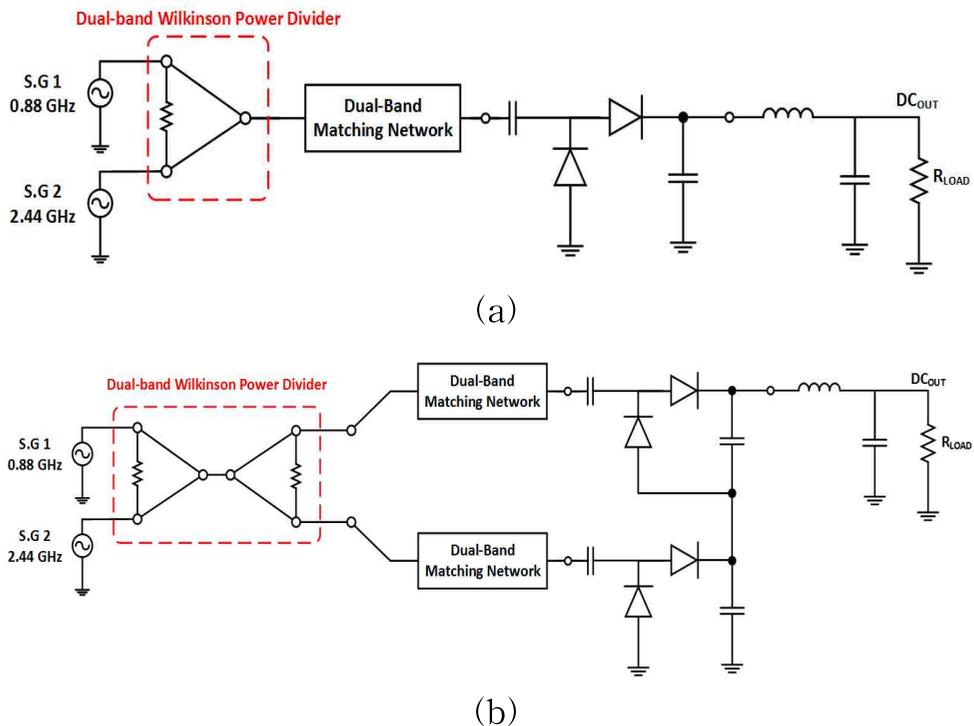


그림 4.16. 비교 회로 및 제안 회로의 실험 설정도.

Fig. 4.16. Test setup for conventional and proposed circuit.

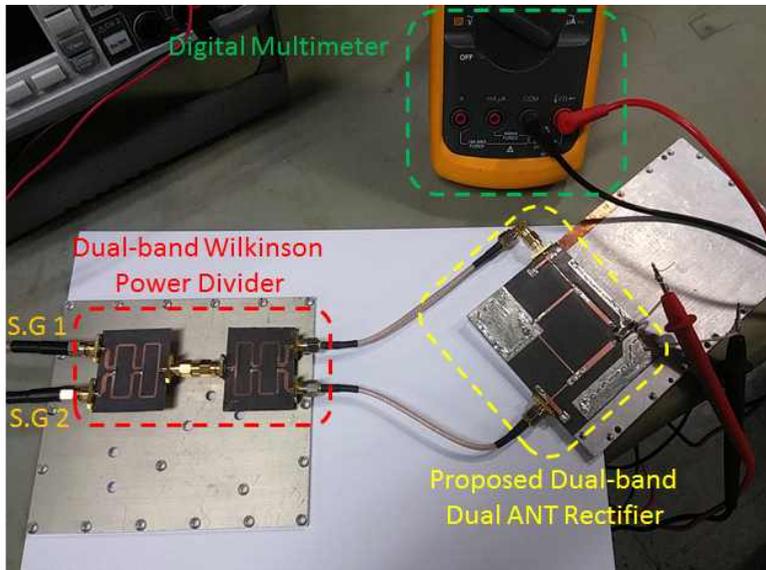
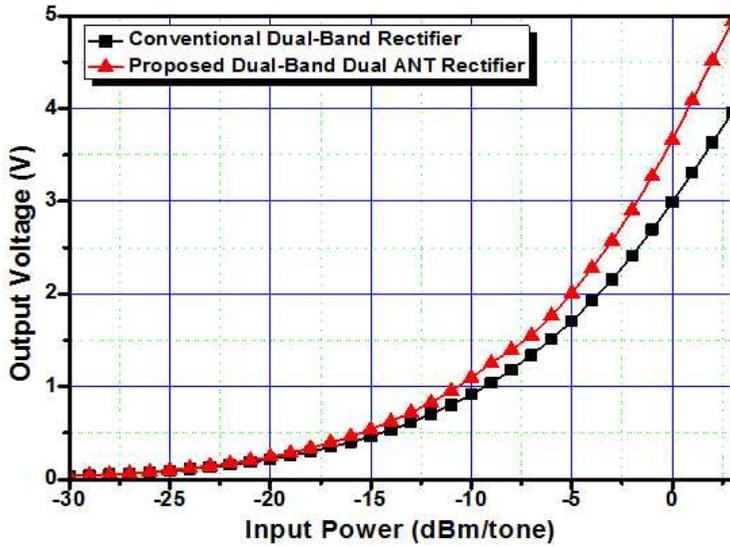


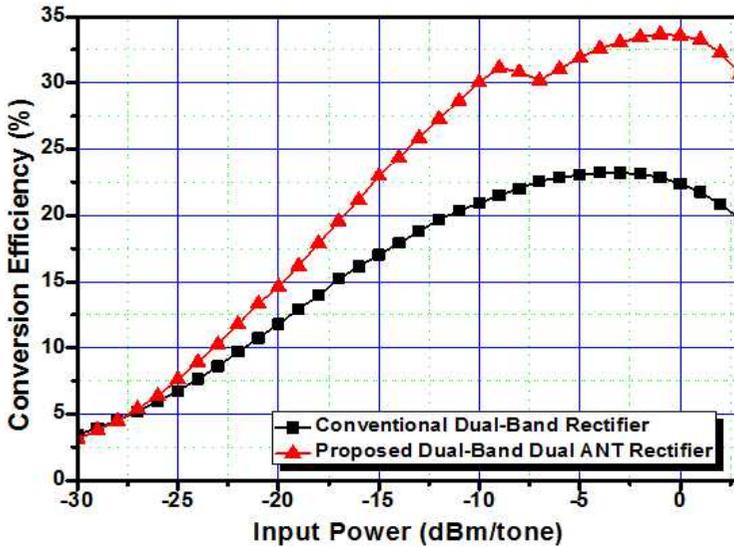
그림 4.17. 제안된 이중 대역 이중 안테나 정류기의 측정 사진.

Fig. 4.17. Picture of measurement setup for proposed dual-band dual ANT rectifier.

그림 4.18 (a)와 (b)는 각각 일반적인 이중 대역 정류기 및 제안된 이중 대역 이중 안테나 정류기의 출력 전압 및 변환 효율 측정 결과이다. 측정 회로는 약 $-30 \sim 3$ dBm/tone의 전력에서 측정되었으며, -25 dBm/tone 이상의 전력에서 제안된 회로의 출력 전압 및 변환 효율 차이가 나기 시작하며, -10 dBm/tone에서 약 8% 향상된 변환 효율을 갖는다. 또한, -20 dBm/tone의 전력에서 제안된 회로가 330 mV에 먼저 도달하는 것을 통해 향후 BQ25504 DC-DC 변환기와 연동 시 더 낮은 입력 전력에서 콜드 스타트 동작에 진입할 것이 예상된다.



(a)



(b)

그림 4.18. 이중 대역 정류기 및 제안 회로 측정 결과 :

(a) 출력 전압 (b) 변환 효율.

Fig. 4.18. Measurement results of dual-band rectifier and proposed rectifier (a) output voltage and (b) conversion efficiency.

그림 4.19과 4.20는 각각 BQ25504 DC-DC 변환기와 제안된 이중 대역 이중 안테나 정류기의 연동 실험 설정도 및 사진이다. 본 실험에서는 SMU를 통해 출력단에 고정 전압을 인가하고, 변화하는 입력 전력에 대해 출력되는 전류를 측정함으로써 RF 에너지 수확 시스템 전체 효율을 계산하였다. 설정된 전압원은 1.8 V인 경우와 3 V인 경우로 나누어서 측정하였으며, 각각의 전압은 향후 충전 회로 및 배터리의 운용 전압으로 대체될 수 있다.

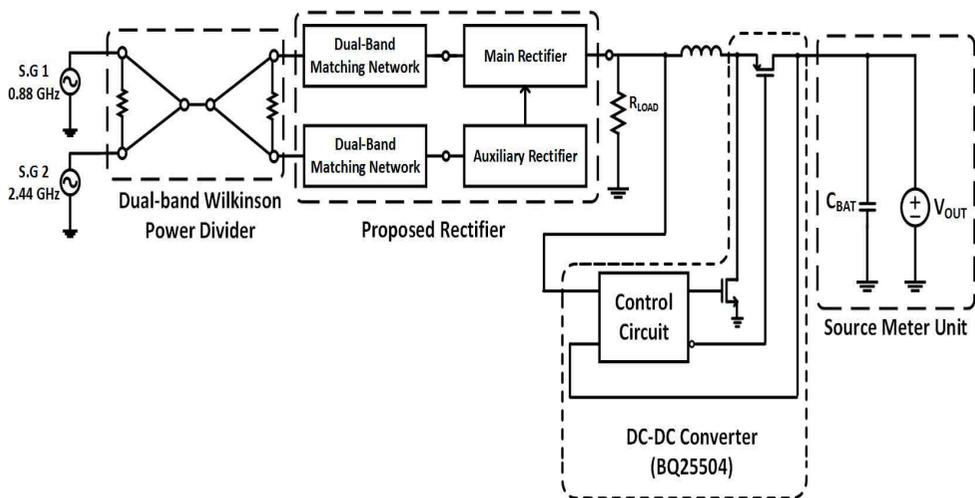


그림 4.19. 연동 실험 설정도.

Fig. 4.19. Setup diagram for linkage test.

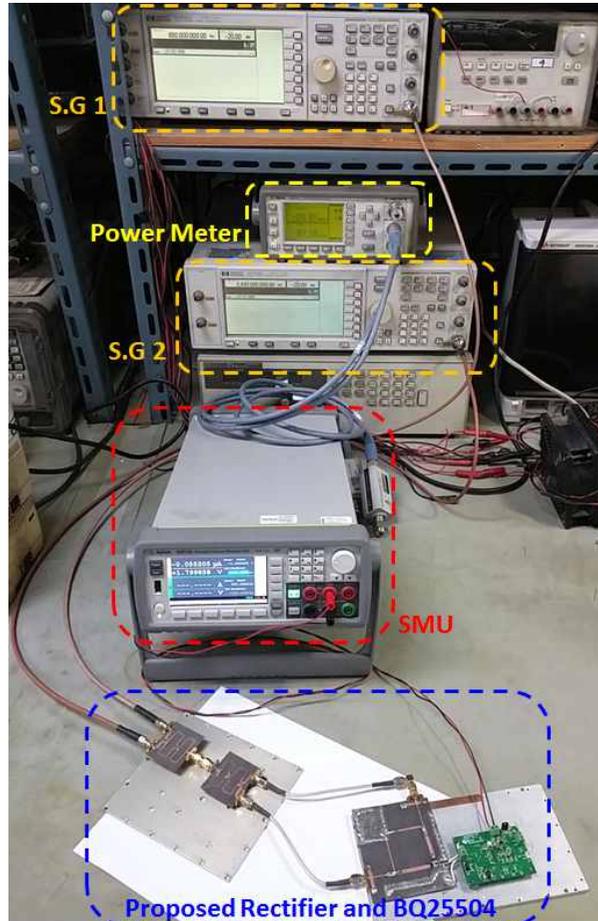


그림 4.20. 연동 실험 사진.

Fig. 4.20. Picture of linkage test setup.

그림 4.21 (a)와 (b)는 일반적인 이중 대역 정류기와 제안된 이중 대역 이중 안테나 정류기의 BQ25504 DC-DC 변환기 연동 시 V_{STOR} 전압 변화이다. 측정 결과, 제안된 이중 대역 이중 안테나의 정류기가 일반적인 이중 대역 정류기보다 약 -1 dB 더 낮은 전압에서 DC-DC 변환기를 동작시킴을 알 수 있다.

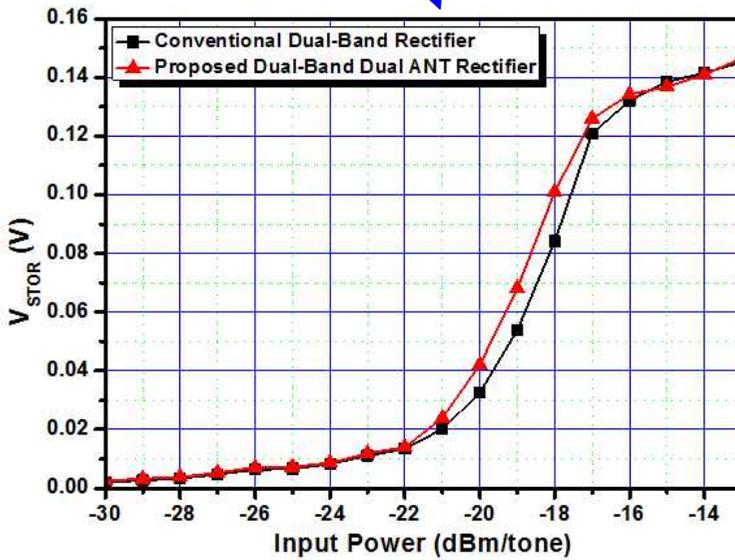
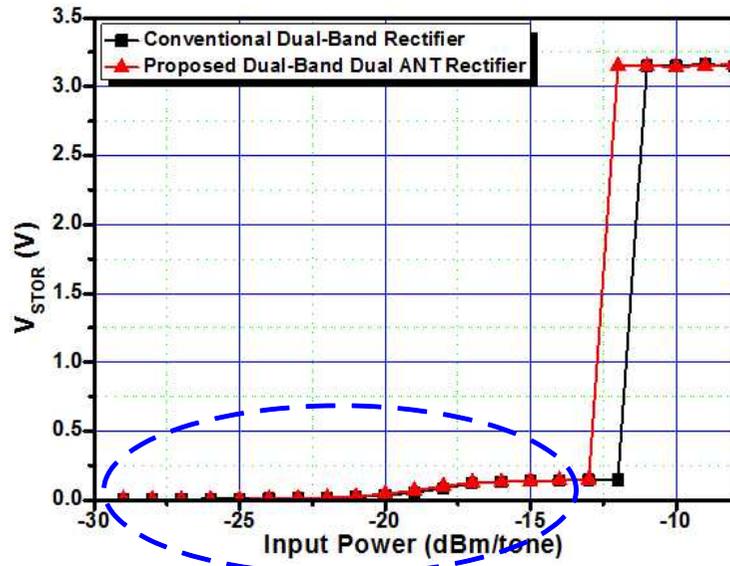
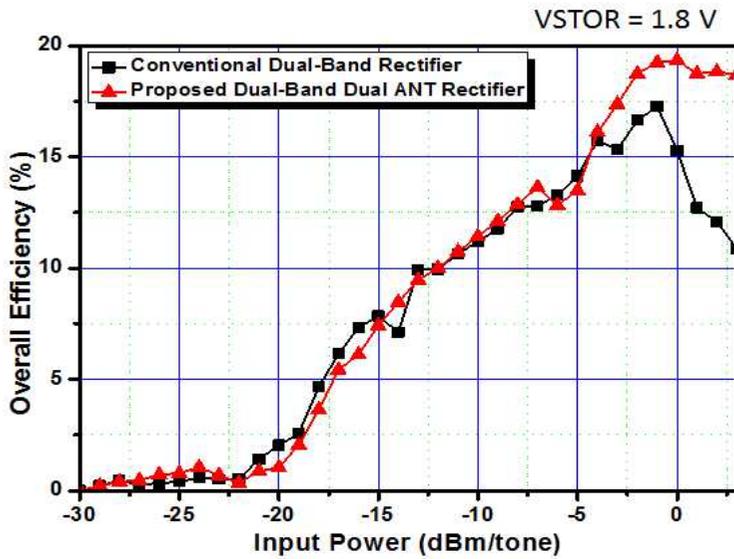


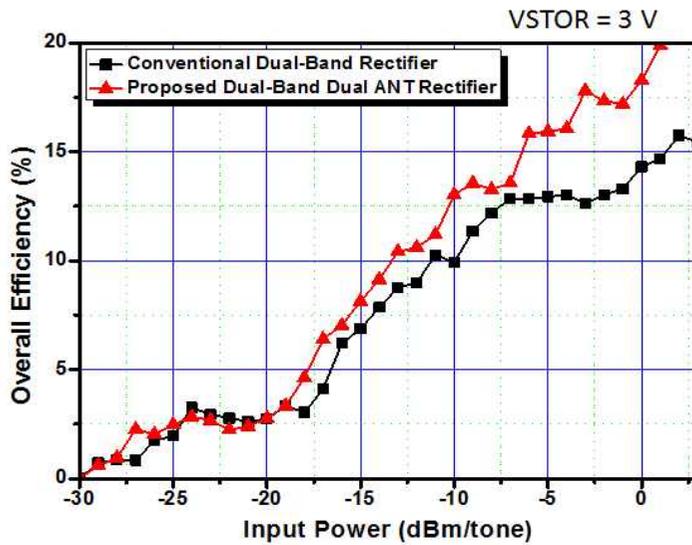
그림 4.21. BQ25504의 V_{STOR} 전압 측정 결과.
 Fig. 4.21. Measured V_{STOR} voltage in BQ25504.

그림 4.22 (a)와 (b)는 RF 에너지 수확 시스템 전체 효율에 대한 일반적인 이중 대역 정류기 회로와 제안된 정류기 회로의 비교이다. 본 실험에서는 SMU 기기를 이용하여 BQ25504의 출력단(V_{STOR})에 각각 1.8 V와 3 V의 고정 전압을 설정하였으며, 출력 전류를 측정하여 변환 효율을 계산하였다.

V_{STOR} 에 1.8 V의 전압원을 인가할 때의 전체 시스템 효율은 일반 회로와 제안된 회로에 큰 차이가 없었으나 -4 dBm/tone 이상의 전력에서는 일반적인 이중 대역 정류기에서는 효율이 급격하게 감소하는 반면 제안된 회로는 약 18%의 효율을 유지한다. V_{STOR} 에 3 V의 전압원을 인가한 경우에는 전체적으로 약 1 ~ 4% 가량의 상승된 효율을 얻을 수 있었으며, 입력 전력이 높아질수록 효율 개선 효과가 분명하게 나타남을 알 수 있다.



(a)



(b)

그림 4.22. 전체 시스템 효율 : $V_{STOR} =$ (a) 1.8 V, (b) 3 V.

Fig. 4.22. Overall system efficiency :

$V_{STOR} =$ (a) 1.8 V and (b) 3 V.

표 4.2. 정류 회로에 관한 이전 연구들의 측정 요약 및 성능 비교.

Table 4.2. Measurement summary and performance comparison among previous researches for the rectifier.

| Reference | Rectifier Structure | RF-DC Conversion Efficiency | Output Voltage @ -20 dBm | Operating Frequency [GHz] |
|------------------|-------------------------------------|-----------------------------|--------------------------|---------------------------|
| [2] | Series diode | 19% @ -20 dBm | 63 mV | 0.915, 1.8 dual-band |
| [3] | Shunt diode | 38% @ -20 dBm | 103 mV | 0.1 |
| [4] | Villard voltage multiplier | 2.5% @ -20 dBm | 158 mV | 0.915 |
| [5] | Villard voltage multiplier | 12% @ -20 dBm | 94 mV | 2.45 |
| [8] | Villard voltage multiplier | 2 / 1% @ -20 dBm | 17 / 12 mV | 2.1, 2.45 |
| [9] | Villard voltage multiplier | 18% @ -17 dBm | 75 mV | 0.49, 0.86 dual-band |
| [10] | Series diode | 31% @ -20 dBm | 101 mV | 0.9, 1.8, 2.1 triple-band |
| [13] | Modified Villard voltage multiplier | 6.3% @ 0 dBm | 220 mV | 2.4 |
| [14] | Series, Shunt, Bridge diode | 17% @ -20 dBm | 64 mV | 1.8 |
| [17] | CMOS Villard voltage multiplier | 10% @ -20 dBm | 1.1 V | 0.915 |
| [18] | Series diode | 14% @ -20 dBm | 55 mV | 0.915, 2.45 dual-band |
| [25] | Villard voltage multiplier | 6% @ -20 dBm | 311 mV | 0.9 |
| This work | Modified Villard voltage multiplier | 15% @ -20 dBm | 285 mV | 0.88, 2.44 dual-band |

5. 결론.

본 연구에서는 RF 에너지 수확 시스템의 변환 효율 상승 및 최소 구동 전력 향상에 대한 다양한 최적화 방법 및 설계에 대해 제안한다. 일반적으로 RF 에너지 수확 시스템의 전체 효율은 안테나 입사되는 전력에 대한 효율(송신 신호 대비 수신 신호), RF-DC 정류 회로에 대한 효율(RF 신호 대비 출력 전압), DC-DC 변환기에 대한 효율(입력 DC 전압 대비 출력 DC 전압)의 곱으로 표현할 수 있으며, 본 연구에서는 이 중 RF-DC 변환 효율 및 최소 구동 전력에 대해 구조, 단 수, 부하 저항을 최적화하여 낮은 입력 전력에 대해 더 높은 효율과 최소 구동 전력을 얻을 수 있었다. 또한, 이중 대역 이중 안테나 구조의 새로운 정류 회로 구조를 제안하며, 직접적인 설계 및 측정을 통하여 일반적인 이중 대역 정류기에 비해 변환 효율 및 최소 구동 전력의 성능 개선 효과를 입증하였다. 정류 회로의 측정 결과, -20 dBm/tonne의 입력 전력에서 약 15%의 변환 효율을 얻을 수 있었으며, 이 때의 전력에서 BQ25504 DC-DC 변환기는 콜드 스타트 동작을 수행한다. 이는 일반적인 이중 대역 정류기에 비해 약 1 dB 더 낮은 최소 구동 전력의 성능 향상을 보인다.

참고문헌

- [1] M. Pinuela, P. D. Mitcheson, and S. Lucyszyn, “Ambient RF Energy Harvesting in Urban and Semi-Urban Environments,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 61, no. 7, pp. 2715–2726, Jul. 2013.
- [2] Z. Liu, Z. Zhong, and Y. X. Guo, “Enhanced Dual-Band Ambient RF Energy Harvesting With Ultra-Wide Power Range,” *IEEE Microwave and Wireless Components Letters*, vol. 25, no. 9, pp. 630–632, Sept. 2015.
- [3] H. Sun, Z. Zhong, and Y. X. Guo, “An Adaptive Reconfigurable Rectifier for Wireless Power Transmission,” *IEEE Microwave and Wireless Components Letters*, vol. 23, no. 9, pp. 492–494, Sept. 2013.
- [4] P. Nintanavongsa, U. Muncuk, D. R. Lewis, and K. R. Chowdhury, “Design Optimization and Implementation for RF Energy Harvesting Circuits,” *IEEE Journal on Emerging and Selected Topics in Circuits and Systems*, vol. 2, no. 1, pp. 24–33, Mar. 2012.
- [5] D. Bouchouicha, M. Latrach, F. Dupont, and L. Ventura, “An Experimental Evaluation of Surrounding RF Energy Harvesting Devices,” *Proceedings of the 40th European*

Microwave Conference, pp. 1381–1384, Sept. 2010.

[6] C. Y. Liou, M. L. Lee, S. S. Huang, and S. G. Mao, “High-Power and High Efficiency RF Rectifiers Using Series and Parallel Power-Dividing Networks and Their Applications to Wirelessly Powered Devices,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 61, no. 1, pp. 616–624, Jan. 2013.

[7] G. Chaudhary, P. Kim, Y. Jeong, and J. H. Yoon, “Design of High Efficiency RF-DC Conversion Circuit Using Novel Termination Networks for RF Energy Harvesting System,” *Microwave and Optical Technology Letters*, vol. 54, no. 10, pp. 2330–2335, Oct. 2012.

[8] E. Khansalee, Y. Zhao, E. Leelarasmee, and K. Nuanyai, “A Dual-Band Rectifier for RF Energy Harvesting Systems,” *2014 11th International Conference on Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology*, pp. 1–4, May 2014.

[9] N. Shariati, W. S. T. Rowe, J. R. Scott, and K. Ghorbani, “Multi-Service Highly Sensitive Rectifier for Enhanced RF Energy Scavenging,” *Scientific Report*, 10.1038/srep09655, May. 2015.

- [10] Z. Liu, Z. Zhong, and Y. X. Guo, “High-Efficiency Triple-Band Ambient RF Energy Harvesting for Wireless Body Sensor Network,” *RF and Wireless Technologies for Biomedical and Healthcare Applications*, 10.1109/IMWS-BIO.2014.7032426, pp. 1-3, Dec. 2014.
- [11] D. Masotti, A. Costanzo, M. D. Prete, and V. Rizzoli, “Genetic-based Design of a Tetra-Band High-Efficiency Radio-Frequency Energy Harvesting System,” *IET Microwave, Antennas and Propagation*, vol. 7, no. 15, pp. 1254-1263, Dec. 2013.
- [12] D. Wang and R. Negra, “Novel TriBand RF Rectifier Design for Wireless Energy Harvesting,” *2014 German Microwave Conference*, pp. 1-3, Mar. 2014.
- [13] H. P. Partal, M. A. Belen, S. Z. Partal, and A. T. Ince, “A Schottky Rectifier Design Using EM Simulation Tools for RF Energy Harvesting Applications,” *2015 Progress in Applied Computational Electromagnetics*, pp. 1-2, Mar. 2015.
- [14] V. Marian, C. Vollaire, J. Verdier, and B. Allard, “Potentials of an Adaptive Rectenna Circuit,” *IEEE Antennas and Wireless Propagation Letters*, vol. 10, pp.

1393–1396, Dec. 2011.

[15] H. Jabbar, Y. S. Song, and T. T. Jeong, “RF Energy Harvesting System and Circuits for Charging of Mobile Devices,” *IEEE Transactions on Consumer Electronics*, vol. 56, no. 1, pp. 247–253, Feb. 2010.

[16] S. S. Chouhan, K. Halonen, “Internal V_{th} Cancellation Scheme for RF to DC Rectifiers used in RF Energy Harvesting,” *2014 IEEE International Conference on Electronics, Circuits and Systems*,

10.1109/ICECS.2014.7049965, pp. 235–238, Dec. 2014.

[17] Z. Hameed and K. Moez, “Fully-Integrated Passive Threshold-Compensated PMOS Rectifier for RF Energy Harvesting,” *2013 IEEE International Midwest Symposium on Circuits and Systems*, 10.1109/MWSCAS.2013.6674602, pp. 129–132, Aug. 2013.

[18] S. Kim, R. Vyas, J. Bito, K. Niotaky, A. Collado, A. Georgiadis, and M. M. Tentzeris, “Ambient RF Energy-Harvesting Technologies for Self-Sustainable Standalone Wireless Sensor Platforms,” *Proceedings of the IEEE*, vol. 102, no. 11, pp. 1649–1666, Nov. 2014.

[19] N. Jose, N. john, P. Jain, P. Raja, T. V. Prabhakar, and

K. J. Vinoy, "RF powered Integrated System for IoT Applications," *2015 IEEE International New Circuits and Systems Conference*, 10.1109/NEWCAS.2015.7182100, pp. 1-4, Jun. 2015.

[20] A. Herber, A. Hanisch, T. Gnoerrlich, D. Laqua, and P. Husar, "Design of Power Management in Energy Harvesting Devices," *Biomedizinische Technik/Biomedical Engineering*, 2012 Biomedical Technology, 10.1515/bmt-2012-4059, pp. 250-254, Jul. 2015.

[21] A. Berger, L. B. hormann, C. Leitner, S. B. Oswald, and P. Priller, "Sustainable Energy Harvesting for Robust Wireless Sensor Networks in Industrial Applications," *2015 IEEE Sensors Applications Symposium*, 10.1109/SAS.2015.7133585, pp. 1-6, Apr. 2015.

[22] T. Eswam and P. L. Chapman, "Comparison of Photovoltaic Array Maximum Power Point Tracking Techniques," *IEEE Transactions on Energy Conversion*, vol. 22, no. 2, pp. 439-449, Jun. 2007.

[23] E. Koutroulis, K. Kalaitzakis, and N. C. Voulgaris, "Development of a Microcontroller-Based, Photovoltaic Maximum Power Point Tracking Control System," *IEEE*

Transactions on Power Electronics, vol. 16, no. 1, pp. 46–54, Jan. 2001.

[24] K. Agarwal, T. Mishra, M. F. Karim, Nasimuddin, M. O. L. Chuen, Y. X. Guo, and S. K. Panda, “Highly Efficient Wireless Energy Harvesting System using Metamaterial based Compact CP Antenna,” *2013 IEEE MTT-S International Microwave Symposium Digest*, 10.1109/MWSYM.2013.6697693, pp. 1–4, Jun. 2013.

[25] D. Masotti, A. Costanzo, P. Francia, M. Filippi, and A. Romani, “A Load-Modulated Rectifier for RF Micropower Harvesting With Start-Up Strategies,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 62, no. 4, pp. 994–1004, Apr. 2014.