

석사 학위논문

이중 부하변조를 통한 Backed-Off
영역에서 효율이 향상된
CMOS 도허티 전력증폭기

2016년 8월 22일

전북대학교 대학원

전자정보공학부

이승욱

이중 부하변조를 통한 Backed-Off
영역에서 효율이 향상된
CMOS 도허티 전력증폭기

Efficiency Enhanced CMOS Doherty Power Amplifier in
Backed-off Region with Dual-Load Modulation

2016년 8월 22일

전 북 대 학 교 대 학 원

전 자 정 보 공 학 부

이 승 욱

이중 부하변조를 통한 Backed-Off
영역에서 효율이 향상된
CMOS 도허티 전력증폭기

지도교수 정 용 채

이 논문을 공학 석사 학위논문으로 제출함.

2016년 5월 9일

전 북 대 학 교 대 학 원

전 자 정 보 공 학 부

이 승 욱

이승욱의 석사학위논문을 인준함.

위원장 전북대학교 교수 임 동 구 (인)

위원 전북대학교 교수 손 해 원 (인)

위원 전북대학교 교수 정 용 채 (인)

2016년 6월 20일

전 북 대 학 교 대 학 원

목 차

ABSTRACT

1. 서론	1
2. 도허티 전력증폭기	4
3. CMOS 도허티 전력증폭기 설계	
3.1 Designing the Variable Balun Transformer.....	21
3.2 Distributed Active Transformer (DAT).....	22
3.3 차동구조의 전력증폭기 설계	30
4. 이중 부하변조를 통한 낮은 출력전력에서의 효율 향상	
4.1 Dual Load-Modulation	41
4.2 제안하는 회로 동작	46
5. 결론	50
6. REFERENCES.....	51

그림 목록

그림 1.1. 본 논문에서 제안하는 회로의 효율곡선	3
그림 2.1. 두 개의 신호기를 이용한 능동 부하변조	4
그림 2.2. 도허티 전력증폭기 기본 다이어그램	7
그림 2.3. 도허티 전력증폭기의 출력전력에 따른 각 증폭기의 출력전력 크기 ...	8

그림 2.4. 도허티 전력증폭기의 등가회로.....	9
그림 2.5. 도허티 전력증폭기의 입력 전력 대비 출력 전류의 크기.....	10
그림 2.6. 도허티 전력증폭기의 전류 및 전압특성	16
그림 2.7. 도허티 전력증폭기의 출력전력의 크기에 따른 효율.....	20
그림 3.1. on-chip balun transformer를 이용한 도허티 전력증폭기의 부하변조	22
그림 3.2. (a)도허티 전력증폭기의 구현을 위한 variable balun transformer의 회로도	23
(b)회로해석을 위한 등가회로.....	23
그림 3.3. Variable balun transformer을 이용한 증폭기의 출력단.....	26
그림 3.4. 공정사에서 제공하는 CMOS 공정 metal 및 유전층에 관한 정보.....	28
그림 3.5. 차동구조 전력증폭기의 회로도	30
그림 3.6. 로드-풀 시뮬레이션을 통해 본 출력단 정합과 출력전력.....	31
그림 3.7. 로드-풀 시뮬레이션을 통해 본 출력단 정합과 출력전력.....	31
그림 3.8. 출력전력 및 효율을 동시에 나타낸 로드-풀 시뮬레이션.....	32
그림 3.9. Optimum load 조건의 전력증폭기 시뮬레이션 결과.....	33
그림 3.10. 실제 balun transformer를 이용한 시뮬레이션 결과.....	34
그림 3.11. 보조 증폭기 및 스위치의 bias를 조절하기 위한 adaptive bias 회로..	36
그림 3.12. 출력전력에 따른 바이어스 전압의 변화.....	37
그림 3.13. 도허티 전력증폭기의 회로도	38
그림 3.14. 도허티 전력증폭기의 동작	39
그림 4.1. Main PA의 바이어스를 변화시킨 최적임피던스 변화	42
그림 4.2. shunt-capacitor를 이용한 출력단 임피던스 매칭.....	43
그림 4.3. LPM에 의한 Main PA의 출력전력 및 효율의 변화.....	44
그림 4.4. 제안하는 회로의 블록다이어그램.....	46
그림 4.5. 제안하는 회로의 Layout	47
그림 4.6. 제안하는 회로의 post-simulation 결과.....	48

표 목 록

표 3.1. 공정사에서 제공하는 Metal 및 유전률	29
표 3.2. Ideal transformer를 이용한 PA 시뮬레이션 결과	34
표 3.3. designed balun transformer를 이용한 PA 시뮬레이션 결과.....	35
표 3.4. 도허티 전력증폭기 동작영역에 따른 출력전력, gain, PAE	39
표 4.1. LPM에 의한 Main PA의 출력전력에 따른 gain, PAE	44
표 4.2. Post-simulation 결과	49

ABSTRACT.

Efficiency Enhanced CMOS Doherty Power Amplifier in Backed-off Region with Dual-Load Modulation

Seungwook Lee

Department of Electronics and Information Engineering
Chonbuk National University

In this paper, an efficiency enhanced Doherty power amplifier in backed-off region with dual-load modulation is proposed. To implement the circuit, distributed active transformer (DAT) is used for power combining and output stage matching. To vary the output impedance, switching circuit based on MOSFET is used. With the DAT, overall circuit size can be decreased. Efficiency of proposed circuit is enhanced at the 6-dB backed-off region (high power modulation, HPM). To expand efficiency enhancing region, adaptive bias circuit is used to control the bias for decreasing quiescent current. And to obtain high efficiency, output matching point is changed with shunt switching capacitor(LPM). From the simulation results, the maximum output power of Doherty power amplifier is 28.2 dBm with power added efficiency (PAE) of 47.8%. In the region of 4.8 dB and 11 dB backed-off, the efficiency is 36% and 20.2% are obtained, respectively. Compare to the original Doherty power amplifier, efficiency trace obtains three peaks. Compare to the push-pull power amplifier, efficiency is improved more than 15%, 6% in the mid-power region and low-power region, respectively.

Keywords : CMOS, Doherty, efficiency, power amplifier, RF transceiver,

1. 서 론

현대 무선통신시스템의 발전에 따라 한정된 주파수 대역에서 많은 정보를 전달하기 위해 높은 데이터 집적률을 요하게 되었다. 그에 따라 정보를 전달하기 위해 신호를 변조하는 여러 기법들이 등장하게 되었고 그로인해 현대 무선통신시스템은 높은 peak-to-average power ratio (PAPR) 를 요하게 되었다.

RF 전력증폭기는 신호를 선형적으로 증폭시키기 위해 일반적으로 backed-off 영역에서 동작하게 된다. 하지만 일반적인 RF 전력증폭기의 경우, 선형성과 효율은 서로 상반된 관계를 갖고 있다. 따라서 전력증폭기가 backed-off 영역에서 동작할 경우 좋은 선형성을 얻을 수 있지만 효율이 좋지 않다. 모바일 기기의 경우, 회로 전체에 전력을 공급하기 위해 배터리를 사용하는데 낮은 효율은 빠른 배터리 소모와 연결된다. 더불어 낮은 효율은 기기에서 발생하는 발열을 크게 하여 제품의 기대 수명을 단축시킨다.

따라서 무선통신 시스템의 발전에 따라 전력증폭기의 최대전력으로부터 backed-off된 영역에서의 효율을 향상시키는 방법에 대한 연구가 진행되어왔다 [1]-[11]. 연구들의 대부분은 Envelope Tracking (ET), Elimination Errors and Restoration (EER) 등 출력전력이 backed-off 된 영역에서 효율을 향상시

키는 많은 회로들이 있다. 하지만 위에 소개된 회로들은 전력 증폭기의 효율을 향상시키지만 추가적인 회로가 필요하게 된다.

도허티 전력증폭기는 두 개의 전력증폭기와 부하변조를 이용하여 backed-off 영역에서 효율을 향상시키는 효과를 얻을 수 있는 구조이다. Main PA와 auxiliary PA의 동작에 따라서 $\lambda/4$ 선로를 통해 Main PA의 부하변조를 발생시키며 그에 따라 최대출력으로부터 6 dB backed-off 된 영역에서 효율을 상승시키는 효과를 얻을 수 있다.

본 논문에서는 CMOS 공정을 이용한 이중 부하변조를 통해 backed-off 영역에서 효율이 향상된 도허티 전력증폭기를 설계하고자 한다. 전력 증폭기의 효율은 전력부가효율 (Power Added Efficiency, PAE)로 나타낸다.

$$Power\ Added\ Efficiency(PAE) = \frac{P_{out} - P_{in}}{P_{DC}} \quad (1-1)$$

본래의 도허티 동작에 의해 최대출력 및 최대출력으로부터 6 dB backed-off 된 지점에서 최대 효율을 갖는다. 그 뿐만 아니라, 효율을 높이기 위해 main PA만 동작하는 영역에서 바이어스를 변화시켜 DC 전력 소모량을 줄여 더 효율을 높이고자 한다. 바이어스의 변화에 따라 변하는 matching point를 전

력증폭기의 출력단 임피던스 변조를 통해 최대 효율을 갖도록 하며, 도허티 동작에 의한 6 dB backed-off 영역에서 뿐만 아니라 출력전력을 더 backed-off 시킨 영역에서 효율을 상승시키고자 한다.

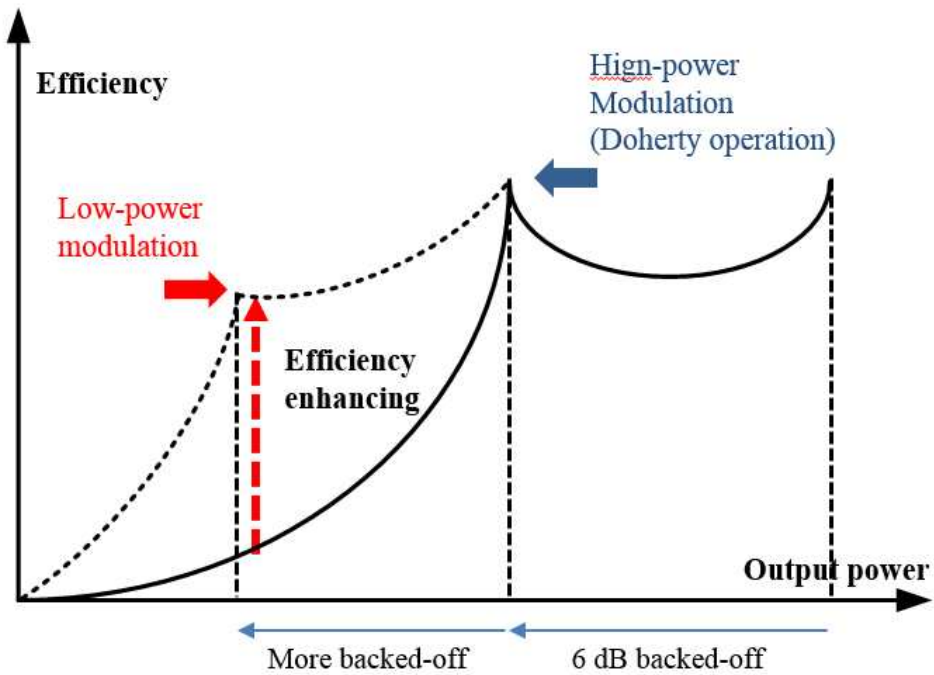


그림 1. 1 본 논문에서 제안하는 회로의 효율곡선

Figure 1. 1 efficiency of proposed circuit

2. 도허티 전력증폭기

도허티 전력증폭기는 1936년 Bell Lab의 W. H. Doherty에 의해 제안된 전력증폭기의 효율을 향상시키는 회로이다[12]. 도허티 전력증폭기는 최대 출력으로부터 6 dB Backed-off 된 영역에서 높은 효율을 갖는 구조이다. Main과 Auxiliary 두 증폭기의 동작에 의해 효율향상 효과를 갖는 도허티 전력증폭기의 개념은 그림2.1을 통해 설명할 수 있다.

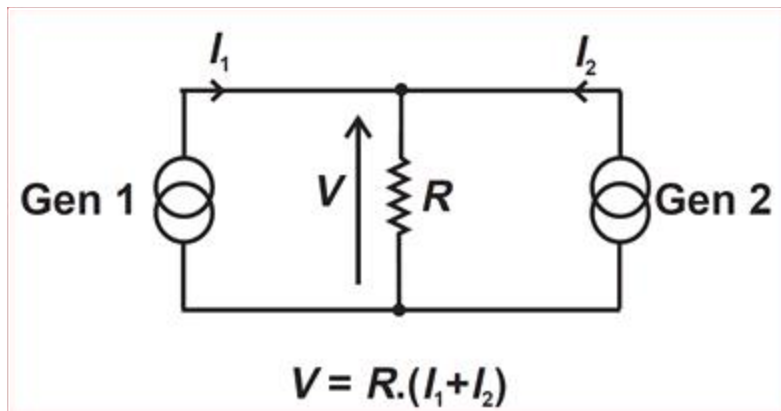


그림 2. 1 두 개의 신호기를 이용한 능동 부하변조

Figure 2. 1 Active load-pull using two signal generator

두 개의 신호원으로부터 나오는 전류를 각각 I_1 , I_2 라고 하자. 이 때, 부하 R 에 걸리는 전압은 다음과 같이 표현된다.

$$V = R \cdot (I_1 + I_2) \quad (2-1)$$

부하 R 에 걸리는 전압의 크기는 각각 신호원 1, 2에 걸리는 전압의 크기와 같으며, 그에 따라 신호원 1 및 신호원 2에서 부하를 향해 바라보는 저항 R_1 , R_2 의 크기는 다음과 같다.

$$R_1 = R_L \left(\frac{I_1 + I_2}{I_1} \right) \quad (2-2)$$

$$R_2 = R_L \left(\frac{I_1 + I_2}{I_2} \right) \quad (2-3)$$

일반적으로 AC회로의 전압과 전류의 크기와 위상으로 표현되는 허수의 형태로 나타낼 수가 있으며, 그에 따라 식 (2-2)와 (2-3)에 나타난 부하를 향해 바라보는 임피던스는 다음과 같은 형태로 나타낼 수 있다.

+

$$Z_1 = Z_L \left(\frac{I_1 + I_2}{I_1} \right) = f(I_2) \quad (2-4)$$

$$Z_2 = Z_L \left(\frac{I_1 + I_2}{I_2} \right) = f(I_1) \quad (2-5)$$

즉, 임피던스 Z_1 과 Z_2 는 각각 신호원 1 과 신호원 2 의 전류 량에 관한 함수로 나타나는 것을 알 수 있다. 또한, 식 (2-4)로부터 신호원 1의 임피던스 Z_1 은 각 신호원으로부터 흘러나오는 전류 I_1, I_2 의 크기 및 위상에 따라 그 크기의 변화가 생기게 된다.

도허티 전력증폭기는 주 증폭기(Main PA, carrier PA)와 보조증폭기 (Auxiliary PA, peaking PA), 그리고 주 증폭기의 출력단에 위치하는 $\lambda/4$ 임피던스 변환기로 구성되어있다.

또한, 도허티 전력증폭기는 최대 출력전력에서 최대 효율을 갖고, 최대 출력전력에서 6 dB Backed-off 된 전력에서 또한 번의 최대효율을 갖는다.

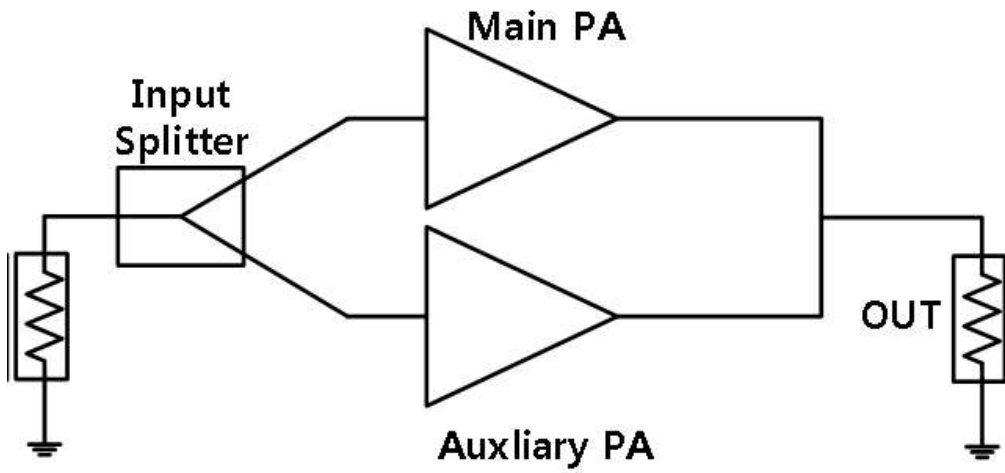


그림 2.2 도허티 전력증폭기 기본 다이어그램

Figure 2.2 block diagram of doherty power amplifier

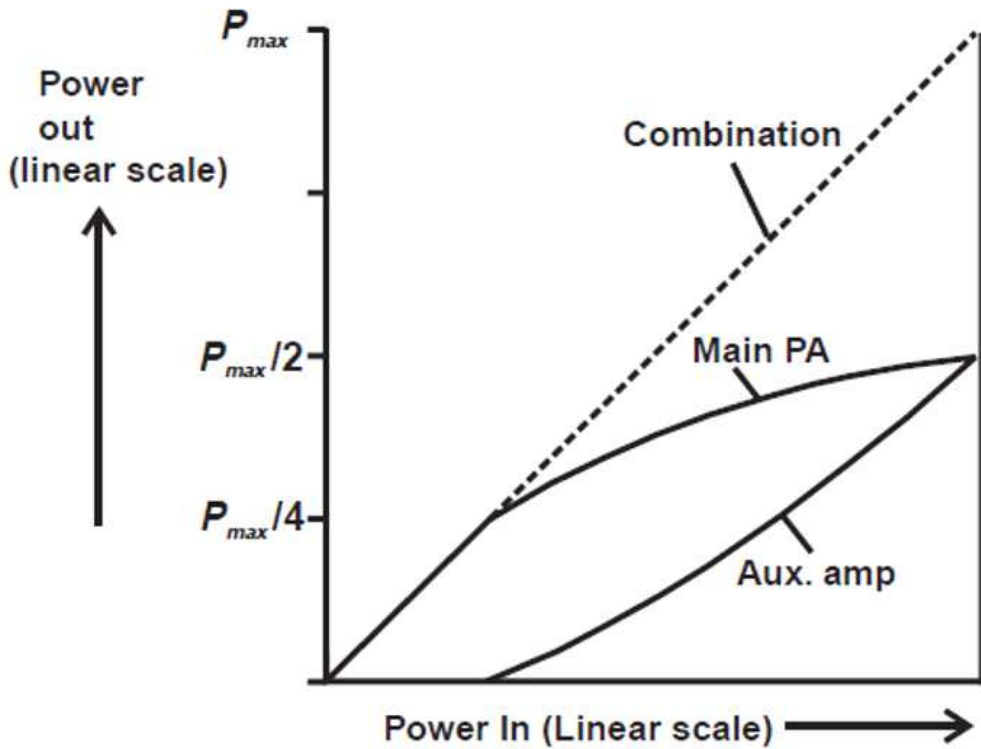


그림 2.3 도허티 전력증폭기의 출력전력에 따른 각 증폭기의 출력전력 크기

Figure 2.3 output power of main PA and auxiliary PA according to the output power level

그림 2.3 은 도허티 전력증폭기의 출력전력크기에 따른 main PA와 auxiliary PA의 출력전력을 나타낸 그래프이다. 6 dB 이하로 backed-off 된 영역에서는 main PA 만 동작을 하게

되며, 그 이후의 출력전력을 넘어서면 보조증폭기와 함께 동작하게 된다. 보조증폭기의 동작과 동시에 impedance inverter에 의해 main amp.에서 바라보는 출력 임피던스가 변하게 된다.

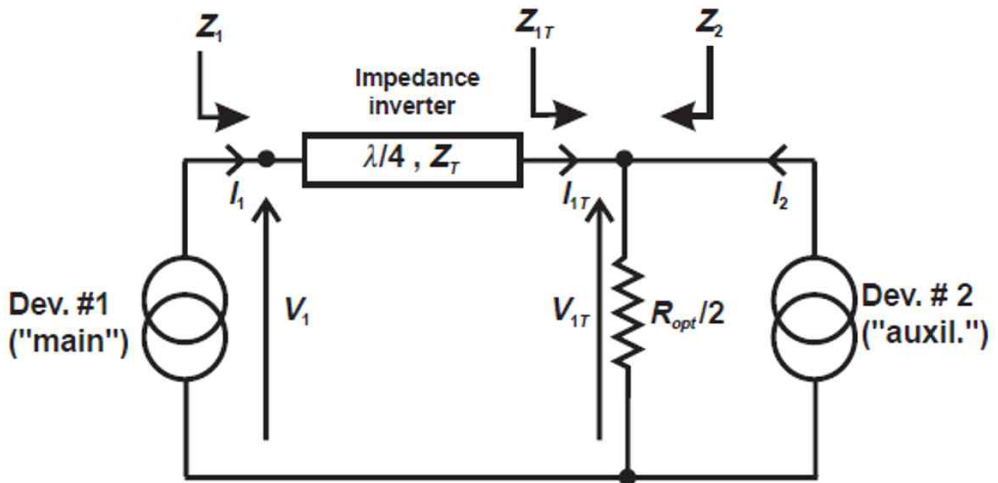


그림 2.4 도허티 전력증폭기의 등가회로

Figure 2.4 equivalent circuit of doherty power amplifier

그림 2.4 는 도허티 전력증폭기를 간단한 등가회로로 나타낸 그림이다. 앞서 본 그림 2.1 과 같은 능동 형태로 나타나 있으며, 추가적으로 impedance inverter Z_T 가 main PA와 출력단 사이에 들어가 있다. main PA와 auxiliary PA의 동작에 따른

입력전력 대비 출력전류량의 크기에 관한 관계는 다음 그래프와 같이 나타난다.

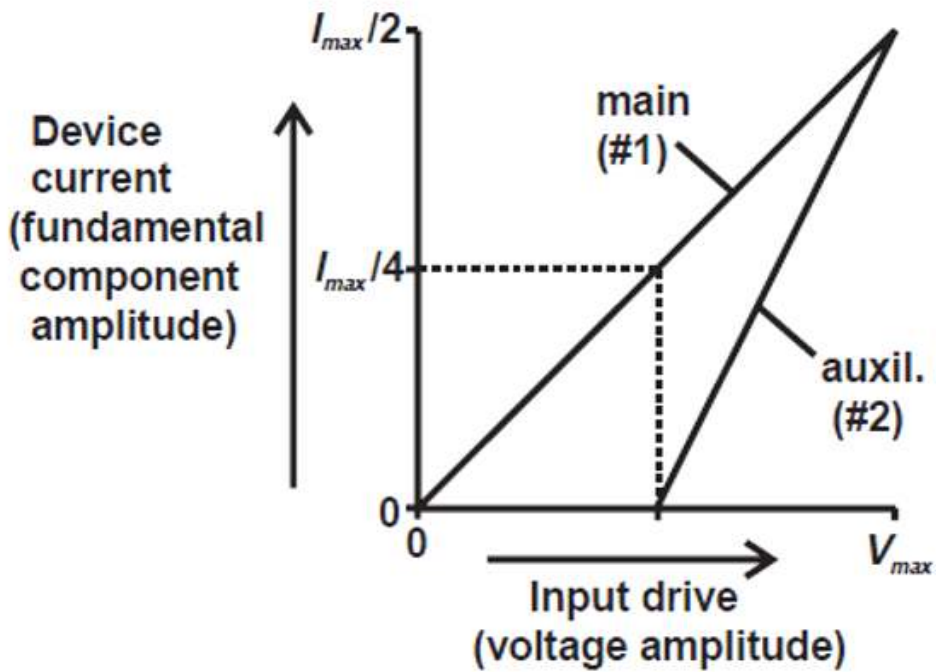


그림 2.5 도허티 전력증폭기의 입력 전력 대비 출력 전류의 크기

Figure 2.5 device current of doherthy power amplifier according to the input drive

도허티 전력증폭기의 동작에 따라서, Main PA 로부터 나오는 전류(I_1) 및 auxiliary PA 로부터 나오는 전류 (I_2) 를 다음과 같이 나타낼 수 있다.

$$I_1 = \frac{I_{\max}}{4}(1 + \xi) \quad (2-5)$$

$$I_2 = \frac{I_{\max}}{2}\xi \quad , 0 \leq \xi \leq 1$$

도허티 전력증폭기의 동작 중 최대출력의 6 dB 이하지점에서는 Main PA만 동작하게 된다. 따라서 Main PA에서의 전력과 부하에서의 전력은 같은 값을 가지며 앞서 구한 식 (2-4), (2-5)를 이용하여 증폭기 출력단에서 바라본 임피던스를 구할 수 있다.

$$Z_{1T} = \frac{R_{OPT}}{2} \left(1 + \frac{I_2}{I_{1T}} \right) \quad (2-6)$$

$$Z_2 = \frac{R_{OPT}}{2} \left(1 + \frac{I_{1T}}{I_2} \right) \quad (2-7)$$

먼저 main PA만 동작할 때, impedance inverter를 지나기 전과 후의 전력의 크기는 같으므로 다음과 같은 식을 생각할 수

있다.

$$V_{1T} \cdot I_{1T} = V_1 \cdot I_1 \quad (2-8)$$

또한, impedance inverter는 증폭기의 출력과 부하 사이의 임피던스 정합을 위한 $\lambda/4$ 선로를 사용하므로, 그 임피던스 관계는 다음과 같이 나타낼 수 있다.

$$\left(\frac{V_{1T}}{I_{1T}} \right) \cdot \left(\frac{V_1}{I_1} \right) = Z_T^2 \quad (2-9)$$

식 (2-9)을 전류 I_1 에 관하여 정리한 후 식 (2-8)에 대입하면 다음과 같은 식을 얻을 수 있다.

$$I_{1T} = \frac{V_1}{Z_T} \quad (2-10)$$

식 (2-9)에서 구한 전류 I_{1T} 에 관한 식을 식 (2-6)에서 구한 임피던스 Z_{1T} 에 관한 식에 대입하여 다시 풀어주면 다음과 같다.

$$Z_{1T} = \frac{R_{OPT}}{2} \left(1 + \frac{I_2 Z_T}{V_1} \right) \quad (2-11)$$

위의 식을 이용하여 impedance inverter의 $\lambda/4$ 선로 사용에 따른 main PA의 출력임피던스를 구하면 다음과 같다.

$$Z_1 = \frac{Z_T^2}{Z_{1T}} = \frac{2Z_T^2}{R_{OPT} \left(1 + \frac{I_2 Z_T}{V_1} \right)} \quad (2-12)$$

출력단 에서의 main PA에 의한 전압의 크기를 V_1 에 관한 식으로 표현할 수 있으며, 앞서 구한 식들을 이용하여 다음과 같이 나타낼 수 있다.

$$\begin{aligned} V_1 &= I_1 \cdot Z_1 \\ &= \frac{2 \cdot I_1 Z_T^2}{R_{OPT} \left(1 + \frac{I_2 Z_T}{V_1} \right)} \end{aligned} \quad (2-13)$$

식 (2-13)에서, 전류에 대한 파라미터 I_1, I_2 를 앞서 나온 식에서 나온 것처럼 전압구동크기 파라미터 ξ 에 대한 식으로 나타내주면 다음과 같다.

$$V_1 = \frac{Z_T^2 \left(\frac{I_{\max}}{2} \right) (1 + \xi)}{R_{OPT} \left(1 + \frac{\xi \left(\frac{I_{\max}}{2} \right) Z_T}{V_1} \right)} \quad \begin{aligned} I_1 &= \frac{I_{\max}}{4} (1 + \xi) \\ I_2 &= \frac{I_{\max}}{2} \xi \end{aligned} \quad , 0 \leq \xi \leq 1$$

(2-14)

식 (2-14)는 분자와 분모에 분수의 형태로 파라미터들이 들어있어 보기에 불편하므로, 간단한 분수의 형태로 다시 정리해 주면 다음과 같은 식을 얻을 수 있다.

$$V_1 = \frac{Z_T}{R_{OPT}} \left(\frac{I_{\max}}{2} \right) [Z_T + \xi (Z_T - R_{OPT})] \quad (2-15)$$

위의 식 (2-15) 에서, impedance inverter Z_t 의 특성임피던스 Z_t 가 R_{opt} 와 동일한 값을 갖는다면, main PA의 전압스윙은 ξ 로부터 영향이 없어지게 되며, 출력전압의 크기는 다음과 같이 나타난다.

$$V_1 = R_{OPT} \cdot \left(\frac{I_{\max}}{2} \right) \quad (2-16)$$

식 (2-16)은 Class-B 전력증폭기의 최대출력에서의 전압스윙

과 같다고 할 수 있다. 식 (2-16)로부터 auxiliary PA가 동작하지 않는 영역 ($\xi=0$) 일 때, auxiliary PA가 동작하여 최대 출력전력을 낼 때 ($\xi=1$), main PA의 전압스윙 V_1 은 동일한 값을 갖는 것을 알 수 있다. 즉, main PA는 전류의 양은 증가하지만, 출력 임피던스의 변화에 따라 출력전압의 크기는 일정하고, 출력전력의 크기가 증가하는 것을 알 수 있다.

위의 식을 통해 도허티 전력증폭기에서 main PA 와 auxiliary PA의 전류량 및 전압의 크기에 대하여 그래프로 나타내면 다음과 같다.

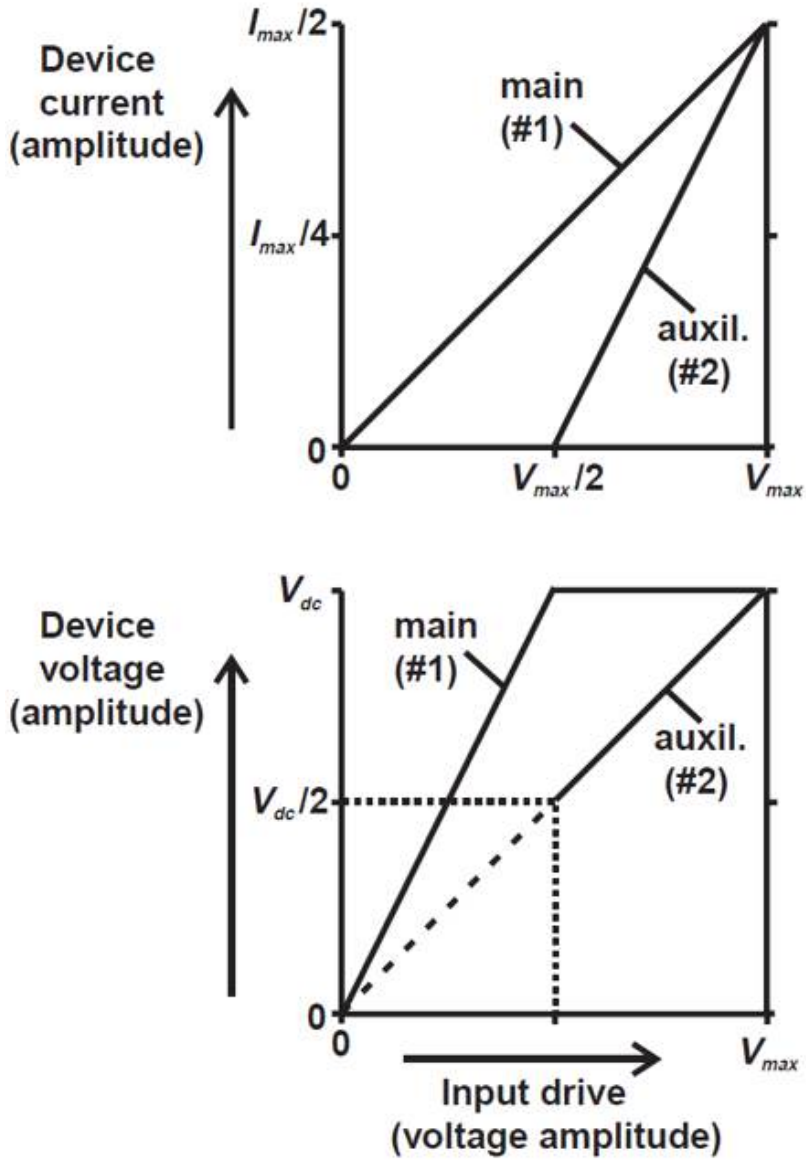


그림 2.6 도허티 전력증폭기의 전류 및 전압특성

Figure 2.6 current and voltage characteristic of doherty power amplifier

다음으로 도허티 전력증폭기에서 효율을 계산하기 위해 두 증폭기가 Class-B로 동작한다는 가정 하에, main PA만 동작할 때 (backed-off region)의 효율은 다음과 같이 나타낼 수 있다.

$$\eta_{comp} = \frac{2v_{in}}{V_{max}} \left(\frac{\pi}{4} \right), \quad 0 < v_{in} < \frac{V_{max}}{2} \quad (2-17)$$

Main PA 및 auxiliary PA 모두 동작할 때 (6 dB backed-off 영역 이후) 의 출력전력은 다음과 같이 나타낼 수 있다.

$$P_{COMP} = \frac{I_1^2 \cdot R_{OPT}^2}{2} \cdot \frac{2}{R_{OPT}} = I_1^2 \cdot R_{OPT} \quad (2-18)$$

Class-B 전력증폭기의 최적의 부하저항의 크기는 다음과 같이 나타낼 수 있다.

$$R_{OPT} = V_{dc} \left(\frac{2}{I_{max}} \right) \quad (2-19)$$

식 (2-19)의 R_{opt} 를 식 (2-18)에 대입해주면, 최대출력전력의 크기에 대한 식으로 나타낼 수 있다.

$$P_{COMP} = \left(\frac{I_{\max}}{2} \right) \cdot \left(\frac{v_{in}}{V_{\max}} \right) \cdot V_{dc} \quad (2-20)$$

또한, Class-B 동작을 하는 main PA 및 auxiliary PA의 DC 전력 소모는 다음과 같이 나타낼 수 있다.

$$P_{DCM} = \left(\frac{v_{in}}{V_{\max}} \right) \left(\frac{I_{\max}}{\pi} \right) \cdot V_{dc}$$

$$P_{DCA} = 2 \cdot \left(\frac{v_{in}}{V_{\max}} - 0.5 \right) \left(\frac{I_{\max}}{\pi} \right) \cdot V_{dc} \quad (2-20)$$

전체 DC 전력소모량은 두 PA로부터 소모되는 DC 전력소모량의 합과 같으므로, 도허티 전력증폭기의 최대동작 시의 DC 전력 소모량은 다음과같이 나타낼 수 있다.

$$P_{DC} = \left(\frac{I_{\max}}{\pi} \right) \cdot \left(3 \left(\frac{v_{in}}{V_{\max}} \right) - 1 \right) V_{dc} \quad (2-21)$$

위에서 구한 식을 이용하여, 도허티 전력증폭기의 효율 η 를

구하면 다음과 같다.

$$\eta = \frac{\pi}{2} \cdot \frac{\left(\frac{v_{in}}{V_{max}}\right)^2}{3 \cdot \left(\frac{v_{in}}{V_{max}}\right) - 1} \quad (2-22)$$

식 (2-22)로부터, $v_{in}=1/2 V_{max}$, $v_{in}=V_{max}$ 일 때의 효율이 $\pi/4$ (78.5%)로 최대값을 갖는 것을 알 수 있다. 즉, 도허티 전력증폭기는 그 동작에 의해서 최대출력에서, 그리고 최대출력으로부터 6 dB backed-off 된 지점에서 최대 효율을 갖는 것을 알 수 있다.

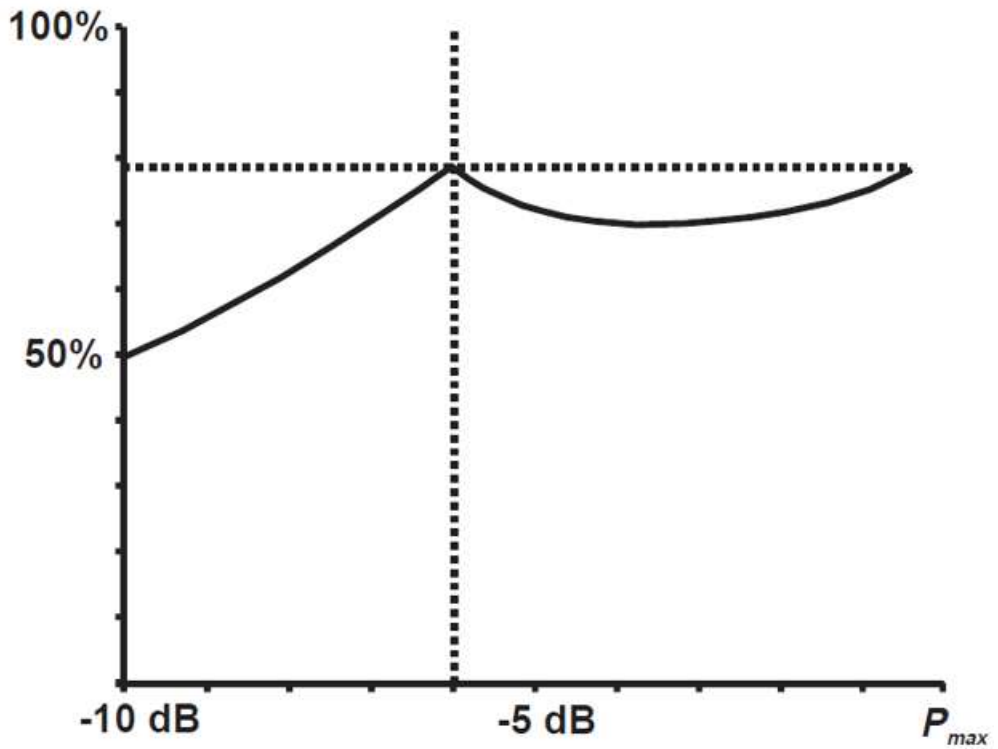


그림 2.7 도허티 전력증폭기의 출력전력의 크기에 따른 효율

Figure 2.7 efficiency according to the output power in doherty power amplifier

3. CMOS 도허티 전력증폭기 설계

3.1 Designing the Variable Balun Transformer

CMOS로 도허티 전력증폭기를 구현하는데에는 많은 어려움이 따른다. 실제 일상생활에서 사용되는 WIFI, Bluetooth, LTE 등의 주파수는 6 GHz 이하의 주파수로서, $\lambda/4$ 선로를 CMOS상에 구현하기에 큰 어려움이 따른다. 따라서 CMOS 공정을 이용하여 도허티 전력증폭기를 구현하기 위해서 그에 해당하는 부하변조를 구현할 필요가 있다. 따라서 본 논문에서 제안하는 회로에서는 도허티 전력증폭기의 부하변조를 위해 on-chip balun transformer를 사용하였다.

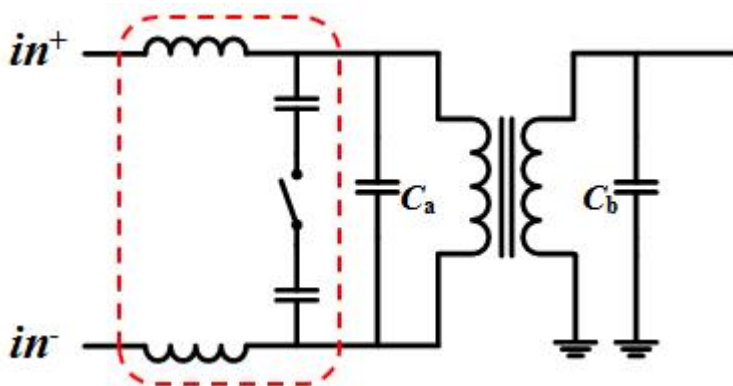


그림 3.1 on-chip balun transformer를 이용한 도허티 전력증폭기의 부하변조

Figure 3.1 The load modulation of Doherty power amplifier using variable balun transformer

그림 3.1 은 본 논문의 main amp.의 출력단에 사용된 on-chip balun transformer이다. 출력단의 SPST switch를 이용하여 capacitance를 변화시키고, 결과적으로 VBT를 구현할 수 있다. Capacitance 값의 변화에 따라서 transformer의 임피던스 변환비는 1:1에서 1:4로 변하게 된다.

3.2 Distributed Active Transformer (DAT)

본 논문에서는 distributed active transformer (DAT)를 사용하여 CMOS로 회로를 구현할 때 가장 큰 크기를 차지하는 transformer의 크기를 줄이고자 한다.

Balun transformer의 전, 후에는 transformer의 inductance를 상쇄시키기 위해 capacitor를 병렬로 달아주었다. 따라서 동일한 폭과 길이를 이용하여 설계한 transformer는 1:1의 임피던스 변환비를 갖게 된다. 하지만 transformer의 전, 후에 병렬로 달린 capacitance의 변화에 따라 임피던스 변환비를 변화시킬 수 있다.

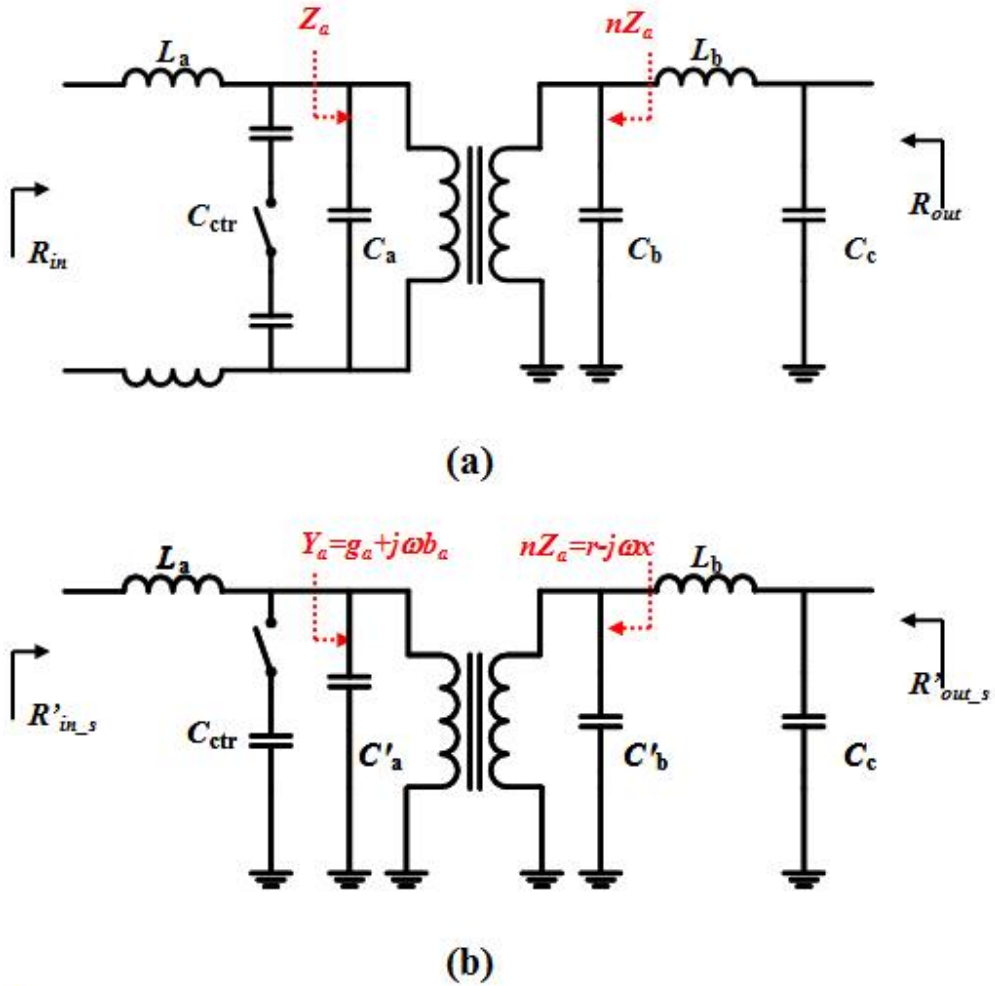


그림 3.2 (a) 도허티 전력증폭기의 구현을 위한 variable balun transformer의 회로도, (b) 회로해석을 위한 등가회로

Figure 3.2 (a) Schematic of variable balun transformer, and (b) equivalent circuit of variable balun transformer

그림 3.2(a) 는 본 논문에서 도허티 전력증폭기를 구현하기 위해 사용한 variable balun transformer의 회로도이다. 수식적인 회로해석을 통해 임피던스 변화를 살펴보기 위해 3.2(b)와 같이 등가회로로 나타내었다.

먼저 Z'_{in_s} 는 다음과같이 표현할 수 있다.

$$\begin{aligned}
 Z'_{in_s} &= \left(Z_a // -j \frac{1}{\omega C_{ctr}} \right) + j\omega L_a \\
 &= \frac{-j}{\omega C_{ctr} - j \frac{1}{Z_a}} + j\omega L_a \\
 &= \frac{-j}{\omega C_{ctr} - j(g_a + j\omega b_a)} + j\omega L_a
 \end{aligned} \tag{3-1}$$

위의 식에서 입력 임피던스를 알아내기 위해 주어진 식을 실수부와 허수부로 나누어주면 다음과 같은 식을 얻을 수 있다.

$$Z'_{in_s} = \frac{g_a}{g_a^2 + \omega^2 (C_{ctr} + b_a)^2} - j\omega \frac{C_{ctr} + b_a}{g_a^2 + \omega^2 (C_{ctr} + b_a)^2} + j\omega L_a \tag{3-2}$$

위 식에서 입력 임피던스를 실수로 만들어 주기 위한 조건은 식 (3-3)과 같으며, 식 (3-3)를 식 (3-2)에 대입하면 다음과 같은 최종적으로 입력 임피던스를 구할 수 있다 (3-4).

$$L_a = \frac{b_a}{g_a^2 + \omega^2 (C_{ctr} + b_a)^2} \quad (3-3)$$

$$Z'_{in_s} = \frac{g_a}{g_a^2 + \omega^2 (C_{ctr} + b_a)^2} - j\omega \left(\frac{C_{ctr} + b_a}{g_a^2 + \omega^2 (C_{ctr} + b_a)^2} - \frac{b_a}{g_a^2 + \omega^2 (C_{ctr} + b_a)^2} \right)$$

$$Z'_{in_s} = \frac{g_a}{g_a^2 + \omega^2 (C_{ctr} + b_a)^2} - j\omega \frac{C_{ctr}}{g_a^2 + \omega^2 (C_{ctr} + b_a)^2} \quad (3-4)$$

위의 식에서, 임피던스 변환비를 살펴보기 위해 임피던스의 실수부분만을 살펴보면 다음과 같다.

$$R'_{in_s} = \frac{g_a}{g_a^2 + \omega^2 b_a^2}, \quad @C_{ctr} = 0$$

$$R'_{in_s} = \frac{g_a}{g_a^2 + \omega^2 (b_a + C_{ctr})^2}, \quad @C_{ctr} \neq 0$$

(3-5)

또한, variable balun transformer의 출력단에서 바라본 임피던스는 다음과 같다.

$$R'_{out_s} = \frac{nZ_a}{(nZ_a \cdot \omega C_c)^2 + (\omega^2 L_b C_c - 1)^2} \quad (3-6)$$

R_{in_s} 및 R_{out_s} 의 식에서 나타나는 각 파라미터를 적절한 값

으로 정하여 switching을 통해 capacitance를 변화시켜줄 경우, 1:1의 임피던스 변환비에서 1:n의 임피던스 변환비로 변화시킬 수 있다.

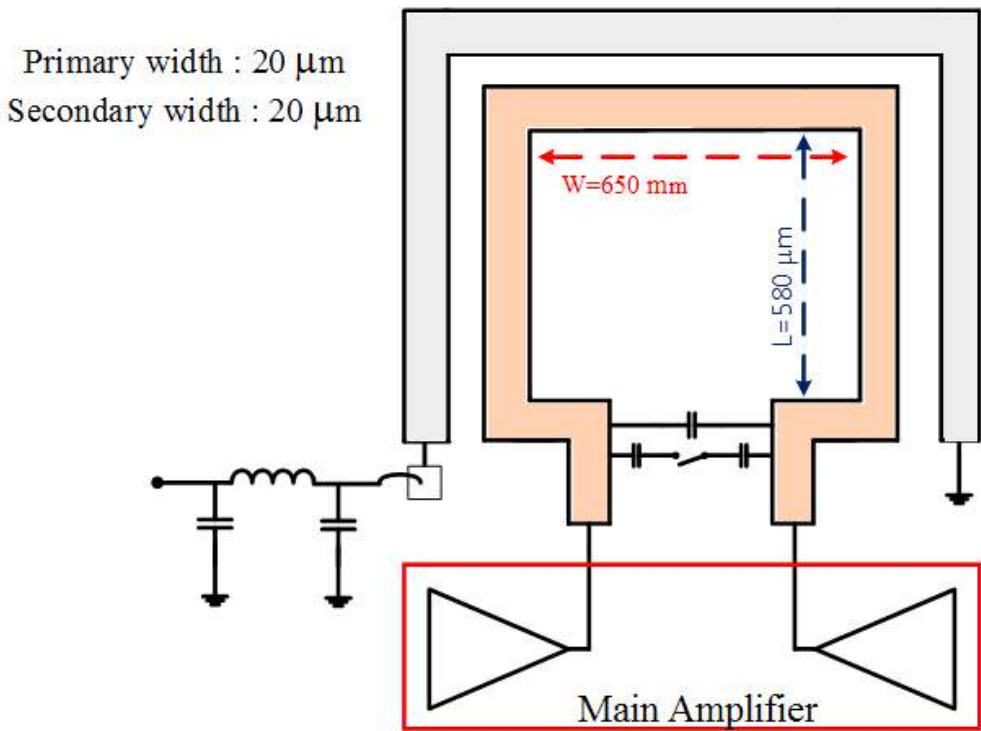


그림 3.3 Variable balun transformer을 이용한 증폭기의 출력단

Figure 3.3 Output stage of amplifier using the variable balun transformer

그림 3.3은 출력단에 사용한 on-chip variable balun transformer를 나타낸 그림이다. DAT의 primary, secondary coil의 폭은 출력단의 큰 전력을 견뎌낼 수 있도록 $20\mu\text{m}$ 로 설계하였으며, CMOS 공정상 가장 큰 두께($3\mu\text{m}$)를 갖는 top metal을 이용하였다. DAT의 설계는 CMOS 공정사에서 제공하는 Metal 및 유전체의 정보를 EM 시뮬레이션 프로그램인 HFSS 11을 이용하여 모델링 하였다.

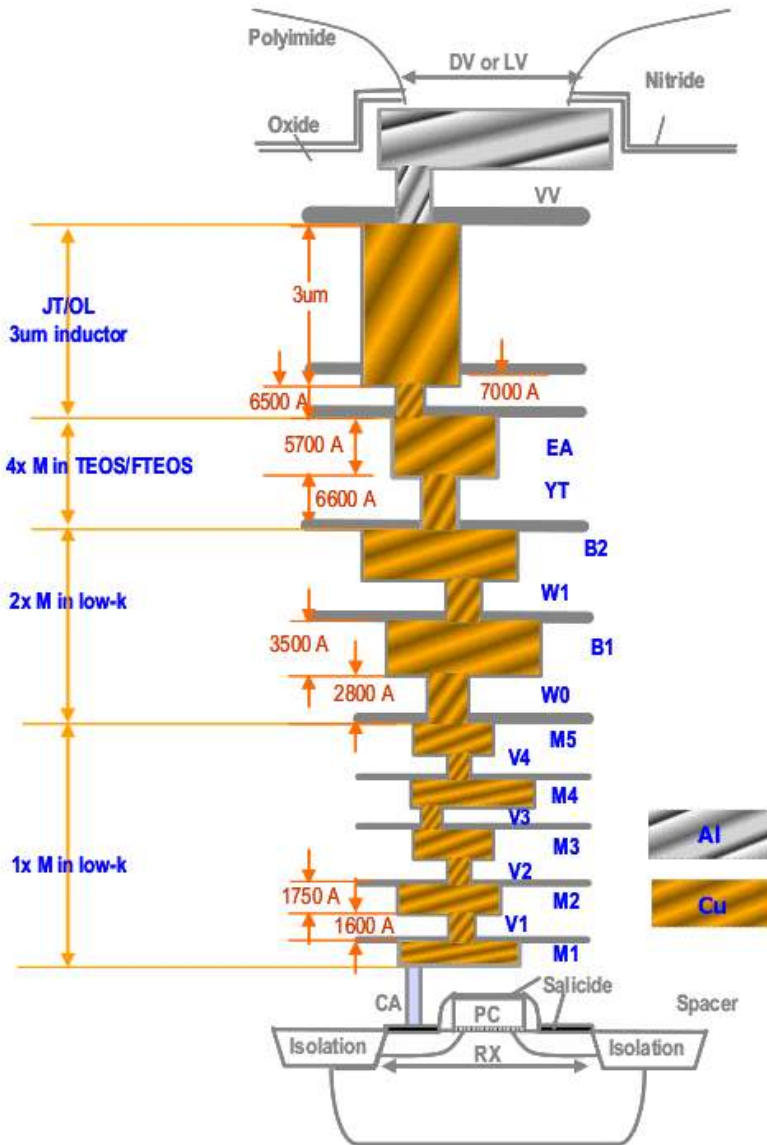


그림 3.4 공정사에서 제공하는 CMOS 공정 metal 및 유전층에 관한 정보

Figure 3.4 Layer and metal information from the fabrication company

표 3.1 공정사에서 제공하는 Metal 및 유전률

Table 3.1 Provided information of Metal conductivity and permittivity from the fabrication company

Layer	Material	Thickness (μm)	Relative Permittivity	Relative Permeability	Conductivity (S/m)
Passivation3	Polyimide	10.0	3.0	1.0	0
Passivation2	Nitride	0.48	7.0	1.0	0
Passivation1	Oxide	0.5	4.3	1.0	0
LB	Al	1.2	1.0	1.0	3.42E7
VV	Al	1.4	1.0	1.0	3.42E7
3 μm Cu	Cu	3.0	1.0	1.0	5.22E7
Metal (2x, 4x, OL)	(F)TEOS	7.55	4.46*	1.0	0
Low-k	(F)TEOS	1.475	4.0*	1.0	0
ILD	(F)TEOS	0.65	4.1	1.0	0
Substrate	Si	775	11.9	1.0	10

* represents modified permittivity affected by dummy density effects in each metal layer.

3.3 차동구조의 전력증폭기 설계

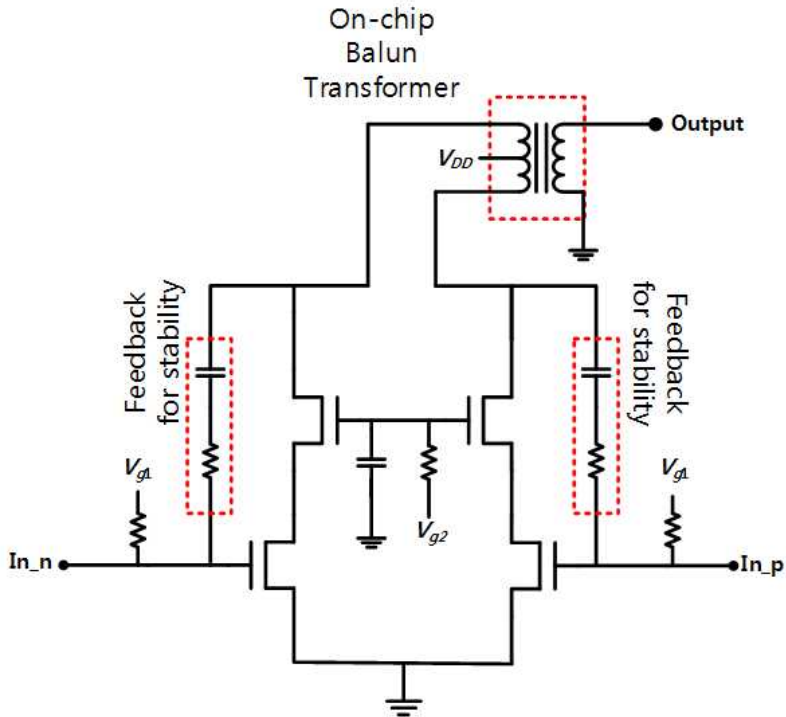


그림 3.5 차동구조 전력증폭기의 회로도

Figure 3.5 schematic of differential power amplifier

그림 3.6 은 본 논문에서 설계한 차동구조의 전력증폭기이다. 입력신호는 입력단 발룬을 통해 2개의 신호로 갈라져 각각 차동쌍의 증폭기에 의해 증폭되며, 최종적으로 출력단의 balun transformer에 의해 하나의 신호로 합쳐져 출력이 된다. 전력증폭기의 설계를 위해 먼저 로드-풀 시뮬레이션을 통해 부하 임피던스 조건에 따른 출력전력 및 효율을 알아보았다.

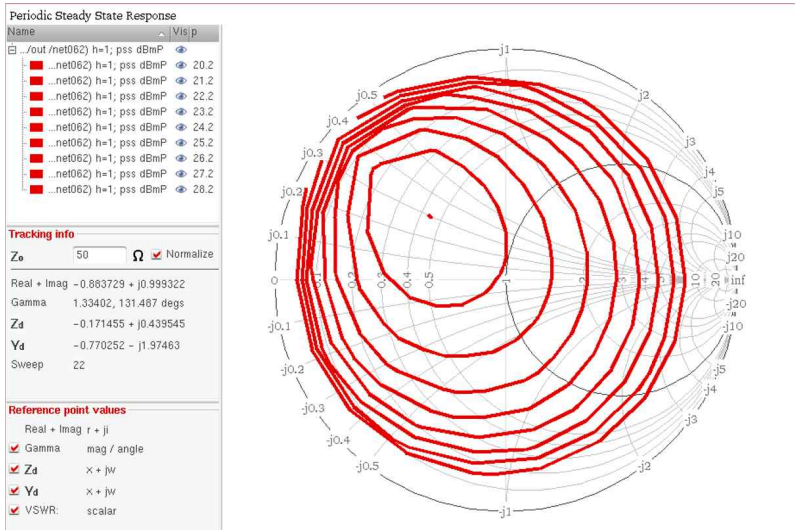


그림 3.6 로드-풀 시뮬레이션을 통해 본 출력단 정합과 출력전력

Figure 3.6 Load-pull simulation results (matching point vs. output power)

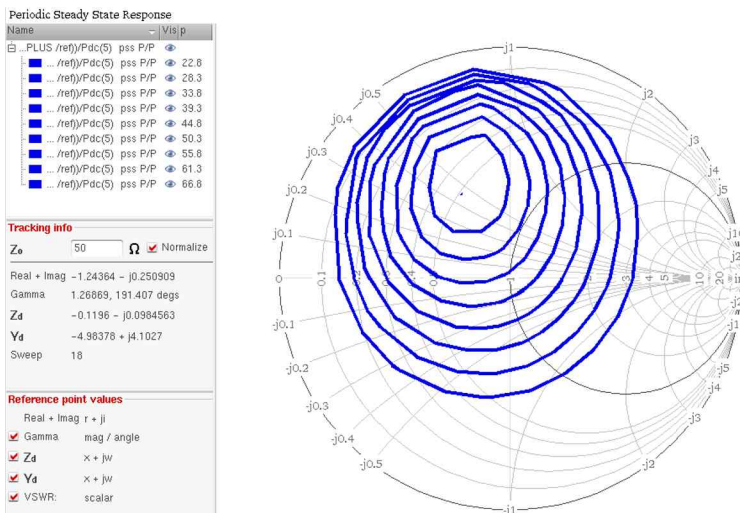


그림 3.7 로드-풀 시뮬레이션을 통해 본 출력단 정합과 효율

Figure 3.7 Load-pull simulation results (matching point vs. efficiency)

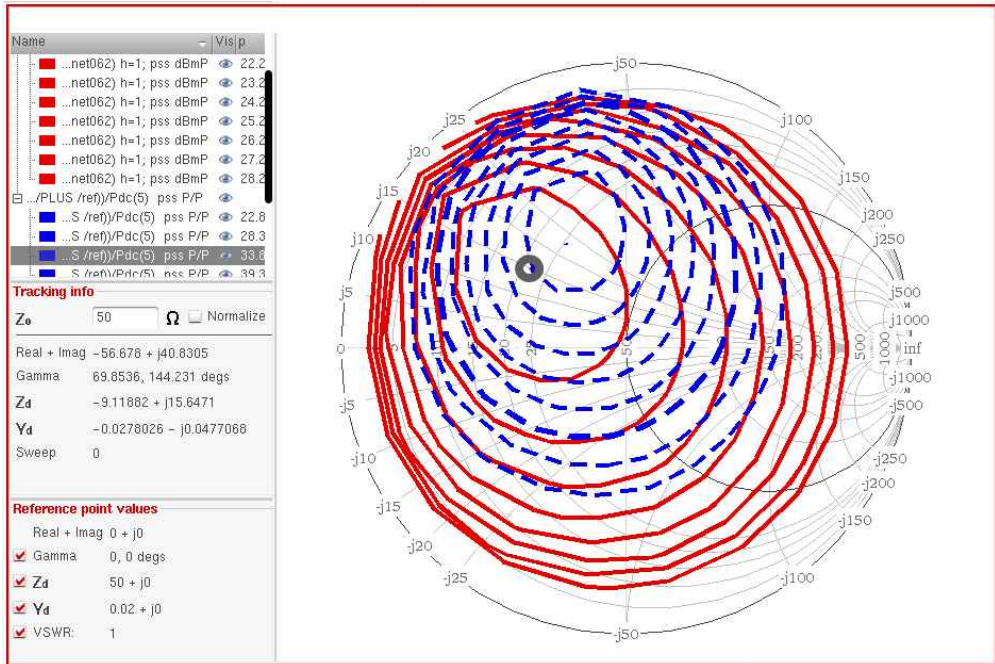


그림 3.8 출력전력 및 효율을 동시에 나타낸 로드-풀 시뮬레이션

Figure 3.8 Load-pull simulation result with output power and efficiency

전력증폭기는 Deep Class-AB로 바이어스 되었다. 또한 회로를 제작하고자 하는 CMOS공정의 MOSFET 특성을 고려, 전원전압은 3.3V로 시뮬레이션을 진행하였다. 그림 3.7~3.9에서와 같이, 로드풀 시뮬레이션에 의해 주어진 회로에서 최대 출력을 낼 수 있는 출력 임피던스와 최대 효율을 낼 수 있는 출력임피던스를 확인하였다. 그림 3.9에서와 같이, 출력파워 궤적과 효율 궤적을 동시에 그린 다음, 출력전력 및 효율을 고려하여 출력단 정합 임피던스를 잡았다. 최대 출력 28.2 dBm에서 63%의 효율을 갖는 지점인 $Z_{out}=22.08+j15.16$ 으로 출력단 정합을 한 후 회로 시뮬레이션을 진행하였다.

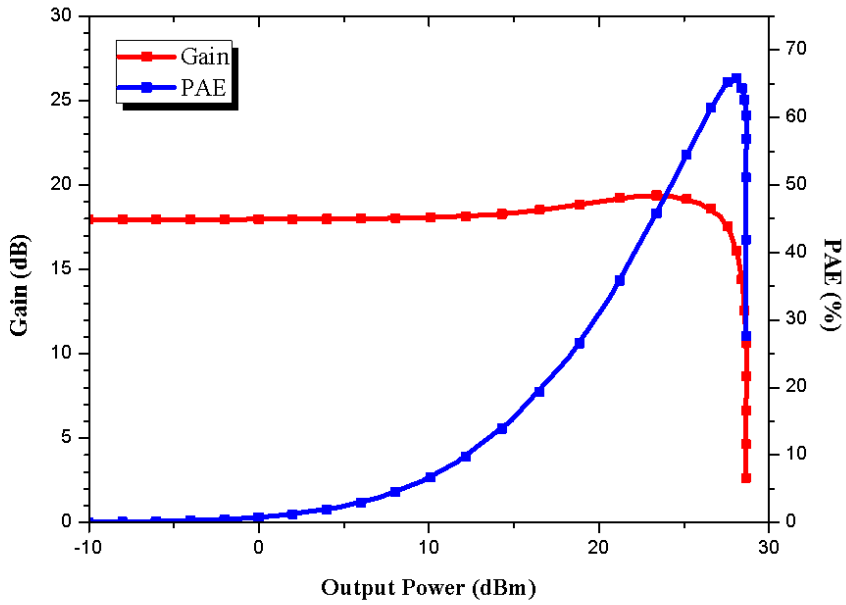


그림 3.9 Optimum load 조건의 전력증폭기 시뮬레이션 결과

Figure 3.9 simulation results of power amplifier with optimum load condition

그림 3.10의 그래프는 ideal transformer를 이용한 시뮬레이션 결과이다. 로드-풀 시뮬레이션을 통해 얻은 최적의 출력단 임피던스로 정합을 하여 시뮬레이션 한 결과이다. 시뮬레이션 결과를 표로 정리하면 다음과 같다.

표 3.2 Ideal transformer를 이용한 PA 시뮬레이션 결과

Table 3.2 PA simulation results with Ideal transformer

	Output Power	Gain	PAE
Ideal PA	28.1 dBm	17.9 dB	64.3%

위 시뮬레이션을 통해, ideal transformer를 실제 회로를 구현하기 위한 balun transformer를 이용하여 시뮬레이션을 진행했다. 또한, 도허티 동작을 위해서는 main PA는 backed-off 영역에서 최대 출력에 비해 3 dB 낮은 출력에서 최대 효율을 가져야 한다. Variable balun transformer의 부하변조 ($2R_{opt}$ to R_{opt})에 따른 전력증폭기의 출력 및 효율은 다음과 같다.

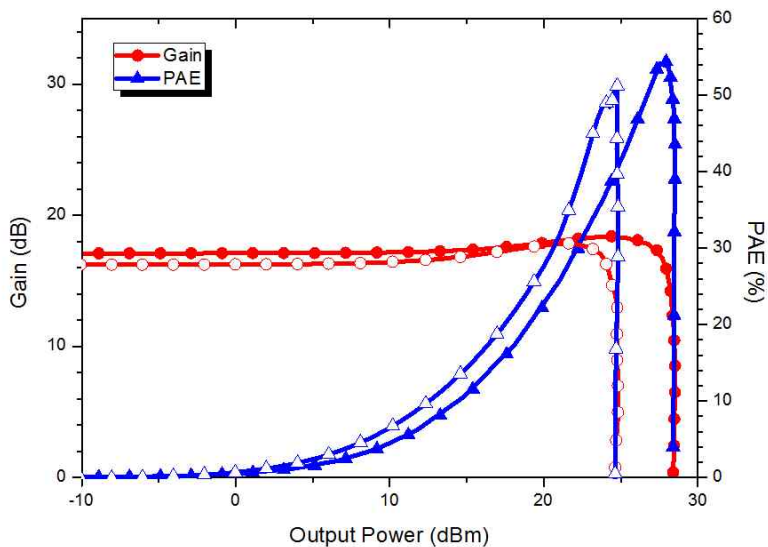


그림 3.10 실제 balun transformer를 이용한 시뮬레이션 결과

Figure 3.10 simulation results with designed balun transformer

표 3.3 designed balun transformer를 이용한 PA 시뮬레이션 결과
 Table 3.3 PA simulation results with designed balun transformer

	Output Power	Gain	PAE
$2R_{opt}$	24.01 dBm	16.6 dB	50.2%
R_{opt}	27.3 dBm	17.2 dB	53.6%

Switching capacitor를 포함한 balun transformer를 이용하여 설계한 결과, 설계한 transformer의 기생저항 및 기생 capacitance로 인하여 출력 전력이 낮아지고, 그에 따라 효율이 떨어지는 결과를 보인다.

3.3 도허티 전력증폭기 설계

도허티 전력증폭기는 main PA와 auxiliary PA의 결합으로 구현된다. CMOS상에서 $\lambda/4$ inverter를 대신하여 도허티 전력증폭기의 부하변조의 특성을 갖는 variable balun transformer를 이용하여 시뮬레이션을 진행하였다.

본 논문에서는 도허티 전력증폭기의 설계를 위하여 앞서 설계한 차동구조의 전력증폭기 2개를 사용하여 구현하였다. 도허티 동작을 위하여 backed-off 영역에서 main PA만 동작하게 된다. 이 때, main PA의 출력 임피던스는 $2R_{opt}$ 가 되며, 보조증폭기의 동작과 동시에 variable balun transformer의 임피던스 변환비가 변화함에 따

라 출력 임피던스는 R_{opt} 로 변하게 된다.

도허티 동작을 위해 backed-off 영역에서 Main PA만 동작시키기 위해 보조증폭기는 동작하지 않아야 한다. 따라서, 보조증폭기의 common-source (CS)단 및 common-gate (CG)단에 바이어스를 조절하며 입력전력에 따라 출력단 transformer의 switching을 위한 추가적인 바이어스 회로를 구성하였다.

CG단은 높은 drain-source 전압으로 인해 트랜지스터의 break-down이 발생하지 않도록 Thick-oxide gate transistor를 사용하였다.

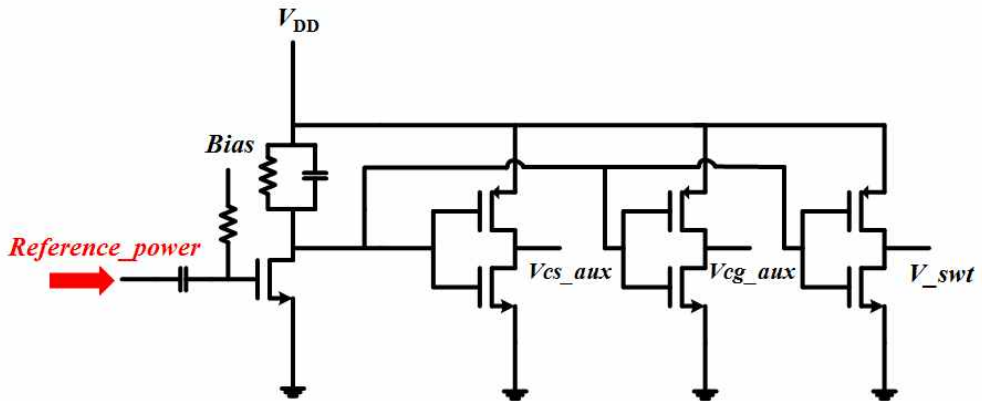


그림 3.11 보조 증폭기 및 스위치의 bias를 조절하기 위한 adaptive bias 회로

Figure 3.11 Adaptive bias circuit to control the bias of auxiliary amplifier and switching capacitor

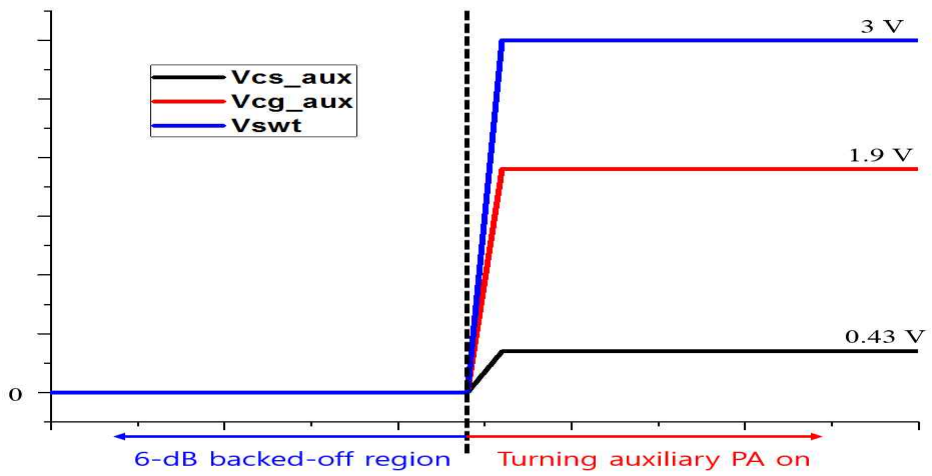


그림 3.12 출력전력에 따른 바이어스 전압의 변화

Figure 3.12 variation of bias voltage according to the output power

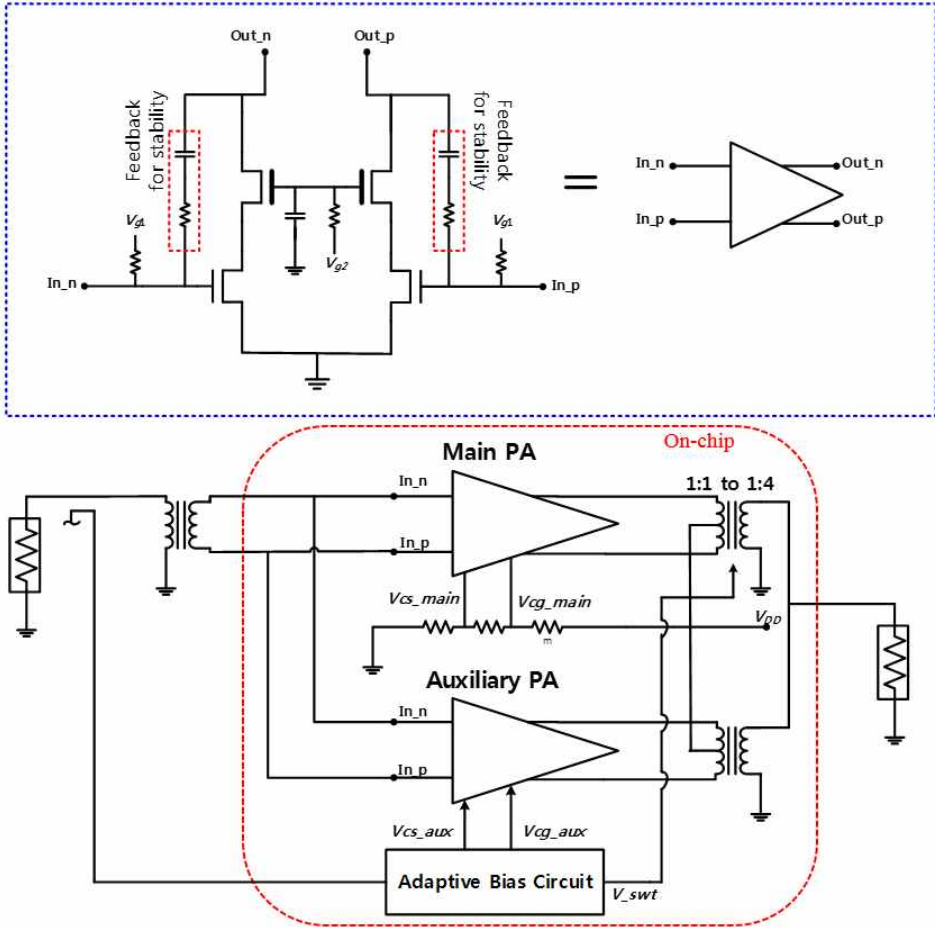


그림 3.13 도허티 전력증폭기의 회로도

Figure 3.13 Schematic of Doherty Power Amplifier

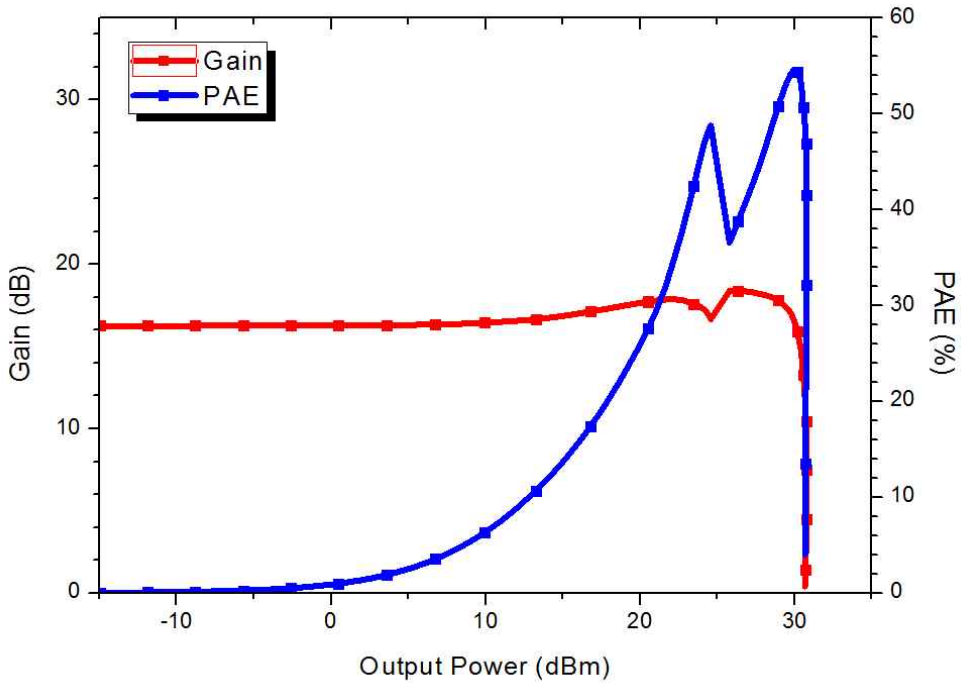


그림 3.14 도허티 전력증폭기의 동작

Figure 3.14 operation of doherty power amplifier with load-modulation

표 3.4 도허티 전력증폭기 동작영역에 따른 출력전력, gain, PAE

Table 3.4 output power, gain, PAE with Doherty PA operation region

	Output Power	Gain	PAE
Maximum Power	24.5 dBm	16.6 dB	48%
Backed-off Region	29.5 dBm	17.3 dB	54%

도허티 전력증폭기의 동작은 이론적으로는 6 dB backed-off 영역에서 최대 효율을 갖게 되어있으나, 실제 CMOS상에서 구현하는 balun transformer 의 삽입손실에 의해 6 dB 보다 더 적은 backed-off 영역에서 최대의 효율을 갖게 되었다. 또한, 입력 전력에 따른 도허티 부하변조 및 auxiliary PA의 바이어스 조절을 위한 adaptive bias 회로를 직접 설계함으로써, 외부의 추가적인 바이어스 조절 회로를 필요로 하지 않게 된다.

4. 이중 부하변조를 통한 낮은 출력전력에서의 효율 향상

4.1 Dual Load-Modulation

앞서 도허티 전력증폭기를 이용하여 6 dB backed-off 영역에서의 효율을 향상시켜 넓은 출력전력 범위에서 높은 효율을 갖는 전력증폭기를 설계하였다. 하지만, 실제 통신 시스템에서 요구하는 PAPR은 7 dB ~ 13 dB 이상인 경우가 많다. 따라서, 6 dB backed-off 영역에서의 효율 향상 뿐만이 아니라, 그 이하의 출력전력에서도 효율을 높일 필요가 있다.

본 논문에서는 도허티 전력증폭기를 통해 이미 한번 backed-off 영역에서 효율을 향상시킴과 추가적인 backed-off 영역에서 main PA의 바이어스의 조절 및 출력임피던스를 변화시킴으로써 더욱 넓은 출력전력범위에서 높은 효율을 갖는 전력증폭기를 설계하고자 한다. 즉, 도허티 동작을 통한 효율 개선 (high power load-modulation, HPM) 과 낮은 출력전력 영역에서의 matching point 변화 (low power load-modulation, LPM)을 통해 도허티 전력증폭기보다 더욱 넓은 출력전력 영역에서 높은 효율을 가질 수 있도록 하고자 한다.

Main PA는 캐스코드 구조로 설계가 되었다. CS단과 CG단으로 이루어진 캐스코드 구조는, CS단의 바이어스를 낮춤으로써 I_{dc} 의 크기를 줄일 수 있다. 하지만 CS단의 바이어스를 낮추면, 회로의 gain이 줄어들게 되며 그로 인해 AM-AM distortion을 발생시킨다. 따라서 AM-AM distortion을 줄이기 위해 낮아진 CS단의 바이어스와 더불어 CG단의 바이어스를 높여주어 도허티 동작을 하는 전력증폭기와 비슷한 크기의 gain을 갖도록 하였다.

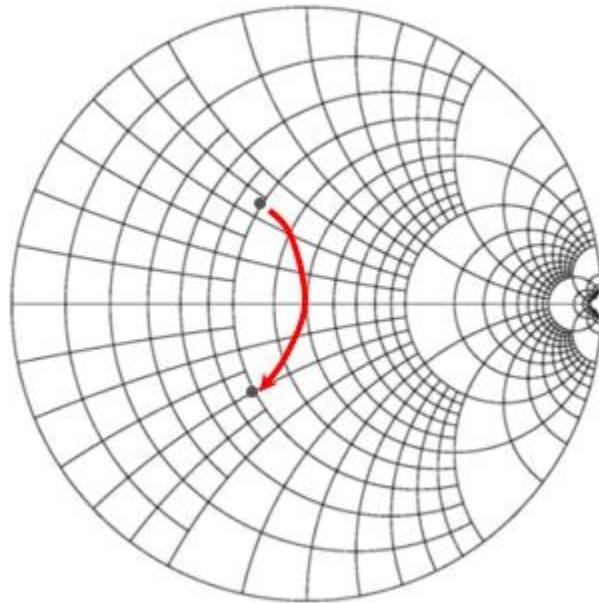


그림 4.1 Main PA의 바이어스를 변화시킨 회로의 최적임피던스 변화

Figure 4.1 optimum impedance variation with Main PA bias control

그림 4.1 은 backed-off 영역 이전에서의 효율개선을 위해 출력단에 병렬 커패시터를 부착할 경우의 스미스차트 좌표변화이다. 이전 도허티 전력증폭기를 설계할 때의 출력임피던스는 $22.04+j15.6$ 이다. 본 회로의 설계에서는 출력단에 그림 4.2와 같이 Switching capacitor를 부착하여 backed-off 영역 이전 (low-power region)에서 필요한 부하임피던스로 변환시키게 되었다. 최종적인 회로를 위한 출력단은 다음과 같다.

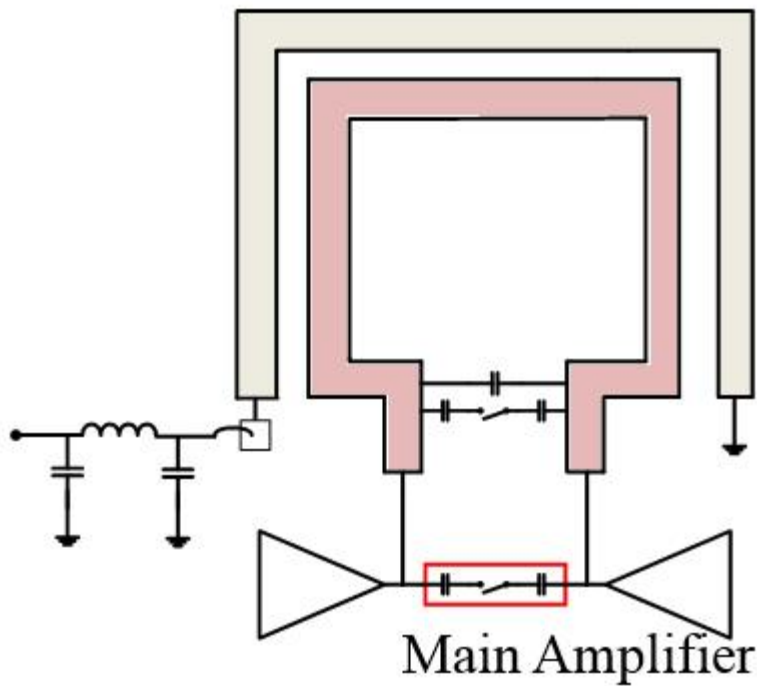


그림 4.2 shunt-capacitor를 이용한 출력단 임피던스 매칭

Figure 4.2 output impedance matching with shunt-capacitor

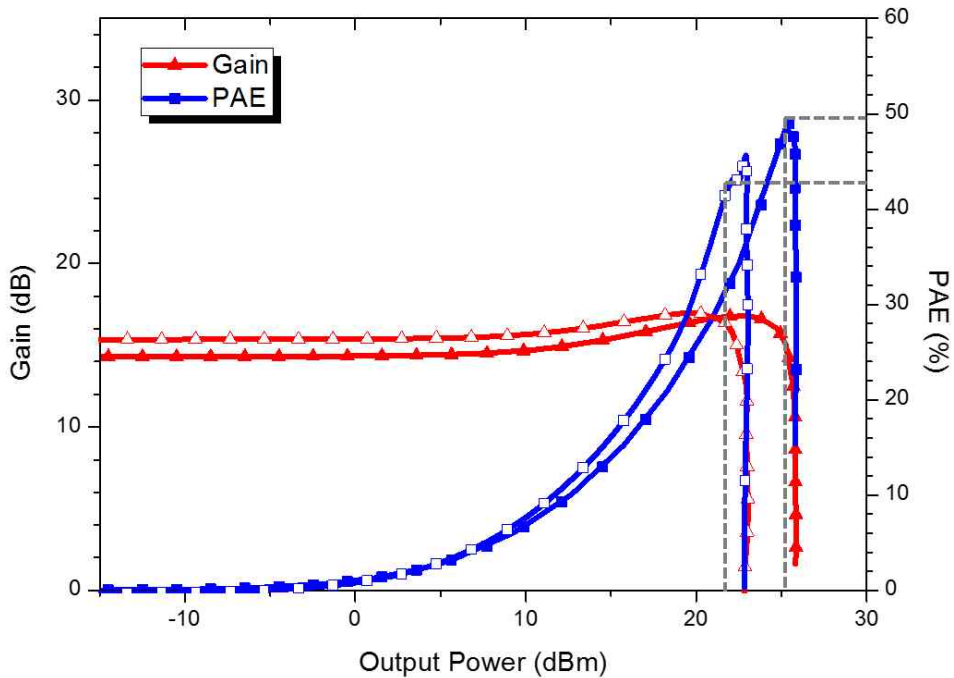


그림 4.3 LPM에 의한 Main PA의 출력전력 및 효율의 변화

Figure 4.3 output power and PAE of main PA according to the LPM

표 4.1 LPM에 의한 Main PA의 출력전력에 따른 gain, PAE

Table 4.1 Gain and PAE of Main PA according to the LPM

	Output Power	Gain	PAE
Low Power Region	22.3 dBm	15.6 dB	42.2%
Mid Power Region	25.4 dBm	15.1 dB	49.8%

그림 4.4 는 본 논문에서 제안하는 회로를 블록다이어그램으로 표현한 것이다. Main PA와 Auxiliary PA 두 개의 PA는 도허티 동작을 하며, 도허티 동작을 위해 main PA의 balun transformer의 임피던스 변환비(1:1 to 1:4)를 변환시키기 위한 switching capacitor의 동작을 위한 전압을 입력전력에 따른 스위칭 전압을 adaptive bias 회로를 통해 공급하게 된다(HPM). 이 때, auxiliary PA가 backed-off 영역에서 동작하지 않기 위해 Vcs_aux 및 Vcg_aux의 전압을 조절하였다. 또한, 도허티동작 중 backed-off 영역에서 main PA만 동작할 때, main PA의 효율 향상을 위해 Vcs_main 및 Vcg_main을 조절하여 드레인 전류의 크기를 줄이고, 이 때 최대 효율을 갖기위한 matching point로 변화시키기 위해 switching cap을 추가적으로 달아주는 부하변조를 하였다(LPM).

최종적으로 회로 제작을 위해 Layout을 하였다. 회로 제작에는 samsung 65nm standard RF CMOS process를 이용하였으며, 시뮬레이션 및 회로 레이아웃을 위한 Tool은 Cadence사의 spectre RF 및 mentor 사의 calibre를 사용하였다.

전체 회로의 크기는 측정을 위한 패드를 포함하여 2mm X 1.8mm이며, 회로전체의 전원전압은 3.3V이다.

4.2 제안하는 회로 동작

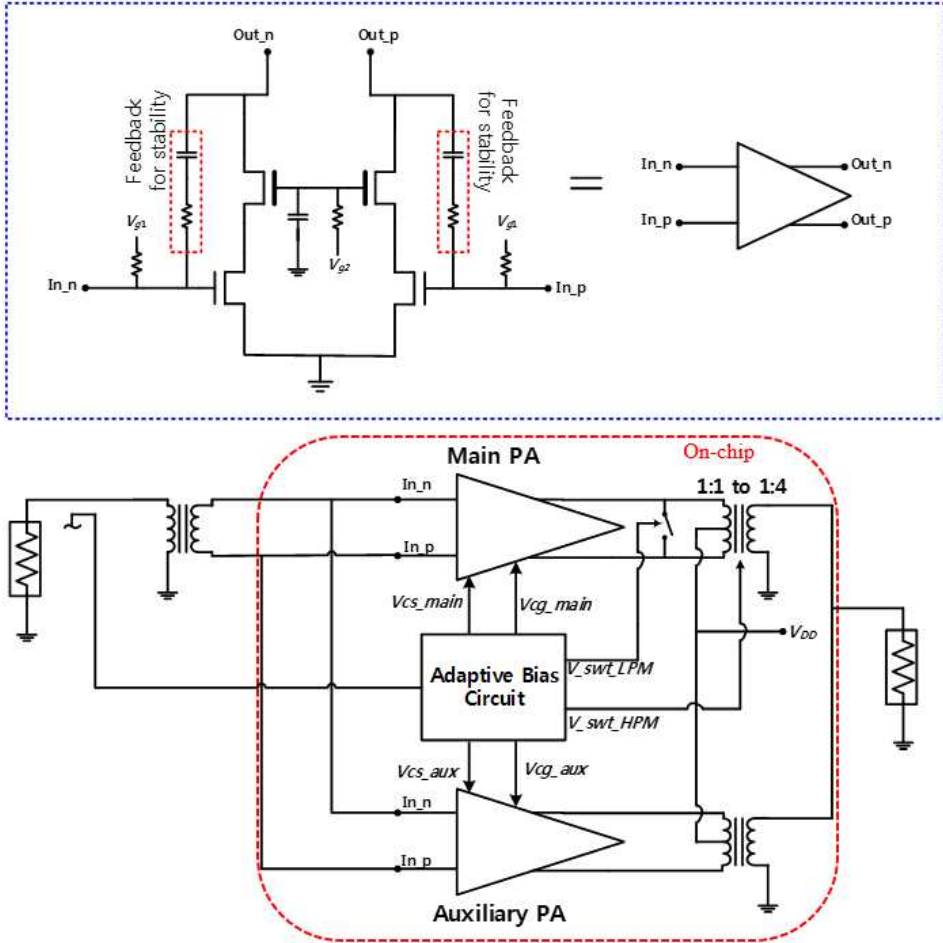


그림 4.4 제안하는 회로의 블록다이어그램

Figure 4.4 Block diagram of proposed circuit

※ 설계 정보

- 설계 공정 : Samsung 65nm standard RF CMOS process
- 전원전압 : 3.3 V
- 시뮬레이션 Tool : Cadence 社 Spectre RF
- Layout 검증 Tool : Mentor 社 Calibre
- 회로 크기 : 2mm X 1.8mm

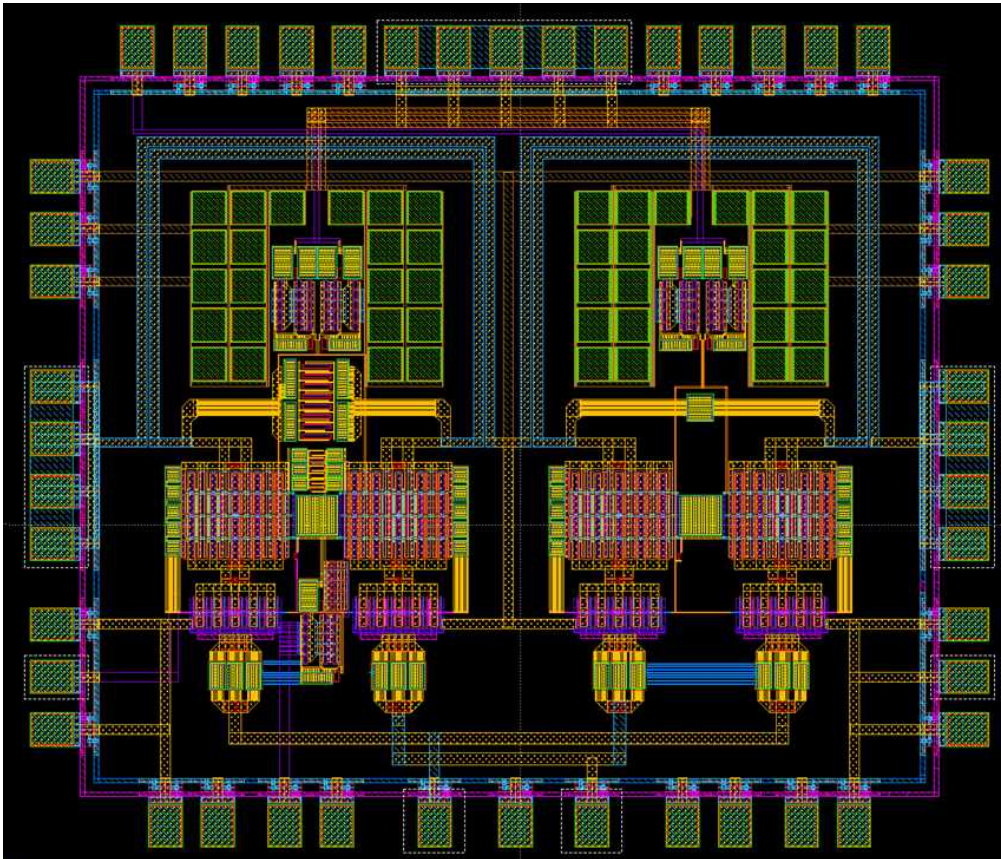


그림 4.5 제안하는 회로의 Layout

Figure 4.5 Layout of proposed circuit

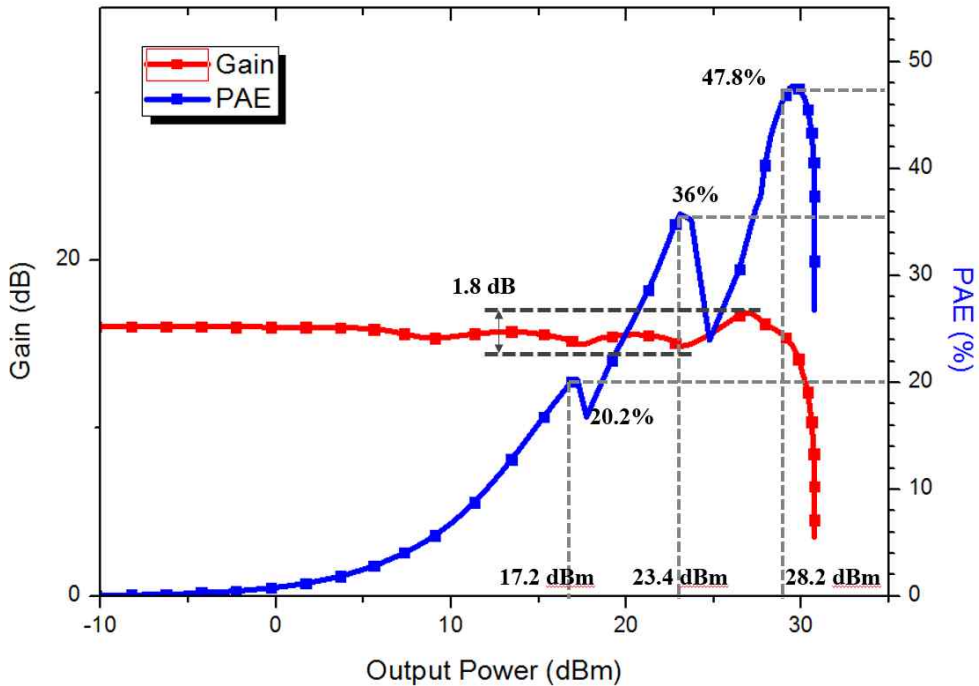


그림 4.6 제안하는 회로의 post-simulation 결과

Figure 4.6 post-simulation results of proposed circuit

그림 4.5 는 제안하는 회로의 post-simulation 결과이다. 앞서 진행했던 schematic simulation에 비해서 레이아웃을 하는 과정에서 생기는 기생저항 및 기생 커패시턴스로 인해 출력전력 및 회로의 효율이 떨어졌지만, 출력전력 크기에 따른 부하변조효과 및 도허티 전력증폭기의 특성이 나타나는 것을 확인할 수 있다. 증폭기 전체의 gain크기의 변화는 최대 1.8 dB 이며, P1dB는 28.2 dBm이고, 4.8 dB, 11 dB backed-off 된 영역에서 효율이 향상되었다.

표 4.2 Post-simulation 결과

Table 4.2 Post-simulation result

	Output Power	Gain	PAE
High Power Region	28.2 dBm	14.6 dB ~ 16.4 dB	47.8%
Mid Power Region	4.8 dB backed-off		36%
Low Power Region	11 dB backed-off		20.2%

5. 결 론

본 논문에서는 65nm RF CMOS를 이용하여 이중부하변조를 통한 도허티 전력증폭기를 제안하였다. 도허티 전력증폭기는 두 개의 PA(main, auxiliary) 와 impedance inverter를 이용하여 부하변조 효과를 이용해 효율을 향상시키는 회로이다. 본 연구에서는 discrete 회로에서 사용되었던 $\lambda/4$ 선로를 대신하여 DAT를 이용한 variable balun transformer를 이용하였다. Transformer를 CMOS상에서 구현하는데 필요한 공간을 절약함과 더불어 11 dB backed-off 영역 이하에서 부하변조를 한번 더 해주어 낮은 출력전력에서도 효율을 상승시켰다.

제안한 회로는 ET, EER 등에 비교하여 간단한 구조인 스위칭 capacitor과 adaptive bias를 이용하여 DC전력소모량을 줄여 효율을 향상시켰으며, 간단히 구현된 회로로 인하여 회로의 크기 또한 획기적으로 줄일 수 있었다. 제안된 회로 기법들을 무선 전단부(RF front-end) 회로에 적용하면 전력증폭기의 효율을 향상시킴과 더불어 회로의 가격을 낮추는데 일조할 수 있을 것이다.

REFERENCES

- [1] S. C. Cripps, *RF Power Amplifiers for Wireless Communications*, 2nd ed., Norwood, MA:Artech House, 2006.
- [2] B. Razavi, *RF Microelectronics*, 2nd ed. Pearson, 2013.
- [3] B. Razavi, *Design of Analog CMOS Integrated Circuits*, Mc Graw Hill, 1999.
- [4] D. K. Su and W. J. McFarland, "An IC for linearizing RF power amplifiers using envelope elimination and restoration," *IEEE J. Solid-State Circuits*, vol. 33, no. 12, pp. 2252–2258, Dec. 1998.
- [5] J. Staudinger, B. Gilsdorf, D. Newman, G. Norris, G. Sadowiczak, R. Sherman, and T. Quach, "High efficiency CDMA power amplifier using dynamic envelope tracking technique," in *IEEE MTT-S Int. Microw. Symp. Dig.*, Jun. 2000, pp. 873–976
- [6] N. Ryu, S Jang, KC Lee, Y. Jeong, "CMOS Doherty amplifier with variable balun transformer and adaptive bias control for wireless LAN application", *IEEE J. Solid-state Circuits*, vol. 49, no. 6, pp. 1356–1365, Jun.

2014.

- [7] N. Wonkomet, L. Tee, and P. R. Gray, "A +31.5 dBm CMOS RF Doherty power amplifier for wireless communications," *IEEE J. Solid-State Circuits*, vol. 41, no. 12, pp. 2852–2859, Dec. 2006.
- [8] D. Chowdhury, C. D. Hull, O. B. Degani, Y. Wang, and A. M. Niknejad, "A fully integrated dual-mode linear 2.4 GHz CMOS power amplifier for 4G WiMax applications," *IEEE J. Solid-State Circuits*, vol. 44, no. 12, pp. 3393–3402, Dec. 2009.
- [9] A. Afsahi and L. E. Larson, "An integrated 33.5 dBm linear 2.4 GHz power amplifier in 65 nm CMOS for WLAN applications," in *Proc. IEEE Custom Integrated Circuits Conf.*, 2010, pp. 1–4.
- [10] I. Kim, J. Moon, and B. Kim, "Optimized design of a highly efficient three-stage Doherty PA using gate adaptation," *IEEE Trans. Microw. Theory Tech.*, vol. 58, no. 10, pp. 2562–2574, Oct. 2010.
- [11] N. Ryu, J. H. Jung, and Y. Jeong, "High-efficiency CMOS power amplifier using uneven bias for wireless LAN application," *ETRI J.*, vol. 34, no. 6, pp. 885–891,

Dec. 2012.

- [12] W. H. Doherty, "A New High Efficiency Power Amplifier for Modulated Waves," Proc. IRE, vol. 24, No. 9, pp. 1163-1182, Sep., 1936.
- [13] David M. Pozar, *Microwave engineering*, Third Edition, John Wiley & Sons, N.Y., 1998.
- [14] Guillermo Gonzalez, *Microwave Transistor Amplifiers Analysis and Design*, 2nd ed. Prentice Hall, Inc. 1984.
- [15] Y. E. Chen, C. Y. Liu, and D. Heo, "A high-efficient CMOS RF power amplifier with automatic adaptive bias control," *IEEE Microw. Wireless Compon. Lett.*, vol. 16, no. 11, pp. 615-617, Nov. 2006.
- [16] J. Cha, Y. Yang, and B. Kim, "An adaptive bias controlled power amplifier with a load modulated combining scheme for high efficiency and linearity," in *IEEE MTT Symp. Dig.*, 2003, vol. 1, pp. 81-84.