



저작자표시-비영리-변경금지 2.0 대한민국

이용자는 아래의 조건을 따르는 경우에 한하여 자유롭게

- 이 저작물을 복제, 배포, 전송, 전시, 공연 및 방송할 수 있습니다.

다음과 같은 조건을 따라야 합니다:



저작자표시. 귀하는 원저작자를 표시하여야 합니다.



비영리. 귀하는 이 저작물을 영리 목적으로 이용할 수 없습니다.



변경금지. 귀하는 이 저작물을 개작, 변형 또는 가공할 수 없습니다.

- 귀하는, 이 저작물의 재이용이나 배포의 경우, 이 저작물에 적용된 이용허락조건을 명확하게 나타내어야 합니다.
- 저작권자로부터 별도의 허가를 받으면 이러한 조건들은 적용되지 않습니다.

저작권법에 따른 이용자의 권리는 위의 내용에 의하여 영향을 받지 않습니다.

이것은 [이용허락규약\(Legal Code\)](#)을 이해하기 쉽게 요약한 것입니다.

[Disclaimer](#)

석사학위논문

Least Square 기법을 이용한
초고주파 디지털 전치 왜곡
증폭기 설계

2017년 2월 22일

전북대학교 대학원

전자정보공학부

정승호

Least Square 기법을 이용한
초고주파 디지털 전치 왜곡
증폭기 설계

A Design of Microwave Digital Predistortion
Amplifier using Least Square Method

2017년 2월 22일

전북대학교 대학원

전자정보공학부

정승호

Least Square 기법을 이용한
초고주파 디지털 전치 왜곡
증폭기 설계

지도교수 정 용 채

이 논문을 공학 석사 학위논문으로 제출함.

2016년 11월 7일

전 북 대 학 교 대 학 원

전 자 정 보 공 학 부

정 승 호

정승호의 석사학위논문을 인준함.

위원장 전북대학교 교수 송상섭 (인)

부위원장 전북대학교 교수 임동구 (인)

위 원 전북대학교 교수 정용채 (인)

2016년 12월 16일

전북대학교 대학원

목 차

ABSTRACT

1. 서론	1
2. 전력증폭기	
2.1 전력증폭기의 비선형 특성	4
2.2 비선형 증폭기의 모델링 기법	11
3. 디지털 전치 왜곡기	
3.1 전치 왜곡기의 원리	16
3.2 디지털 전치 왜곡기의 원리	18
3.3 디지털 전치 왜곡기의 구성	24
4. 파고율 저감 기술	
4.1 디지털 전치 왜곡기의 선형성 개선 한계	26
4.2 파고율의 개념	29
4.3 파고율 저감 기술	31
5. 모의실험	
5.1 전력증폭기 모델링	36
5.2 파고율 저감 기법 모의실험	38
5.3 디지털 전치 왜곡기 모의실험	40
6. 디지털 전치 왜곡기 측정	
6.1 파고율 저감 기술 측정	45
6.2 디지털 전치 왜곡기 실험 결과	47

7. 결론	52
8. 참고문헌	53

그림 목 차

그림 2.1 입력 전력에 따른 전력증폭기의 비선형 특성	6
그림 2.2 2-tone 신호에 따른 전력증폭기의 비선형 특성	8
그림 2.3 Hammerstein 모델	13
그림 2.4 Wiener 모델	14
그림 2.5 Wiener-Hammerstein 모델	15
그림 3.1 전치 왜곡 전력증폭기의 개념	16
그림 3.2 전치 왜곡 전력증폭기의 원리	17
그림 3.3 디지털 전치 왜곡기의 개념	18
그림 3.4 간접 학습 방식	19
그림 3.5 디지털 전치 왜곡기 구성	24
그림 4.1 디지털 전치 왜곡기의 선형성 개선 한계	26
그림 4.2 전력증폭기의 출력 back-off	27
그림 4.3 Output back-off와 파고율의 정의	30
그림 4.4 Peak cancellation의 구성	32
그림 4.5 노이즈 웨이퍼의 구성	33
그림 4.6 파고율 저감을 이용한 디지털 전치 왜곡기 입력 특성	35
그림 5.1 전력증폭기 (MHL21336)의 이득 및 전력 부가 효율	36
그림 5.2 전력증폭기의 모델링 방법	37
그림 5.3 파고율 저감 기법 측정을 위한 모의실험 구성도	38
그림 5.4 파고율 저감 기술을 이용한 출력 신호	38
그림 5.5 클리퍼 문턱 값에 따른 CCDF 결과	39
그림 5.6 NMSE 측정을 위한 모의실험 구성도	41
그림 5.7 다항식 차수에 따른 NMSE	41

그림 5.8 기억 깊이에 따른 NMSE.....	42
그림 5.9 모의실험을 위한 디지털 전치 왜곡기 구성.....	43
그림 5.10 모의실험 결과.....	44
그림 6.1 파고율 저감 기술 측정을 위한 구축환경	45
그림 6.2 파고율 저감 기술 측정결과	46
그림 6.3 디지털 전치왜곡 성능 측정을 위한 구축환경	47
그림 6.4 디지털 전치 왜곡기 측정 절차	48
그림 6.5 디지털 전치 왜곡기의 선형성 결과.....	49
그림 6.6 전력증폭기의 CCDF 출력변화 결과	50

표 목 차

표 2.1 2-tone 입력신호에 대한 비선형 전력증폭기의 출력 신호의 주파수 성분.....	7
표 4.1 파고율 저감 기술들의 특징.....	31
표 6.1 선형성 개선 및 CCDF 결과 비교.....	51

ABSTRACT

A Design of Microwave Digital Predistortion Amplifier using Least Square Method

Seung-Ho Jeong

Department of Electronics and Information Engineering
Chonbuk National University

In the modern wireless communication, the communication systems provide high-data-rate information to the user. In order to use systems, the power amplifier (PA) should transmit modulated signal without distortion. However, it is difficult to transmit modulated signal without distortion because the PAs are nonlinearity component. To reduce the distortion, the consisting of linearization techniques which are analog pre-distortion, digital predistortion (DPD), feedforward and etc are applied to the PAs.

In this research, a DPD using least square (LS) method with crest factor reduction (CFR) is verified for reducing distortion. Conventional DPD using LS method difficult to reduce distortion. Therefore, to reduce the distortion, CFR which was based on peak cancellation method is used to previous DPD. Using the CFR, the input power of DPD is applied to PA in high linearity region. For experimental demonstration, conventional and DPD with CFR are used to LDMOS amplifier (MHL21336) with 35 dBm of P1 dB at 2.14 GHz. Also, DPD was fabricated using MATLAB and Advanced Design System (ADS). To measure the data, the Agilent's ESG signal generator (E4438C) and MXA Spectrum Analyzer (N9020A) are used. From measured results, ACPR improvement of 10.89 dB was obtained after DPD. After DPD with CFR, the linearity of 6.34 dB was improved. From the results, DPD with CFR more to reduce distortion than conventional DPD.

Keywords: Digital predistortion, Crest factor reduction, Least square method.

1. 서론

무선 이동 통신의 이용이 보편화되어 우리의 생활에 빠질 수 없는 요소가 되었다. 그리고 과거의 음성이나 텍스트만 보내던 용량이 작던 데이터 통신과는 별개로 현재는 고화소의 용량이 큰 동영상, 사진 등과 같은 데이터를 손쉽게 주고 받을 수 있게 되면서 많은 데이터를 처리할 수 있는 wideband code division multiple access(WCDMA)와 orthogonal frequency division multiplexing(OFDM) 등과 같은 디지털 변조 기술이 사용되어 왔다. 하지만 이러한 디지털 변조 기술은 여러 신호들의 조합으로 이루어져 있기 때문에 통계적으로 신호의 크기를 나타내는 포락선이 큰 변동폭을 가지게 된다. 포락선의 변동이 크다는 것은 신호의 최대 전력 대 평균 전력비(peak to average power ratio: PAPR)를 크게 가진다는 것을 나타낸다. 무선 이동 통신에서 PAPR이 큰 디지털 변조 방식을 사용한 입력 신호를 비선형소자인 전력증폭기에 적용한다면 최대 입력 신호가 최대 포화 출력전력(P_{sat})에 자주 이르게 됨으로써 혼변조 왜곡(intermodulation distortion: IMD)의 특성이 크게 나타나게 되며 이는 무선 통신 시스템에서 선형성을 감소시키는 요인이 된다. 물론 전력증폭기를 충분히 back-off 하여 선형성을 확보할 수 있지만 출력 전력이 작아지므로 전력증폭기의 효율이 감소하는 단점이 존재한다.

앞서 논의한 back-off를 하지 않고 선형성을 개선하기 위한 해법으로써 여러 가지 선형화 기법이 제시되어 왔으며 그 중 대표적인 선형화 기술로는 피드포워드 선형화 기법, 전치 왜곡 기법 등이 존재한다. 피드포워드 방식은 주 전력증폭기의 출력신호에서 IMD 성분만을 뽑아 보조 전력증폭기를 이용하여 증폭한 뒤 신호감쇠기와 위상천이기를 이용하여 IMD 성분을 조절해 주 전력증폭기의 IMD

성분을 상쇄시켜 선형성을 개선하는 방식이다. 피드포워드 방식을 쓰게 된다면 높은 선형화 정도와 넓은 대역의 주파수에서 선형성을 가지지만 부가 회로를 많이 사용하게 됨으로 비용적인 문제를 가지고 있다. 이와 반대로 전치 왜곡 방식은 전력증폭기의 입력 신호를 왜곡시킴으로써 선형화 정도를 얻는 방식으로 적은 부가 회로를 사용하며 회로구현이 쉬워 선형화 방식으로 많이 연구되고 있다.

전치 왜곡 방식은 크게 기존의 아날로그 방식과 디지털 방식으로 나뉘게 되며 전치 왜곡의 적용 주파수 대역에 따라 방식을 나눌 수 있다. 아날로그 방식은 RF 대역의 신호를 왜곡하여 선형성을 얻는 방식이지만 최근의 넓은 주파수 대역폭을 사용하는 디지털 변조 방식에서는 전치 왜곡의 특성을 정확하게 나타내는데 어려움을 가지고 있다. 하지만 아날로그 방식과는 다르게 디지털 전치 왜곡 방식은 기저대역에서 신호를 왜곡하여 전치 왜곡의 특성을 나타낼 수 있는 방식이기 때문에 많은 구현 방식이 존재하며 방식에 따라 선형성의 개선도가 다르게 나타난다.

디지털 전치 왜곡 연구는 Nagata [1]에 의해 처음 제안되었으며 이후 J.K Cavers가 수렴속도가 향상된 look up table 방식 [2]을 제시함에 따라 디지털 전치 왜곡의 연구가 활발하게 되었다. 하지만 이전의 디지털 전치 왜곡 연구는 전력증폭기의 메모리 효과 (memory effect)의 문제를 고려하지 않아 IMD 성분의 비대칭과 같은 문제를 해결할 수 없었다 [3]. 이러한 메모리를 고려하지 않은 디지털 전치 왜곡기의 문제를 해결하기 위해 다양한 방식이 제시되었으며 그 중에 간접 학습(indirect learning) 방식에 볼테라 구조를 적용한 방식이 제시되었다 [4]. 하지만 볼테라 구조는 많은 연산을 요구하게 됨으로 연산 복잡도의 문제를 가지고 있으며 이에 볼테라의 연산 복잡도를 줄이기 위해 메모리 다항식 방식(memory polynomial)을 사용해 디지

털 전치 왜곡기를 설계하였다 [5]. 간접 학습 방식을 이용한 메모리 다항식 디지털 전치 왜곡기를 설계하기 위해서는 메모리 다항식의 계수를 연산할 수 있는 알고리즘이 필요하며 대표적으로는 least square (LS) 방식이 존재하며 적응형 알고리즘인 least mean square (LMS)과 recursive least square (RLS)방식이 존재한다. 적응형 알고리즘은 높은 정확도를 가지지만 연산 복잡도의 문제가 있으며 그에 반해 LS 방식은 구현이 간단하고 연산 복잡도가 낮다. 현재 LS 방식을 이용한 디지털 전치 왜곡기가 많이 연구되고 있으며 weighted 방식 [6]과 파고율 저감 방식 (crest factor reduction: CFR) [7]등의 방식을 통해 전력증폭기의 높은 선형성을 얻을 수 있게 되었다.

본 논문에서는 peak cancellation 기법을 이용한 파고율 저감 방식을 이용하여 3GPP의 신호에서 전력증폭기의 P_{sat} 에 근접하는 신호의 크기를 줄여 IMD 성분을 생성하는 입력 신호를 줄여 기존의 LS 방식을 이용한 디지털 전치 왜곡기에 적용하여 선형성을 향상시켰다. 그리고 기존의 LS 방식만을 이용한 디지털 전치왜곡기와 결과를 비교하여 파고율 저감 방식이 디지털 전치 왜곡기의 선형성을 개선시킬 수 있는지 검증한다.

본 논문에서 1장은 본 연구의 동기가 기술되어 있으며 2장은 비선형 소자인 전력증폭기의 특성과 모델링 방법에 대해 설명하고 3장은 전치 왜곡기를 구성하는 이론과 디지털 전치 왜곡기에 대해 설명한다. 4장은 디지털 전치 왜곡기의 앞 단에 적용하는 파고율 저감 방식에 대해 설명한다. 5장에서는 모의실험을 위한 환경을 구성한 뒤 디지털 전치 왜곡기를 모의실험하여 결과를 제시하고 6장에서는 실제 측정 환경과 실제 측정 결과를 제시한다. 마지막으로, 7장에서는 연구 결과에 대해 결론을 맺었다.

2. 전력증폭기

2.1 전력증폭기의 비선형 특성

2단자 망에서 회로의 메모리를 무시한다면 입력과 출력의 관계는 동시성을 갖는다고 생각할 수 있으며 이것을 수식적으로 입력 V_i 와 출력 V_o 로 나타낼 수 있다. 입력을 증폭하는 전력증폭기에서 이득을 k 로 가정하게 된다면 식 (2.1)과 같은 관계식으로 나타낼 수 있다.

$$v_o = kv_i \quad (2.1)$$

실제 전력증폭기는 입력과 출력의 관계가 선형적 관계를 갖는데 제한적인 조건을 가지고 있으며 두 단자간의 정확한 관계를 정확한 수식으로 표현하기 위해 Power series로 표현할 수 있다.

$$v_o = k_1 v_i + k_2 v_i^2 + k_3 v_i^3 + \dots \quad (2.2)$$

식 (2.1)과 (2.2)에서는 입력에 따른 출력의 위상 왜곡 특성을 무시하였다. 만약 강한 비선형 특성을 가지지 않는 입력과 출력에 대한 관계를 분석하고 싶다면 식 (2.3)과 같이 수식을 세 번째 항만 가지는 출력 특성이라 가정할 수 있다.

$$v_o = k_1 v_i + k_2 v_i^2 + k_3 v_i^3 \quad (2.3)$$

입력 신호를 $V_i = A \cos \omega_1 t$ 인 1-tone 신호로 가정하여 (2.3)에 대입하게 된다면 식 (2.4)와 같은 식을 얻을 수 있다.

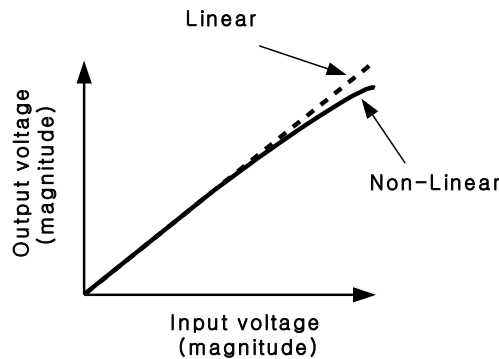
$$\begin{aligned} v_o &= k_1 (A \cos \omega_1 t) + k_2 (A \cos \omega_1 t)^2 + k_3 (A \cos \omega_1 t)^3 \\ &= \frac{1}{2} k_2 A^2 + \left(k_1 A + \frac{3}{4} k_3 A^3 \right) \cos \omega_1 t + \frac{1}{2} k_2 A^2 \cos 2\omega_1 t + \frac{1}{4} k_3 A^3 \cos 3\omega_1 t \end{aligned} \quad (2.4)$$

식 (2.4)을 통해 1-tone 신호가 전력증폭기에 들어가게 된다면 1-tone 주파수의 정수배의 신호가 동반되는 사실을 알 수가 있다. 또한, 만약에 계수 k_3 가 음의 값을 가지게 된다면 출력은 선형 출력 k_1A 의 값보다 작아지게 되므로 이득의 감소 (gain compression) 또는 AM-to-AM 특성으로 볼 수 있다. 그리고 입력의 크기에 따라 출력의 위상 특성이 변하는 것을 확인할 수 있는데 이것을 AM-to-PM 특성으로 볼 수 있다. AM-to-PM의 변화 특성은 식 (2.5)와 같이 나타낼 수 있다.

$$a = \frac{180}{\pi} \cdot \frac{d\theta_p}{d(10\log P_{in})} \quad (2.5)$$

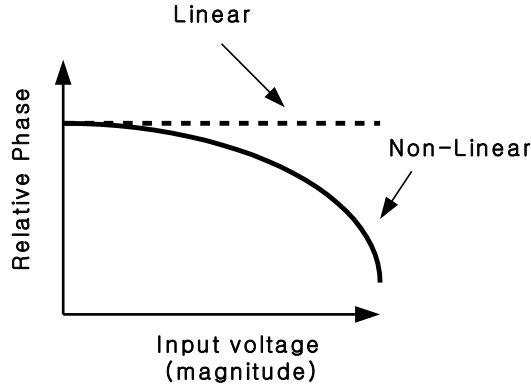
여기서 P_{in} 은 전력증폭기에 인가되는 전력을 뜻하며 θ_p 은 입력 전력의 변화에 따른 위상의 변화를 나타낸다. 또한 a 는 입력에 대한 출력 상대 위상의 변화 정도를 의미한다.

이 두 가지 전력증폭기의 특성은 그림 2.1과 같이 나타낼 수 있으며 그림 2.1 (a)는 AM-to-AM 특성을 그림 2.1 (b)는 AM-to-PM 특성을 나타내고 있다[8].



(a) AM-to-AM 특성.

(a) AM-to-AM characteristics.



(b) AM-to-PM 특성.

(b) AM-to-PM characteristics.

그림 2.1. 입력 전력에 따른 전력증폭기의 비선형 특성.

Fig.2.1. Nonlinear characteristics of power amplifier according to the input power.

이러한 비선형 특성을 갖는 전력증폭기에 동일 진폭을 갖는 $V_i = A(\cos\omega_1 t + \cos\omega_2 t)$ 의 2-tone 신호를 넣어줌으로써 multi-tone에 대한 응답을 식 (2.6)와 같이 나타낼 수 있다.

$$\begin{aligned}
 v_o = & k_2 A^2 + k_2 A^2 \cos(\omega_1 - \omega_2)t + (k_1 A + \frac{9}{4} k_3 A^3) \cos \omega_1 t + (k_1 A + \frac{9}{4} k_3 A^3) \cos \omega_2 t \\
 & + \frac{3}{4} k_3 A^3 \cos(2\omega_1 - \omega_2)t + \frac{3}{4} k_3 A^3 \cos(2\omega_2 - \omega_1)t + k_2 A^2 \cos(\omega_1 + \omega_2)t \\
 & + \frac{1}{2} k_2 A^2 \cos 2\omega_1 t + \frac{1}{2} k_2 A^2 \cos 2\omega_2 t + \frac{3}{4} k_3 A^3 \cos(2\omega_1 + \omega_2)t \\
 & + \frac{3}{4} k_3 A^3 \cos(2\omega_2 + \omega_1)t + \frac{1}{4} k_3 A^3 \cos 3\omega_1 t + \frac{1}{4} k_3 A^3 \cos 3\omega_2 t
 \end{aligned}
 \tag{2.6}$$

표 2.1. 2-tone 입력신호에 대한 비선형 전력증폭기의 출력 신호의 주파수 성분.

Table 2.1. Output frequency component of amplifier in case of 2-tone signals.

DC term	$k_2 A^2$
Fundamental	$k_1 A \left(1 + \frac{9k_3 A^2}{4k_1}\right) (\cos \omega_1 t + \cos \omega_2 t)$
Second order	$\frac{k_2 A^2}{2} (\cos 2\omega_1 t + \cos 2\omega_2 t) \cdots + k_2 A^2 (\cos(\omega_1 + \omega_2)t + \cos(\omega_1 - \omega_2)t)$
Third order	$\frac{k_3 A^3}{4} (\cos 3\omega_1 + \cos 3\omega_2)t + \frac{3k_3 A^3}{4} (\cos(2\omega_1 + \omega_2)t + \cos(2\omega_1 - \omega_2)t) \cdots + \frac{3k_3 A^3}{4} (\cos(2\omega_2 + \omega_1)t + \cos(2\omega_2 - \omega_1)t)$

식 (2.6)에서 확인할 수 있듯이 ω_1, ω_2 의 주파수 성분이 1-tone 신호에서와 마찬가지로 $2\omega_1, 2\omega_2, 3\omega_1, 3\omega_2$ 의 정수배 성분이 나온다는 것을 표 2.1을 통해 확인할 수 있다. 또한, 추가적으로 $\omega_1 \pm \omega_2, 2\omega_1 \pm \omega_2, 2\omega_2 \pm \omega_1$ 의 성분들이 나온다는 것을 알 수 있다. 이러한 성분을 혼변조 성분(Intermodulation distortion: IMD)이라고 말하며 무선 통신 시스템에서 인접 채널에 영향을 주는 성분이다. 이러한 2-tone 출력 성분들은 대부분 여파기를 사용하여 충분히 제거할 수 있지만 $2\omega_1 \pm \omega_2, 2\omega_2 \pm \omega_1$ 와 같은 3차 혼변조 (IMD3) 성분들은 그림 2.2와 같이 기존 주파수와 근접한 주파수에 생성되기 때문에 제거하기 어려운 성분이다 [9].

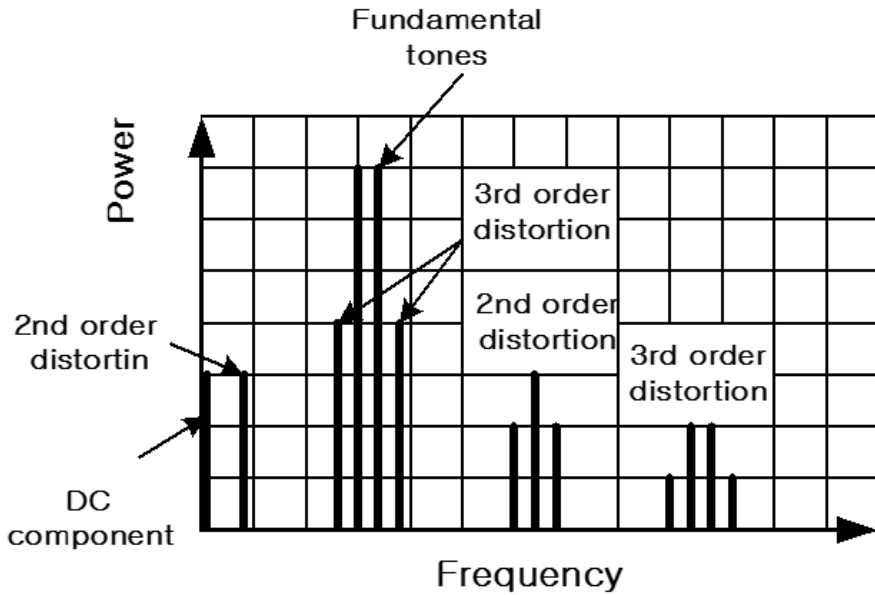


그림 2.2. 2-tone 신호에 따른 전력증폭기의 비선형 특성.
 Fig. 2.2. Nonlinear characteristic of power amplifier according to 2-tone signals.

식 (2.6)과 그림 2.2에서는 AM-to-PM에 의해 생성된 3차 혼변조 성분을 무시하였다. 만약 변조 신호(ω_m)의 비선형 출력을 갖는 전력증폭기에서 RF 반송주파수(ω_c)에 입력에 따른 위상 변화가 식(2.5)와 같이 나타난다면 전력증폭기의 출력 신호는 식(2.7)과 같이 나타낼 수 있다.

$$v_o(t) = [\cos \omega_m t + k_3 \cos 3\omega_m t + k_5 \cos 5\omega_m t + \dots] \cos \left[\omega_c t + \frac{\phi}{2} (1 + \cos 2\omega_m t) \right] \quad (2.7)$$

식 (2.7)은 전력증폭기의 AM-to-AM특성과 AM-to-PM의 특성을 모두 나타내는 식이다. 또한 실제 통신시스템에서 출력 신호에 영향을 주는 홀수 차수만 고려한 식 (2.7)을 전개하여보면 식 (2.8)과 같은 출력특성을 얻을 수 있다.

$$\begin{aligned}
v_o(t) = & \frac{1}{2} \cos \left[(\omega_c \pm \omega_m)t \pm \frac{\phi}{2} \right] + \frac{k_3}{2} \cos \left[(\omega_c \pm 3\omega_m)t \pm \frac{\phi}{2} \right] \\
& - \frac{\phi}{8} \left[\sin(\omega_c \pm \omega_m)t + \sin(\omega_c \pm 3\omega_m)t \right] \\
& - \frac{\phi k_3}{8} \left[\sin(\omega_c \pm \omega_m)t + \sin(\omega_c \pm 5\omega_m)t \right]
\end{aligned} \tag{2.8}$$

식 (2.8)을 통해 위상 변화에 따른 IMD 성분을 확인할 수 있다. 위상의 변화(ϕ)에 따라 $\omega_c \pm \omega_m$, $\omega_c \pm 3\omega_m$, $\omega_c \pm 5\omega_m$ 등의 IMD 성분의 값이 다르게 나타날 수 있으며 이것은 입력과 출력신호의 AM-to-PM의 특성이 주파수 스펙트럼상의 새로운 간섭 신호를 생성한다. 그리고 실제 전력증폭기의 특성은 AM-to-AM, AM-to-PM 특성 뿐만이 아닌 메모리 효과에 의한 특성을 추가적으로 가지고 있다. 메모리 효과란 주파수의 변화에 따라 전달 주파수의 크기나 위상 왜곡 성분이 바뀌는 현상으로 현재의 출력 응답은 현재뿐만 아니라 과거의 입력들에 대해서도 영향을 받는 현상이다. 전력증폭기의 메모리 효과를 만드는 요인인 AM 과 PM 특성의 불일치(χ)는 식 (2.9)과 같이 가정할 수 있다.

$$\begin{aligned}
v_o(t) = & \left[\cos(\omega_m t + \chi) + k_3 \cos 3(\omega_m t + \chi) + k_5 \cos 5(\omega_m t + \chi) + \dots \right] \\
& \cos \left[\omega_c t + \frac{\phi}{2} (1 + \cos 2\omega_m t) \right]
\end{aligned} \tag{2.9}$$

식 (2.9)를 전개하게 되면 식 (2.10)과 같은 결과를 얻을 수 있다.

$$\begin{aligned}
v_o(t) = & \frac{1}{2} \cos \left[(\omega_c \pm \omega_m)t \mp \chi + \frac{\phi}{2} \right] - \frac{\phi}{8} \left[\sin \left[(\omega_c \pm \omega_m)t \mp \chi \right] + \sin \left[(\omega_c \pm 3\omega_m)t \mp \chi \right] \right] \\
& + \frac{\mu_3}{2} \cos \left[(\omega_c \pm 3\omega_m)t \mp 3\chi + \frac{\phi}{2} \right] - \frac{\mu_3 \phi}{8} \left[\sin \left[(\omega_c \pm \omega_m)t \mp 3\chi \right] + \sin \left[(\omega_c \pm 5\omega_m)t \mp 3\chi \right] \right] \\
& + \frac{\mu_5}{2} \cos \left[(\omega_c \pm 5\omega_m)t \mp 5\chi + \frac{\phi}{2} \right] - \frac{\mu_5 \phi}{8} \left[\sin \left[(\omega_c \pm 3\omega_m)t \mp 5\chi \right] + \sin \left[(\omega_c \pm 7\omega_m)t \mp 5\chi \right] \right]
\end{aligned} \tag{2.10}$$

식 (2.10)을 통해 전력증폭기의 메모리 효과가 출력 신호에 어떠한 영향을 주는지 알 수 있다. 메모리 효과는 출력신호의 IMD가 발생하는 주파수의 비대칭적인 출력 특성이 나타나게 된다. 메모리 효과의 첫 번째 원인으로서는 기본 주파수 기준으로 설계된 정합회로와 고조파 주파수의 부정합을 들 수 있다 [10]. 두 번째는 트랜지스터의 발열 영향을 생각해볼 수 있다. 전력증폭기의 트랜지스터의 사용시간 늘어나게 되면 온도가 올라가게 되는데 이때 주위 온도가 변화하고 온도특성을 전기적 등가 모델로 변화하면 저역 통과 특성을 보이게 되는데 포락선 주파수가 저역 통과 차단 주파수보다 낮은 경우 특성이 변하게 된다 [11,12]. 세 번째는 바이어스 변조 이론을 사용하는 envelope tracking(ET), envelope elimination and restorage (EER)에서 RF신호와 포락선 신호의 시간 불일치로 인해 메모리 효과가 발생한다 [13]. 마지막으로 전력증폭기의 DC 바이어스를 기본 주파수 기준에 맞춰 설계하는 것에 의해 메모리 효과가 나타난다. 대부분의 전력증폭기에서는 DC바이어스를 기본 주파수에 대해 개방으로 보이게 설계를 진행한다. 하지만 전력증폭기의 변조 신호의 포락선은 낮은 주파수를 가지게 되며 이러한 낮은 주파수 성분은 DC 바이어스 라인을 개방회로처럼 보지 않게 된다. 포락선 신호가 DC 바이어스 라인에 유입되게 되고 결과적으로 바이어스 라인의 임피던스를 변화시키게 된다. 따라서 설계하였던 DC 바이어스를 일정하게 공급하지 못하게 되고 작은양 이지만 공급되는 바이어스가 변화하게 된다 [14].

이러한 AM-to-AM, AM-to-PM, 메모리 효과를 갖는 비선형 특징을 가진 전력증폭기의 모델링을 구축하기 어렵다. 현재 전력증폭기의 모델링을 위해 다양한 방식이 제시되었으며 다음 절에서는 전력증폭기의 모델링을 위한 다양한 모델링 기법에 대해 설명한다.

2.2 비선형 증폭기의 모델링 기법

2.1절에서는 전력증폭기가 가지는 비선형 특성인 AM-to-AM, AM-to-PM, 메모리 효과에 대해서 정의하였으며 이번 절에서는 비선형 특성을 고려하여 전력증폭기를 모델링하는 기법에 대해 논의할 것이다.

2.1절 식 (2.2)는 이론에 근거한 Power series이며 차수를 조정함으로써 비메모리 다항식으로 변환이 가능하다. 이를 이산 신호를 다루는 수식으로 변환하면 식 (2.11)과 같이 나타낼 수 있다.

$$y(n) = \sum_{j=1}^P a_j x(n) \left| x(n) \right|^{j-1} \quad (2.11)$$

식에서 $y(n)$ 은 출력 신호이고 $x(n)$ 은 입력 신호이다. 식 (2.11)을 통해 출력 신호는 과거의 신호를 포함하지 않은 현재의 입력을 통해 출력 신호가 정의 된다는 사실을 알 수 있다. 이것은 AM-to-PM, 메모리 효과와 같은 비선형 성분을 정확하게 모델링 할 수 없는 단점을 가지고 있다. 그리하여 비메모리 다항식은 위상 변화가 적고 메모리 효과가 적은 시스템에 적합하다. 이러한 단점을 해결하기 위해 제시된 것이 볼테라 급수이다 [15].

Power series에서 메모리 효과를 포함하여 수식을 확장하게 되면 식 (2.12)와 같은 연속성을 가진 출력 값으로 볼테라 급수를 정의할 수 있다.

$$\begin{aligned} y(n) = & \int_{-\infty}^{\infty} h_1(\tau_1) x(t-\tau_1) d\tau_1 + \int_{-\infty}^{\infty} \int_{-\infty}^{\infty} h_{1,2}(\tau_1, \tau_2) x(t-\tau_1) x(t-\tau_2) d\tau_1 d\tau_2 \\ & + \int_{-\infty}^{\infty} \int_{-\infty}^{\infty} \int_{-\infty}^{\infty} h_{1,2,3}(\tau_1, \tau_2, \tau_3) x(t-\tau_1) x(t-\tau_2) x(t-\tau_3) d\tau_1 d\tau_2 d\tau_3 + \dots \end{aligned} \quad (2.12)$$

위의 수식에서 알 수 있듯 볼테라 급수는 컨볼루션을 이용한 함수로 표현되며 출력신호 $y(n)$ 은 볼테라 커널(kernel)이라고 정의된 $h_m(\tau_1, \tau_2, \tau_3, \dots)$ 에 의해 정의된다. 볼테라 급수의 수식을 간단히 간략화하기 위해 식 (2.13)과 같이 볼테라 연산자를 정의하면 식(2.14)과 같이 볼테라 급수를 간략화 시킬 수 있다.

$$h_k(x(t)) = \int_{-\infty}^{\infty} \cdots \int_{-\infty}^{\infty} h_k(\tau_1, \dots, \tau_k) x(t - \tau_1) \cdots x(t - \tau_k) \cdots d\tau_1 \cdots d\tau_k \quad (2.13)$$

$$y(t) = \sum_{k=0}^{\infty} h_k(x(t)) \quad (2.14)$$

위와 같은 방식으로 이산신호로 간략화 한다면 식 (2.15)와 (2.16)로 정의할 수 있다.

$$h_k(x[n]) = \sum_{k=-\infty}^{\infty} \cdots \sum_{k=-\infty}^{\infty} h_k(m_1, \dots, m_k) x(n - m_1) \cdots x(n - m_k) \quad (2.15)$$

$$y[n] = \sum_{k=0}^{\infty} h_k(x[n]) \quad (2.16)$$

볼테라 급수는 메모리 효과 특성을 가지는 전력증폭기를 해석하는 방법이지만 다음과 같은 문제점을 가지고 있다.

첫 번째로 power series와 마찬가지로 볼테라 급수는 강한 비선형(strong nonlinearity) 특성을 표현하는데 문제가 발생한다. 두 번째로는 식 (2.14), (2.16)에서와 마찬가지로 출력 신호를 표현하는데 무수히 많은 데이터를 가지고 있어야 볼테라 커널을 찾을 수 있으며 만약 볼테라 급수가 무한한 항을 가지는 데이터의 경우에는 출력 신호에서 볼테라 커널을 분리하기 어려운 문제가 발생한다. 세 번째로는 볼테라 급수로 신호를 표현하기 위해서는 많은 수의 볼테

라 커널 값을 고려해야 하고, 즉 메모리의 깊이와 비선형 차수를 증가하여 출력신호를 고려해야 되므로 복잡성이 늘어나게 된다. 만약 K 차의 비선형 성분을 N 개의 메모리 깊이를 고려하게 된다면 볼테라 커널의 개수는 N^K 개가 된다[16].

볼테라 급수는 복잡성 때문에 실제 비선형 전력증폭기에 사용하는 경우 볼테라 급수를 단순화시켜 사용하는 방법이 연구되었으며 대표적으로 hammerstein, wiener, wiener- hammerstein 등의 메모리 다항식 기법을 비선형 전력증폭기의 모델링 기법으로 사용되어왔다.

그림 2.3은 hammerstein 모델링 기법을 나타낸다. 이 방식은 비메모리 비선형 시스템 다음에 linear time invariant(LTI) 시스템의 조합으로 표현한 방식이다.

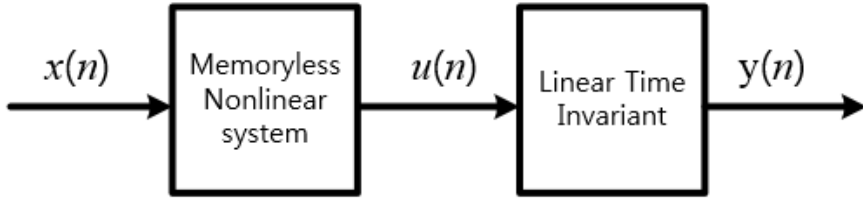


그림 2.3. Hammerstein 모델.
Fig. 2.3. Hammerstein model.

각각의 시스템은 식 (2.17)로 나타낼 수 있다.

$$u(n) = \sum_{k=1}^K b_k x(n) |x(n)|^{k-1}$$

$$y(n) = \sum_{l=0}^{L-1} c_l u(n-l) \quad (2.17)$$

식 (2.17)에서 b_k 는 비메모리 다항식의 계수이며 c_l 은 LTI 시스템의 임펄스 계수를 뜻한다.

Hammerstein 모델링 기법과는 반대로 LTI 시스템 다음에 비선형 시스템을 두는 wiener 모델링이 있다. Wiener 모델링은 그림 2.4와 같은 방법으로 모델링 할 수 있다.

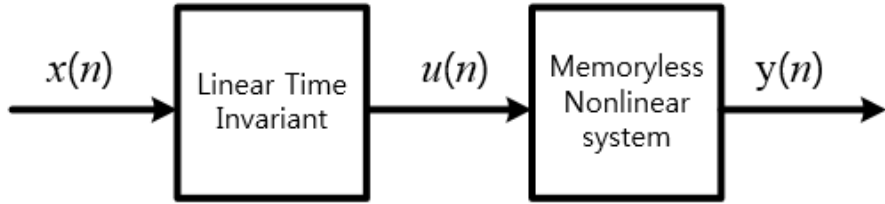


그림 2.4. Wiener 모델.
Fig. 2.4. Wiener model.

Wiener 모델 역시 각각의 시스템을 수식적으로 모델링 할 수 있으며 식 (2.18)과 같다.

$$u(n) = \sum_{l=0}^{L-1} a_l x(n-l)$$

$$y(n) = \sum_{k=1}^K d_k u(n) |u(n)^{k-1}| \quad (2.18)$$

Wiener 모델에서 d_k 는 비메모리 다항식의 계수이며 a_l 은 LTI 시스템의 임펄스 계수를 뜻한다.

마지막은 wiener-hammerstein 모델로 비메모리 비선형 시스템 앞 뒷단에 LTI 시스템을 적용하는 방식으로 그림 2.5와 같이 나타낼 수 있으며 식 (2.19)와 같이 나타낼 수 있다.

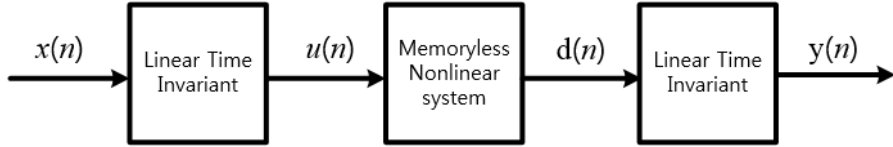


그림 2.5. Wiener-Hammerstein 모델.
Fig. 2.5. Wiener-Hammerstein model.

$$u(n) = \sum_{l=0}^{L-1} a_l x(n-l), \quad d(n) = \sum_{k=1}^K b_k u(n) |u(n)^{k-1}|, \quad y(n) = \sum_{c=0}^{C-1} z_c x(n-c), \quad (2.19)$$

Wiener-hammerstein 모델에서 a_l, z_c 는 비메모리 다항식의 계수이며 b_k 는 LTI 시스템의 임펄스 응답이다.

위의 모델링 방법들은 볼테라 급수의 복잡성으로 인한 문제를 비메모리 다항식과 LTI 시스템의 개념을 이용하여 볼테라 급수를 대체할 수 있는 모델링 방법들이다. 이 방법을 통해 전치 왜곡기의 입력 신호와 출력 신호를 모델링 함으로써 디지털 전치 왜곡기의 비선형 성분을 비메모리 다항식보다 정확하게 모델링 할 수 있게 되었다.

3. 디지털 전치 왜곡기

3.1 전치 왜곡기의 원리

전치 왜곡기의 기본 개념은 그림 3.1과 같다. 그림에서 전력증폭기의 비선형 성분을 앞 단에 전치 왜곡기를 둬므로써 입력 신호를 미리 왜곡시켜 전력증폭기의 선형성을 얻는 방식이다.

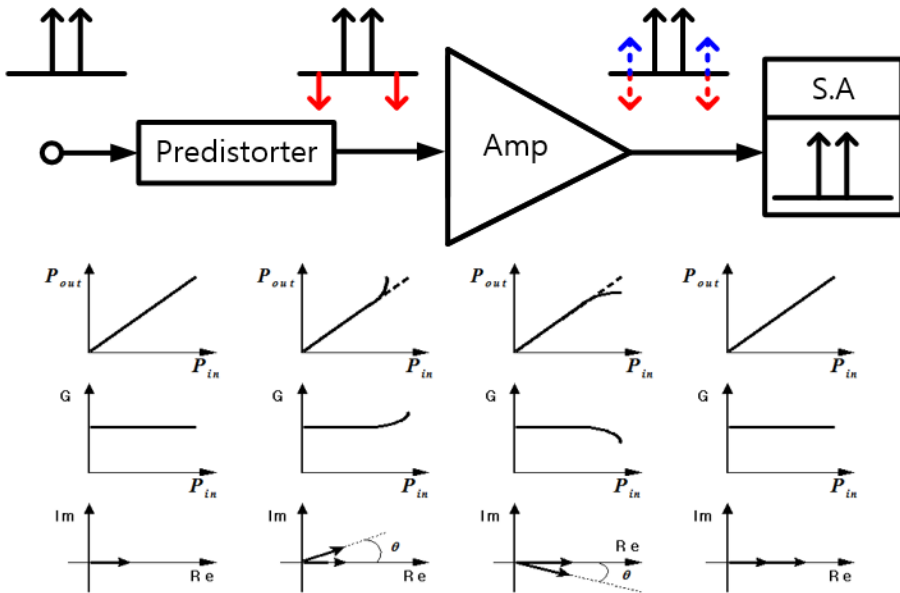


그림 3.1. 전치 왜곡 전력증폭기의 개념.
Fig. 3.1. Concept of predistortion power amplifier.

그림3.1에서 볼 수 있듯이 왜곡된 신호는 전력증폭기가 가진 AM-to-AM, AM-to-PM의 특성과 반대되는 특성을 가지고 있으며 이러한 전치 왜곡 특성을 만드는 방식은 아날로그 회로 설계 방식과 디지털 회로 설계 방식으로 구현이 가능하다. 대표적인 아날로그 회로 설계 방식에서는 입력 신호를 전력증폭기 이전에 varactor diode과 같

은 비선형 소자에 신호를 인가하여 IMD 성분을 얻은 뒤 신호감쇠기와 위상천이기를 사용하여 IMD 성분을 조절하여 전력증폭기의 반대 특성을 가지는 신호를 입력에 인가한다 [17].

디지털 전치 왜곡 설계 방식에서는 연산된 다항식의 계수를 통해 전치 왜곡을 수행하는 방식으로써 입력 전력을 팽창시켜 선형적 특성을 얻는 방식으로 디지털 전치 왜곡기를 특성을 출력 전력의 관점에서 살펴본다면 그림 3.2와 같이 볼 수 있다 [18].

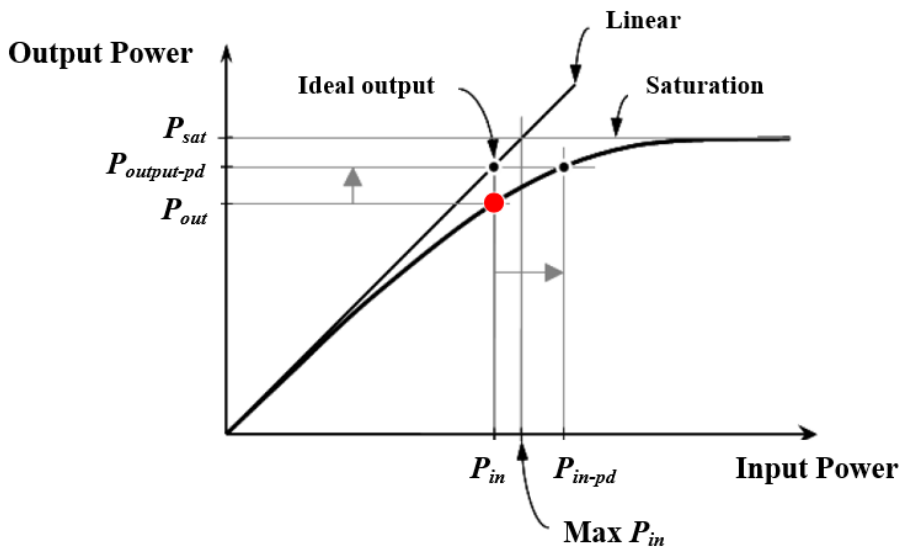


그림 3.2. 전치 왜곡 전력증폭기의 원리.

Fig. 3.2. Principle of presortion power amplifier.

그림 3.2에서 선형출력 (ideal output: P_{out-pd})을 얻기 위해 입력 전력을 미리 팽창동작 시킴으로써 P_{in-pd} 까지 입력 전력을 올리게 되고 이것은 전치 왜곡기를 쓰기 이전보다 좀더 높은 입력 전력에서도 선형적인 출력을 얻을 수 있다. 전치 왜곡 선형화기를 사용함으로써 선형적인 높은 출력 전력을 얻을 수 있고 그로 인한 효율의 증가를 기대할 수 있게 되었다.

3.2 디지털 전치 왜곡기의 원리

아날로그 전치 왜곡기와 디지털 전치 왜곡기의 개념은 비슷하다. 하지만 varactor diode와 같은 비선형 소자로 전치 왜곡기를 설계하는 아날로그 방식과는 달리 디지털 전치 왜곡기는 그림 3.3과 같이 알고리즘을 통해 구한 계수로 전치 왜곡을 시키는 방식이다.

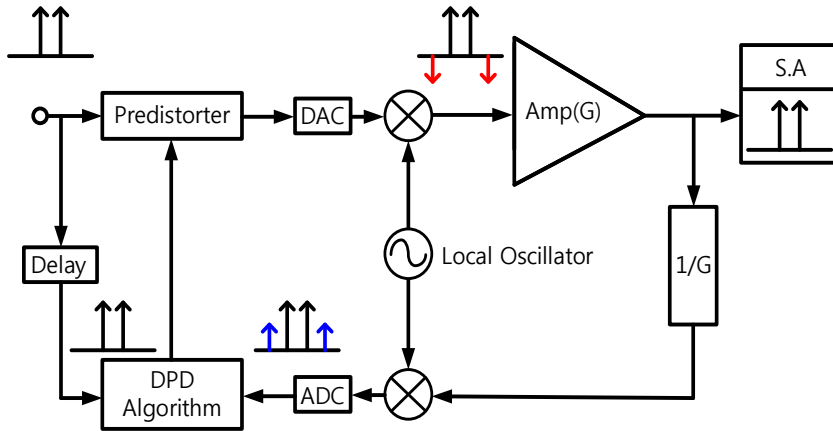


Fig. 3.3. 디지털 전치 왜곡기의 개념.

그림 3.3. Concept of digital predistortion.

그림 3.3에서 알 수 있듯이 아날로그 전치 왜곡기와는 다르게 전치 왜곡 신호를 RF대역이 아닌 기저대역 주파수에서 왜곡 신호를 만든다는 것을 확인할 수 있다. 신호를 기저대역에서 디지털 신호처리(DSP)를 하기 위해 아날로그 디지털 변환기(ADC)와 디지털 아날로그 변환기(DAC)를 사용하여 신호를 부호화 하거나 다시 기저대역의 신호로 바꾸게 되고 혼합기(mixer)를 통해 기저대역과 RF대역을 서로 변환할 수 있게 된다. 또한 그림에서 사용되는 지연(delay) 소자와 전력증폭기의 이득을 나누는 신호감쇠기는 디지털 전치 왜곡기의 알고리즘을 통해 전치 왜곡 계수 값을 산출하기 위

한 신호 구축환경에 사용하게 된다.

디지털 전치 왜곡기의 계수를 산출하기 위한 방법 중에 대표적인 방법은 간접학습 방식(indirect learning)이 있다. 간접학습 방식은 그림 3.4와 같이 나타낼 수 있다.

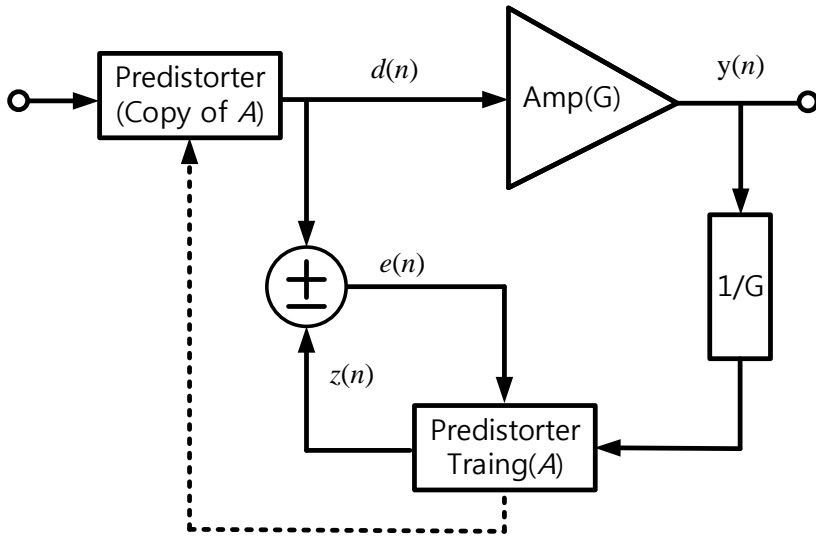


그림 3.4. 간접 학습 방식

Fig. 3.4. Indirect learning method

그림 3.4에서 알 수 있듯이 간접학습 방식을 통해 전력증폭기의 입력과 출력을 뽑아 디지털 전치 왜곡 알고리즘을 적용하여 계수(A)를 구한 뒤 전력증폭기 앞 단의 전치 왜곡기에 적용하는 방식을 통해 그림 3.3의 전치 왜곡기와 마찬가지로 전력증폭기의 역 특성을 지닌 신호를 만들 수 있다.

역 특성을 가지는 전치 왜곡기의 계수를 구하기 위한 알고리즘은 회귀 분석 이론을 사용하며 회귀분석 이론에는 least square (LS) 방식과 적응형 필터이론을 사용한 least mean square(LMS)와 recursive least square(RLS)방식이 존재한다. 본 논문에서는 LS 방식을 이용하여 디지털 전치 왜곡기를 설계하였다.

디지털 전치 왜곡기에 적용되는 LS 알고리즘에선 오류($e(n)$)값이 0이 되는 점을 찾는 것이 중요하다. $e(n)$ 을 산출하기 위해 출력 $z(n)$ 을 비메모리 다항식인 식 (3.1)과 같이 가정할 수 있다.

$$z(n) = a_0 + a_1 y + a_2 y^2 + \cdots + a_m y^m \quad (3.1)$$

LS방식의 이론을 대입해 오차제곱의 합을 S 라 하면 식(3.2)와 같이 나타낼 수 있다.

$$\begin{aligned} e(n) &= d(n) - z(n) \\ S &= \sum_{i=1}^n (d_i(n) - z_i(n))^2 \\ &= \sum_{i=1}^n (d_i(n) - (a_0 + a_1 y_i + a_2 y_i^2 + \cdots + a_m y_i^m))^2 \end{aligned} \quad (3.2)$$

오류의 합 S 를 최소로 하는 비메모리 다항식의 계수를 정의하면 식 (3.3)과 같다.

$$\begin{aligned} \frac{\partial S}{\partial a_k} &= 0, (k = 0, 1, 2, 3, \dots, m) \\ \frac{\partial S}{\partial a_0} &= \sum_{i=0}^n -2(d_i - (a_0 + a_1 y_i + a_2 y_i^2 + \cdots + a_m y_i^m)) = 0 \\ \frac{\partial S}{\partial a_1} &= \sum_{i=0}^n -2(d_i - (a_0 + a_1 y_i + a_2 y_i^2 + \cdots + a_m y_i^m)) y_i = 0 \\ &\dots\dots\dots \\ \frac{\partial S}{\partial a_m} &= \sum_{i=0}^n -2(d_i - (a_0 + a_1 y_i + a_2 y_i^2 + \cdots + a_m y_i^m)) y_i^m = 0 \end{aligned} \quad (3.3)$$

식 (3.3)을 전개하여 연립방정식으로 변환하면 식 (3.4)과 같다.

$$\begin{aligned}
 a_0 n + a_1 \sum y_i + \cdots + a_m \sum y_i^m &= \sum d_i \\
 a_0 \sum y_i + a_1 \sum y_i^2 + \cdots + a_m \sum y_i^{m+1} &= \sum d_i y_i \\
 &\dots\dots\dots \\
 a_0 \sum y_i^m + a_1 \sum y_i^{m+1} + \cdots + a_m \sum y_i^{2m} &= \sum d_i y_i^m
 \end{aligned}
 \tag{3.4}$$

연립된 식 (3.4)를 행렬과 벡터로 나타내면 식 (3.5)가 된다.

$$A = \begin{bmatrix} n & \sum y_i & \cdots & \sum y_i^m \\ \sum y_i & \sum y_i^2 & \cdots & \sum y_i^{m+1} \\ \cdots & \cdots & \cdots & \cdots \\ \sum y_i^m & \cdots & \cdots & \sum y_i^{2m} \end{bmatrix}, \quad a = \begin{bmatrix} a_0 \\ a_1 \\ \cdots \\ a_m \end{bmatrix}, \quad b = \begin{bmatrix} \sum d_i \\ \sum d_i y_i \\ \cdots \\ \sum d_i y_i^m \end{bmatrix}$$

$$Aa = b$$

(3.5)

계수 a 를 구하려면 행렬 A 와 b 를 디지털 전치 왜곡기의 입력과 출력을 사용하여 행렬로 나타내야 된다. 행렬로 나타내기 위한 행렬 Y 는 n 까지의 전력증폭기의 출력신호를 비메모리 다항식으로 표현하여 나타낼 수 있으며 식 (3.6)과 같이 표현할 수 있다.

$$Y = \begin{bmatrix} 1 & y_1 & \cdots & y_1^m \\ 1 & y_2 & \cdots & y_2^m \\ \cdots & \cdots & \cdots & \cdots \\ 1 & y_n & \cdots & y_n^m \end{bmatrix}
 \tag{3.6}$$

식 (3.6)을 이용하여 행렬 A 를 구하면 식 (3.7)과 같은 행렬로 나타낼 수 있다.

$$\begin{aligned}
 A = Y^H Y &= \begin{bmatrix} 1 & 1 & \cdots & 1 \\ y_1 & y_2 & \cdots & y_n \\ \cdots & \cdots & \cdots & \cdots \\ y_1^m & y_2^m & \cdots & y_n^m \end{bmatrix} \begin{bmatrix} 1 & y_1 & \cdots & y_1^m \\ 1 & y_2 & \cdots & y_2^m \\ \cdots & \cdots & \cdots & \cdots \\ 1 & y_n & \cdots & y_n^m \end{bmatrix} \\
 &= \begin{bmatrix} n & \sum y_i & \cdots & \sum y_i^m \\ \sum y_i & \sum y_i^2 & \cdots & \sum y_i^{m+1} \\ \cdots & \cdots & \cdots & \cdots \\ \sum y_i^m & \cdots & \cdots & \sum y_i^{2m} \end{bmatrix}
 \end{aligned}
 \tag{3.7}$$

또한 행렬 b 를 행렬 Y 와 입력 행렬 d 로 구할 수 있으며 식 (3.8)과 같이 나타낼 수 있다.

$$\begin{aligned}
 b = Y^H d &= \begin{bmatrix} 1 & 1 & \cdots & 1 \\ y_1 & y_2 & \cdots & y_n \\ \cdots & \cdots & \cdots & \cdots \\ y_1^m & y_2^m & \cdots & y_n^m \end{bmatrix} \begin{bmatrix} d_1 \\ d_2 \\ \cdots \\ d_n \end{bmatrix} = \begin{bmatrix} \sum d_i \\ \sum d_i y_i \\ \cdots \\ \sum d_i y_i^m \end{bmatrix}
 \end{aligned}
 \tag{3.8}$$

전치 왜곡기의 계수를 구하기 위해선 식 (3.7), (3.8)를 식(3.5)에 대입하여 식 (3.9)와 같이 계수를 구할 수 있다.

$$a_{pd} = (Y^H Y)^{-1} Y^H d = \begin{bmatrix} n & \sum y_i & \cdots & \sum y_i^m \\ \sum y_i & \sum y_i^2 & \cdots & \sum y_i^{m+1} \\ \cdots & \cdots & \cdots & \cdots \\ \sum y_i^m & \cdots & \cdots & \sum y_i^{2m} \end{bmatrix}^{-1} \begin{bmatrix} \sum d_i \\ \sum d_i y_i \\ \cdots \\ \sum d_i y_i^m \end{bmatrix} \quad (3.9)$$

출력을 기준으로 LS방식을 쓰게 되면 전치 왜곡의 계수 a_{pd} 를 구할 수 있다. 또한 입력을 기준으로 LS방식을 쓰게 되면 입력 함수 d 를 식 (3.10)과 같은 비메모리 다항식으로 나타내야 한다. 그리고 위와 같은 연산을 하게 되면 식 (3.11)과 같은 전력증폭기의 모델링 계수를 구할 수 있게 된다.

$$d(n) = a_0 + a_1 x + a_2 x^2 + \cdots + a_m x^m \quad (3.10)$$

$$a_{pa} = (X^H X)^{-1} X^H y = \begin{bmatrix} n & \sum x_i & \cdots & \sum x_i^m \\ \sum x_i & \sum x_i^2 & \cdots & \sum x_i^{m+1} \\ \cdots & \cdots & \cdots & \cdots \\ \sum x_i^m & \cdots & \cdots & \sum x_i^{2m} \end{bmatrix}^{-1} \begin{bmatrix} \sum y_i \\ \sum y_i x_i \\ \cdots \\ \sum y_i x_i^m \end{bmatrix} \quad (3.11)$$

LS 방식을 사용함으로써 전치왜곡의 계수를 구할 수 있고 또한 역으로 전력증폭기를 특성을 나타내는 다항식의 계수를 구할 수 있다.

3.3 디지털 전치 왜곡기의 구성

3.1절과 3.2절을 통해 디지털 전치 왜곡기의 개념과 LS 알고리즘에 대해 알 수 있었다. 하지만 실제 디지털 전치 왜곡기를 적용하기 위해선 전력증폭기의 메모리 효과를 고려해야 하기 때문에 2.2절의 비선형 소자의 모델링 기법을 적용해야 한다. 모델링 기법 중 hammerstein 모델링 기법을 디지털 전치 왜곡기에 적용하면 그림 3.5와 같은 디지털 전치 왜곡기를 볼 수 있다. 모델링 기법에 근거하여 비메모리 다항식을 전개한 뒤 LS 방식으로 구한 계수를 FIR 형태의 여파기에 대입하였다.

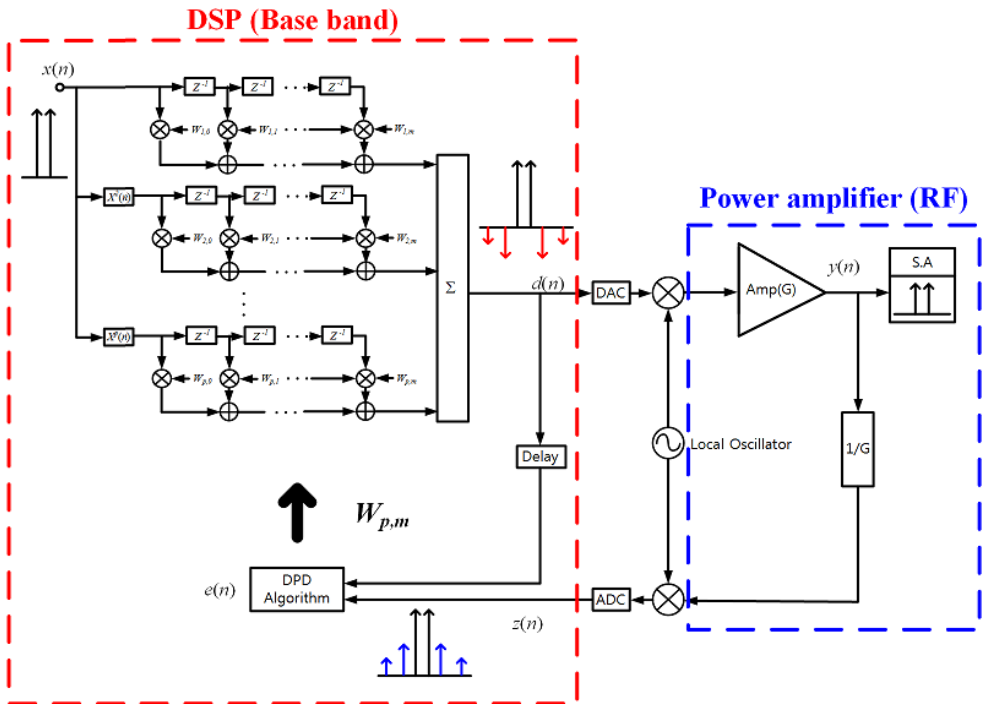


그림 3.5. 디지털 전치 왜곡기의 구성.

Fig. 3.5. Schematic of digital predistortion.

그림 3.5에서 p 는 다항식의 차수를 뜻하며 m 은 고려한 메모리 깊이(memory depth)를 뜻한다. 전치 왜곡기의 모델을 수식으로 표현하면 식 (3.12)와 같이 나타낼 수 있다.

$$\begin{aligned}
 d(n) &= w_{1,0} \cdot x(n) + w_{2,0} \cdot x^2(n) + \cdots + w_{p,0} \cdot x^p(n) \\
 &\quad + w_{1,1} \cdot x(n-1) + w_{2,1} \cdot x^2(n-1) + \cdots + w_{p,1} \cdot x^p(n-1) \\
 &\quad + \cdots + w_{1,m} \cdot x(n-m) + w_{2,m} \cdot x^2(n-m) + \cdots + w_{p,m} \cdot x^p(n-m) \\
 &= \sum_{p=1}^P \sum_{m=0}^M w_{p,m} \cdot x^p(n-m)
 \end{aligned}
 \tag{3.12}$$

식 (3.12)에서 LS방식을 사용하여 구한 전치 왜곡기 계수 $w_{p,m}$ 는 다항식 차수와 기억 성분의 깊이에 대해 $(p \times (m+1))$ -by-1의 행렬을 가지며 차수와 메모리 깊이에 따라 계산되는 전치 왜곡 계수 $w_{p,m}$ 는 바뀌게 된다.

4. 파고율 저감 기술

4.1 디지털 전치 왜곡기의 선형성 개선 한계

전력증폭기의 성능을 측정하는 방법 중 1-tone 신호를 넣어서 이득이 1 dB 떨어진 곳 (P1 dB)를 측정하는 방법이 있다. 그 점을 넘게 되면 대부분의 전력증폭기의 성능이 감소한다. 하지만 실제 무선 통신 시스템에서는 OFDM과 같이 1-tone이 아닌 포락선 변화가 큰 디지털 변조방식을 사용하고 그로 인한 신호의 PAPR이 높아지게 됨으로 그림 4.1과 같이 출력 신호를 back-off하여 사용하게 된다.

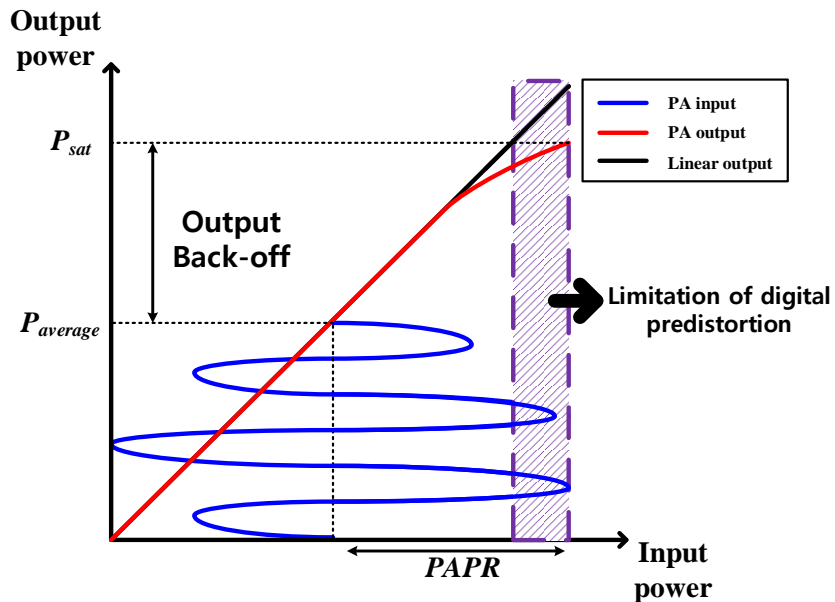


그림 4.1. 디지털 전치 왜곡기의 선형성 개선 한계.

Fig. 4.1. Linearity improvement limitation of digital predistortion.

그림 4.1에서 포락선은 전력증폭기의 입력 신호로 포락선의 변동을 볼 수 있다. 입력 신호 중 높은 신호는 출력이 P_{sat} 에 다가가게 되면서 전력증폭기의 AM-to-AM, AM-to-PM 왜곡의 변화를 크게 하는 요인이 된다. 앞 장에서 기재했듯 전력증폭기의 선형성을 개선하기 위해선 왜곡 성분을 생성하는 입력 신호를 크게 해서 선형적인 출력을 만들어야 한다. 하지만 그림 4.1의 사선으로 덮여있는 영역에 대해서는 입력 신호를 키우게 되면 전력증폭기의 최대 출력 전력(P_{sat})에 영향을 주기 때문에 비선형 특성을 나타내게 된다. 이렇듯 전력증폭기의 출력 전력의 한계로 인해 입력 신호가 커져도 P_{sat} 으로 출력되며 디지털 전치 왜곡기의 선형화를 할 수 있는 입력 전력의 범위가 제한된다. 이러한 문제를 해결하기 위해선 사선으로 표시된 영역에서 전력증폭기를 동작시키지 않는 그림 4.2와 같이 출력 전력을 back-off 하는 방법이 존재한다.

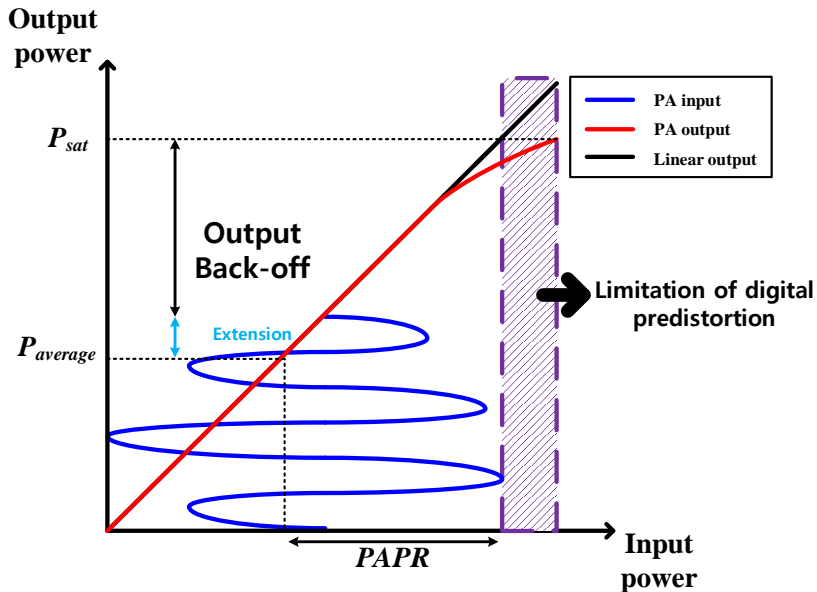


그림 4.2. 전력증폭기의 출력 back-off.

Fig. 4.2. Output back-off (OBO) of power amplifier.

그림 4.2에서 볼 수 있듯이 output back-off를 한다면 높은 선형성을 가질 수 있다. 하지만 출력의 back-off는 선형성은 개선할 수 있지만 식 (4.1)에서 알 수 있듯이 출력 전력이 감소함으로써 실제 전력증폭기의 효율이 감소되는 것을 확인할 수 있다.

$$PAE(\eta) = \frac{P_{out} - P_{in}}{P_{DC}} \quad (4.1)$$

4.2 파고율의 개념

CDMA와 OFDM 등과 같은 디지털 변조방식은 많은 신호들로 구성되어 있어 각 신호들이 동위상으로 합쳐진다면 큰 포락선 크기 값(x)을 가지게 된다. 이것은 식 (4.2)에 근거하여 높은 PAPR을 가지게 된다.

$$PAPR = \frac{\text{Peak Power}}{\text{Average Power}} = \frac{|x|_{peak}^2}{x_{rms}^2} \quad (4.2)$$

PAPR과 파고율(crest factor)은 같은 개념이지만 포락선의 전력으로 볼 것인지 신호의 크기로 보는지에 따라 다르며 파고율(C)은 식(4.3)와 같이 나타낼 수 있다.

$$C = \frac{|x|_{peak}}{x_{rms}} \quad (4.3)$$

파고율이 전력증폭기에 미치는 영향은 PAPR과 같다. 디지털 변조방식을 사용하는 신호는 파고율이 높으므로 전력증폭기의 왜곡 성분을 만들게 된다. 그래서 일반적으로 전력증폭기의 선형성을 확보하기 위해 output back-off(OBO)를 하게 된다.

전력증폭기에서 OBO는 식 (4.4)와 같이 정의 할 수 있다.

$$OBO = 10 \log_{10} \left(\frac{P_{sat}}{P_{average}} \right) \quad (4.4)$$

식 (4.4)에서 $P_{average}$ '은 임의의 출력 평균전력을 뜻하며 입력전력을 줄임으로써 출력 평균전력을 줄여 최대 포화전력 (P_{sat})과의 차이를 OBO로 정의되며 그림 4.3과 같다.

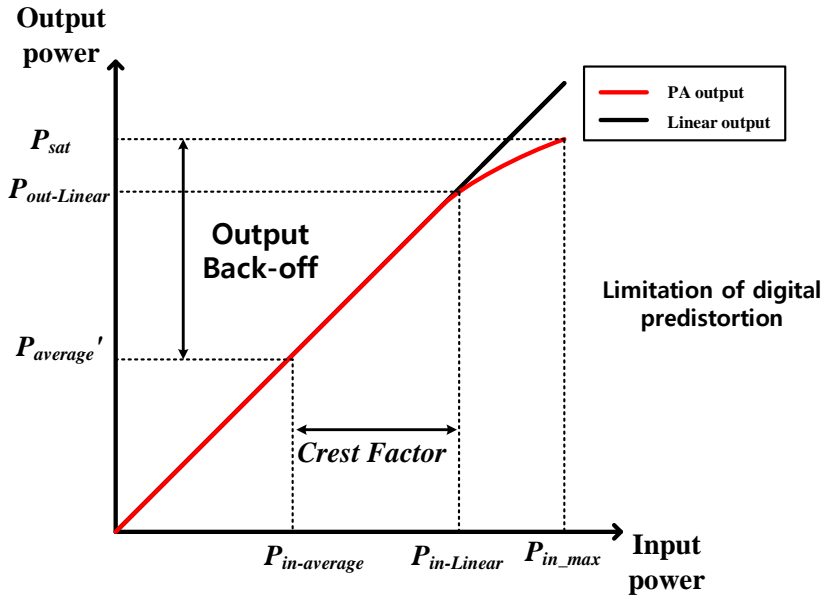


그림 4.3. Output back-off와 파고율의 정의.

Fig. 4.3. Definition of output back-off and crest factor.

입력 신호가 높은 파고율 값을 가지고 있다면 입력신호의 최대값이 최대 포화전력에 맞춰 큰 OBO값을 가지게 해야 한다. 그림 4.3에서 전력증폭기를 선형적으로 동작시키려고 한다면 입력신호의 최대가 $P_{in-Linear}$ 를 갖는 $P_{in-average}$ 값으로 내려야 한다. 이것은 전력증폭기의 효율을 감소시키는 원인이 된다. 만일 파고율을 줄이고 출력 평균 전력을 유지할 수 있다면 4.1절에서 제시하였던 디지털 전치 왜곡기의 한계 영역을 줄일 수 있으며 OBO를 실행하지 않고 출력을 만들기 때문에 보다 높은 효율을 가지게 할 수 있다.

4.3 파고율 저감 기술

파고율을 줄이기 위한 연구는 오래 전부터 계속되어 왔으며 기본적인 기술은 표 4.1과 같이 분류할 수 있다.

표 4.1. 파고율 저감 기술들의 특징.
Table 4.1. Characteristics of the crest factor reduction methods.

	왜곡에 의한 기법			부호화기법
	Clipping	Peak Windowing	Peak Cancellation	
파고율 저감효과	상	중	중	중
선형성	하	중	상	상
복잡도	하	중	중	상

크게 파고율을 줄일 수 있는 방법은 왜곡에 의한 기법과 부호화 기법으로 크게 2가지를 나눌 수 있고 왜곡에 의한 기법에서는 Clipping, peak windowing(PW), peak cancelation(PC)으로 나눌 수 있다. Clipping 같은 경우는 신호의 파고율 저감효과를 크게 가져올 수 있지만 대역 외의 신호에 불필요한 성분을 크게 생성함으로 전치 왜곡기에 적합하지 않아 PW, PC 방식이 제시되었지만 PW 방식보다 PC방식이 파고율 저감에 따른 신호의 선형성이 우수하다는 것을 증명하였다[19].

마지막으로 부호화 기법은 신호를 생성할 때 쓰는 기법으로 복잡도가 높고 이미 생성된 신호를 가지고 파고울 저감 기법을 적용하지 않아 기저대역에서 신호를 왜곡하는 디지털 전치 왜곡기에 부적합한 방식이다.

기저대역에서 왜곡 기법을 적용할 수 있는 PC 방식은 크게 클리퍼(Clipper)와 노이즈 셰이퍼(noise shaper)로 그림 4.4와 같이 나타낼 수 있다.

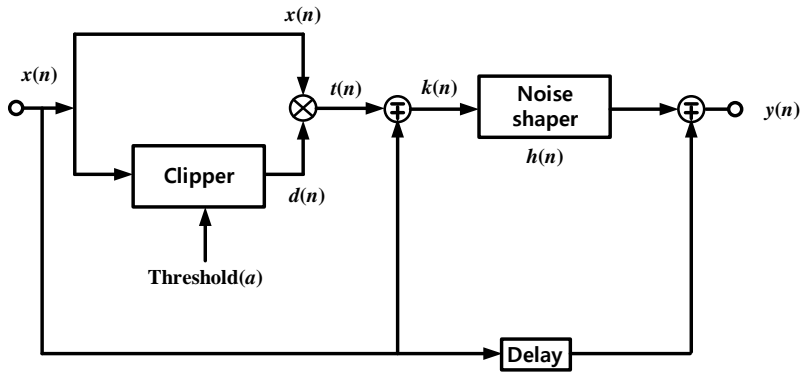


그림 4.4. Peak cancellation의 구성.

Fig. 4.4. Block diagram of peak cancellation.

첫 번째로 클리퍼는 입력 신호를 원하는 문턱(threshold) 값으로 제한하는 역할을 수행한다. 특정한 문턱 값을 고정한다면 문턱 값보다 큰 입력 값을 제거하게 된다. 이런 클리퍼의 역할은 식 (4.5) 과 같이 나타낼 수 있다.

$$d(n) = \begin{cases} \frac{\alpha}{|x(n)|} & \text{if } |x(n)| > \alpha \\ 1 & \text{if } |x(n)| \leq \alpha \end{cases} \quad (4.5)$$

입력 신호 $x(n)$ 이 문턱 값보다 작다면 클리퍼는 입력 신호를 그대로 전달하고 문턱 값보다 크다면 신호가 α 가 되도록 크기를 조정한다. α 의 크기를 얻을 수 있도록 $d(n)$ 의 출력을 식(4.5)와 같이 조정하면 곱셈기에서 입력신호가 사라짐으로 α 의 출력을 얻을 수 있고 노이즈 셰이퍼에 들어가는 입력을 식 (4.6)과 같이 나타낼 수 있다.

$$\begin{aligned} t(n) &= d(n) \cdot x(n) \\ k(n) &= x(n) - t(n) \end{aligned} \quad (4.6)$$

클리퍼를 이용해 신호를 제한할 수 있지만 사용하는 주파수 대역 외의 주파수에 원하지 않는 신호가 생기게 되고 이는 왜곡 성분이 없는 입력 신호를 만들 수 없게 된다. 그렇게 때문에 노이즈 셰이퍼가 필요하며 내부 구성도는 그림 4.5와 같이 나타낼 수 있다.

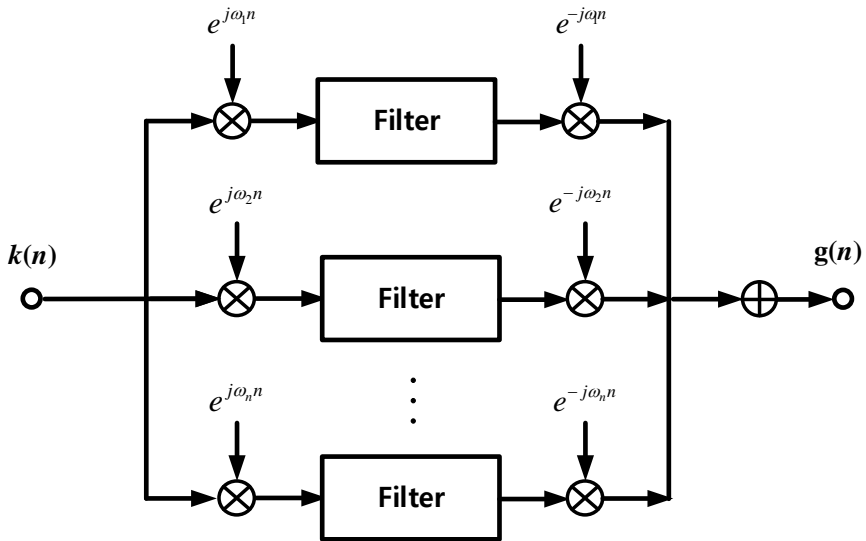


그림 4.5. 노이즈 셰이퍼의 구성.

Fig. 4.5. Block diagram of noise shaper.

노이즈 웨이퍼의 원리는 대역 외 신호를 없애기 위해 그림 4.5와 같이 기저대역의 신호를 ω_n 으로 주파수를 변환시킨 뒤에 여파기를 써서 대역 외 신호를 없애는 방식을 쓴 뒤 다시 $-\omega_n$ 으로 기저대역으로 신호를 가져오는 방식을 쓴다. 이와 같은 노이즈 웨이퍼의 동작은 식 (4.7)과 같이 나타낼 수 있다.

$$g(n) = \beta \cdot (k(n) * h(n)) \quad (4.7)$$

노이즈 웨이퍼에서 $k(n)$ 은 입력신호, $h(n)$ 은 노이즈 웨이퍼의 필터의 임펄스 응답 특성, β 는 임의의 스케일 값을 나타내었다. 노이즈 웨이퍼의 여파기는 저역 통과 여파기(LPF) 방식을 사용하였고 유한 임펄스 응답(FIR)방식을 이용하여 설계하였다. 또한 노이즈 웨이퍼의 응답은 $k(n)$ 과 $h(n)$ 의 컨볼루션을 통해 나타낼 수 있다.

이러한 노이즈 웨이퍼의 출력을 이용한 전체적인 PC 방식을 이용한 파고울 저감 기술을 식 (4.8)과 같이 나타낼 수 있다.

$$y(n) = x(n-d) - g(n) \quad (4.8)$$

여기서 입력 신호를 지연(Delay)소자를 이용해 신호를 지연시켜 두 신호의 시간적 오차를 맞춰준 뒤 노이즈 웨이퍼의 출력과 빼줌으로써 대역 외의 주파수 신호가 생성되지 않고 사용하는 대역내의 주파수만 가지면서 최대 입력 신호가 줄여진 신호($y(n)$)을 가질 수 있다.

이러한 파고울 저감 기술은 디지털 전치 왜곡기에 필요한 기술이다. 큰 파고울을 갖는 신호는 디지털 전치 왜곡기가 선형적인 결과를 얻을 수 있는 입력 보다 큰 전력을 만들어 전력증폭기에 적용하면 비선형적인 요소가 발생되기 때문에 그 요인을 입력에서 없애는 것이 중요하다. 이러한 동작특성은 그림 4.6과 같이 나타낼 수 있다.

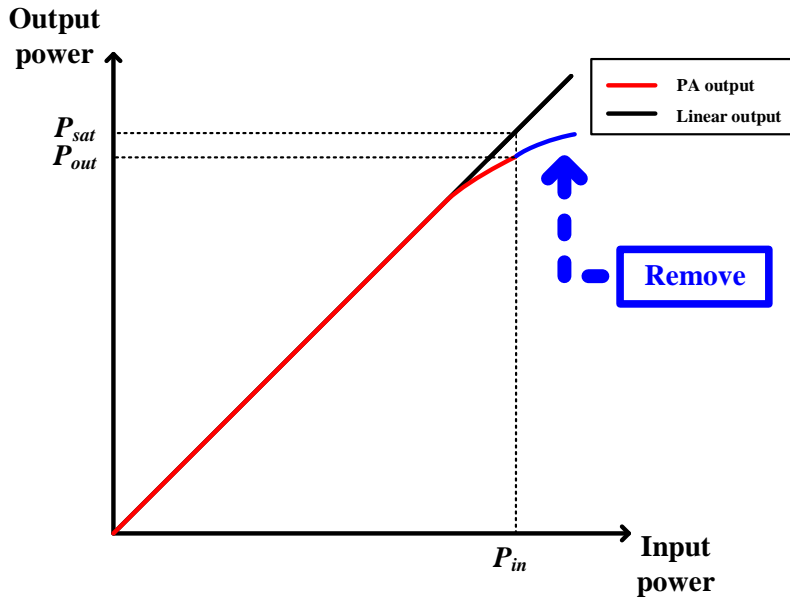


그림 4.6. 파고율 저감을 이용한 디지털 전치 왜곡기 입력 특성.

Fig. 4.6. The input of Digital predistortion characteristics using crest factor reduction.

파고율 저감 기술을 적용하면 디지털 전치 왜곡기의 입력 특성을 그림 4.6과 같이 바꿀 수 있다. 이것은 최대 출력(P_{sat}) 보다 큰 출력 전력을 요구하던 기존의 디지털 전치 왜곡기보다 왜곡 성분을 생성하지 않게 됨으로써 기존의 방식보다 더 좋은 선형 특성을 가지게 할 수 있다.

5. 모의실험

5.1 전력증폭기 모델링

디지털 전치 왜곡기의 성능 비교 실험을 수행하기 위해선 먼저 실제 전력증폭기의 모델링이 필요하므로 식 (3.11)의 방식을 이용하여 전력증폭기의 특성을 모델링을 해야 한다. 모델링을 위해선 디지털 전치 왜곡기가 적용되는 실제 전력증폭기에 대한 연구가 필요하다. 그러므로 실제 적용되는 전력증폭기인 LDMOS MHL21336의 이득과 전력 부가 효율 특성을 측정하였다. 측정 결과 2.14GHz에서 그림 5.1과 같은 이득과 전력 부가 효율 특성을 가지고 있다.

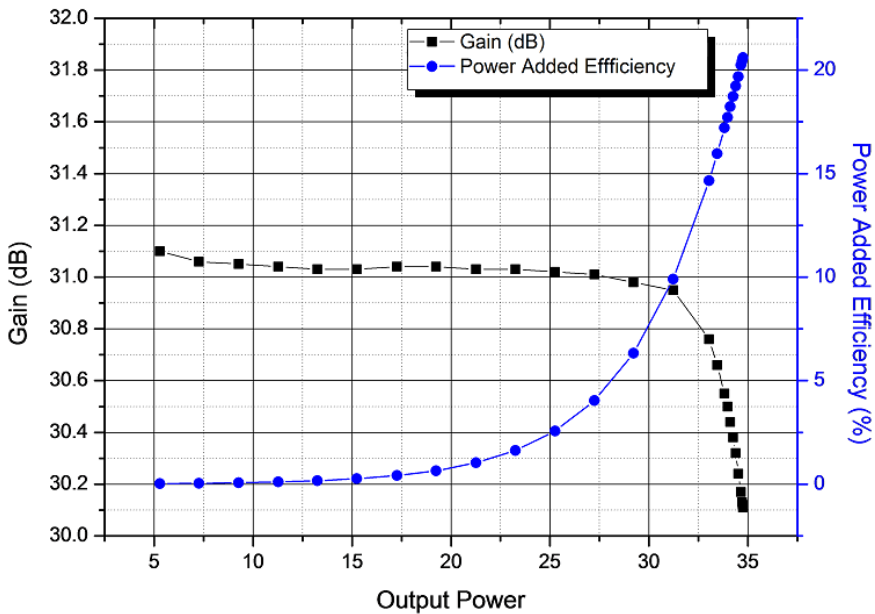


그림 5.1. 전력증폭기(MHL21336)의 이득 및 전력 부가 효율.

Fig. 5.1. Gain and power added efficiency of power amplifier (MHL21336).

그림 5.1과 같은 특성을 가진 전력증폭기를 모델링하기 위해선 실험에 적용하는 실제 입력 신호를 이용해 모델링을 진행한다.

모델링을 위해 논문에서 사용하는 3GPP 입력 신호를 이용하여 전력증폭기의 모델링을 진행하였다. 모델링 진행방식은 그림 5.2와 같이 나타낼 수 있다.

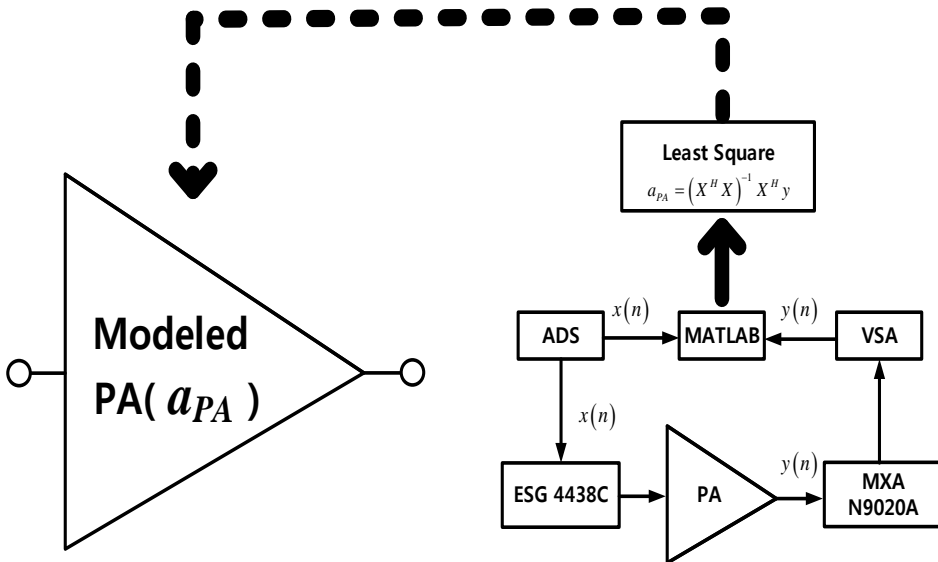


그림 5.2. 전력증폭기 모델링 방법.

Fig. 5.2. Power amplifier modeling method.

그림 5.2에서 전력증폭기의 모델링을 위해 Advanced Design System(ADS)내의 3.9 MHz의 대역폭을 갖는 3GPP 입력신호를 사용하였다. ADS와 신호 발생기(ESG 4438C)를 연결하여 중심 주파수 2.14 GHz의 신호를 발생시키고 전력증폭기의 출력을 스펙트럼 분석기(MXA N9020A)를 이용하여 측정하였다. 측정된 데이터는 벡터 신호 분석기(VSA)를 통해 저장하였고 저장 데이터와 ADS의 데이터를 MATLAB을 이용하여 LS방식을 통해 모델링된 전력증폭기(a_{pa})의 특성을 얻게 되었다.

5.2 파고율 저감 기법 모의실험

파고율 저감 기법을 모의검증하기 위해 3.9MHz의 대역폭을 갖는 3GPP 입력신호 이용해 CCDF 및 파형을 살펴봐야 한다.

모의실험 방법은 그림 5.3과 같은 방식으로 진행하였다.

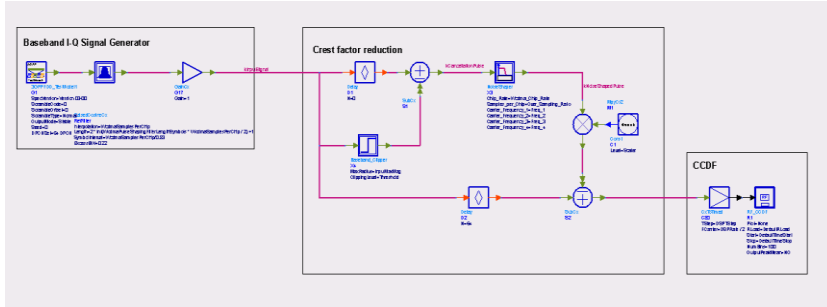


그림 5.3. 파고율 저감 기법 측정을 위한 모의실험 구성도.

Fig. 5.3. Block diagram of simulation for crest factor reduction method measurement.

그림 5.3에서 CCDF를 보기 위해 ADS의 CCDF 측정 소자를 사용하였고 추가적으로 파형을 살펴보기 위해 ADS의 numeric sink 소자를 이용하였다. 먼저 파고율 저감 기법에 따른 파형의 변화를 알기 위해 문턱 값을 $a=0.7$ 로 맞춰 실험을 진행하였으며 결과는 그림 5.4과 같이 얻을 수 있었다.

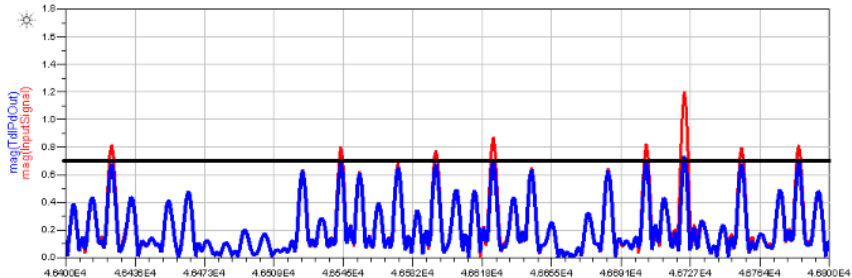


그림 5.4. 파고율 저감 기술을 이용한 출력신호.

Fig. 5.4. The output signal using crest factor reduction.

그림 5.4에서 파고율 저감 기술을 이용한 출력 신호는 원하는 클리퍼의 문턱 값(a)에 맞춰 감쇄되는 것을 확인할 수 있다.

또한 문턱 값에 따른 CCDF의 결과를 확인할 수 있는데 결과는 그림 5.5와 같이 얻을 수 있다.

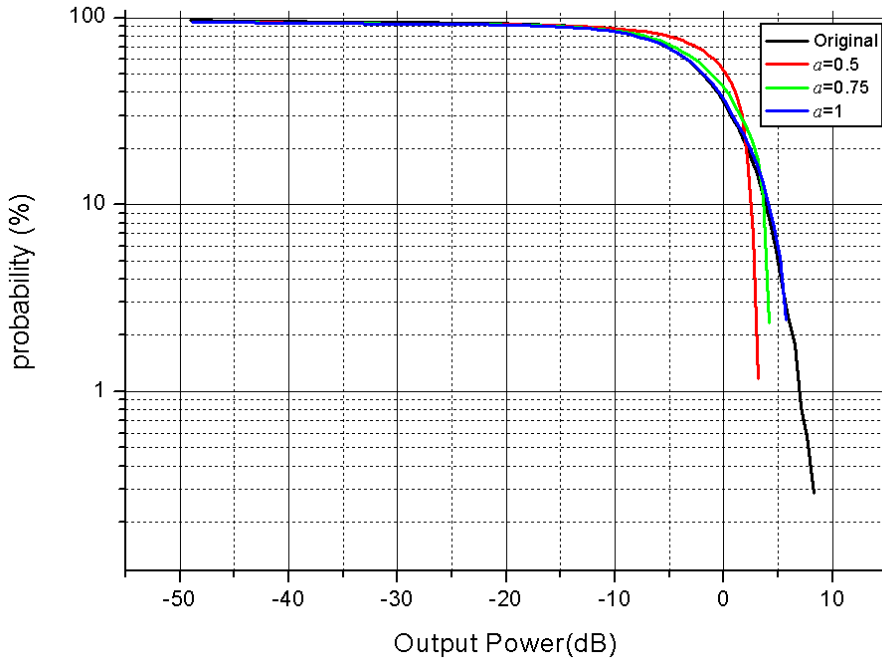


그림 5.5. 클리퍼 문턱 값에 따른 CCDF 결과.

Fig. 5.5. CCDF results according to the threshold value of clipper.

그림 5.4, 5.5에서 알 수 있듯이 클리퍼의 문턱 값에 따라 파고율 저감 효과는 다르게 나타나며 문턱 값이 작으면 작을수록 최대 출력 신호가 크게 작아지는 것을 확인할 수 있다.

5.3 디지털 전치 왜곡기 모의실험

과고율 저감 기술을 이용한 디지털 전치 왜곡기의 검증에 앞서 LS 알고리즘을 모의검증을 해야 할 필요가 있다. 디지털 전치 왜곡기에서는 hammerstein 모델링 방식을 사용하여 전치 왜곡기를 설계하였기 때문에 메모리 깊이와 다항식의 차수에 대한 고려가 필요하다. 물론 메모리 깊이와 차수를 크게 잡아 대입할 경우 디지털 전치 왜곡기가 우수한 성능을 나타낼 수 있지만 연산 복잡도가 높아지기 때문에 비효율적인 특성을 가지게 된다. 알맞은 차수와 메모리 깊이 값을 정의하기 위해 식 (5.1)의 normalized mean square error(NMSE)를 이용하여 차수와 메모리 깊이에 따라 오류가 어떤 값을 가지는지 고려해야 한다.

$$\text{NMSE}(dB) = 10 \log_{10} \left(\frac{\sum_{n=1}^N |d(n) - y(n)|^2}{\sum_{n=1}^N |d(n)|^2} \right) \quad (5.1)$$

NMSE라는 오류 신호 평가지표에서 $d(n)$ 은 요구 응답 신호로 디지털 전치 왜곡기에서는 전력증폭기에 입력이 되기 전의 신호이고 $y(n)$ 은 모델 출력 신호로 전력증폭기의 출력 신호에 해당한다.

NMSE의 수식을 검증하기 위해선 ADS를 이용해 회로를 구성해야 하며 수식연산은 MATLAB을 이용해야 한다. 또한 전력증폭기는 5.1절의 모델링한 전력증폭기의 특성(a_{pa})을 이용하였다.

NMSE값을 산출하기 위한 회로 구성 방식은 그림 5.6과 같이 구성하였으며 신호원은 모델링을 했던 신호원과 같은 3GPP를 사용하게 되었고 그림 5.7과 5.8과 같이 차수와 메모리 깊이 성분에 따른 NMSE의 값을 확인 할 수 있었다.

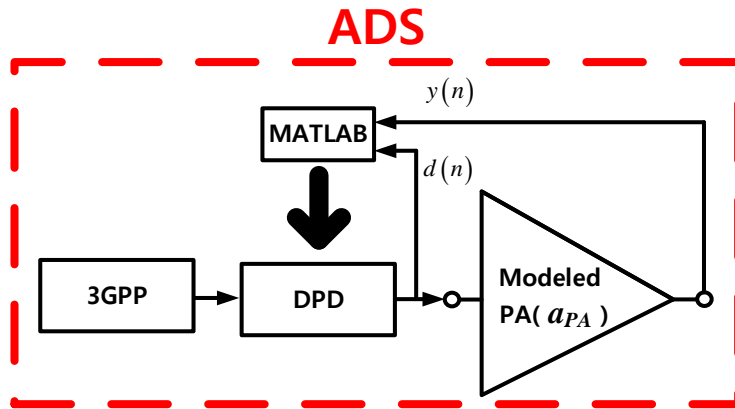


그림 5.6. NMSE 측정을 위한 모의실험 구성도.

Fig. 5.6. Block diagram of simulation for NMSE measurement.

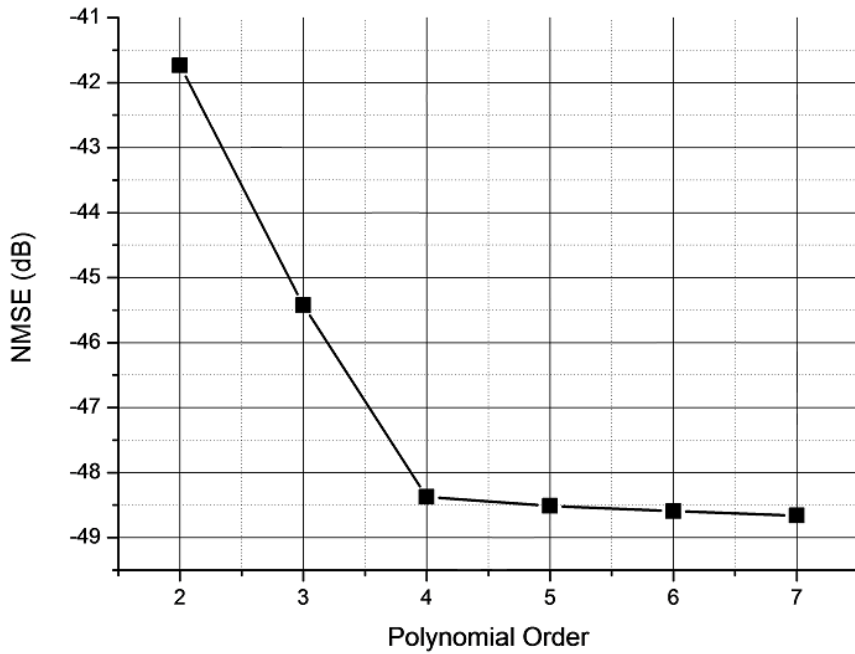


그림 5.7. 다항식 차수에 따른 NMSE.

Fig. 5.7. NMSE according to polynomial order.

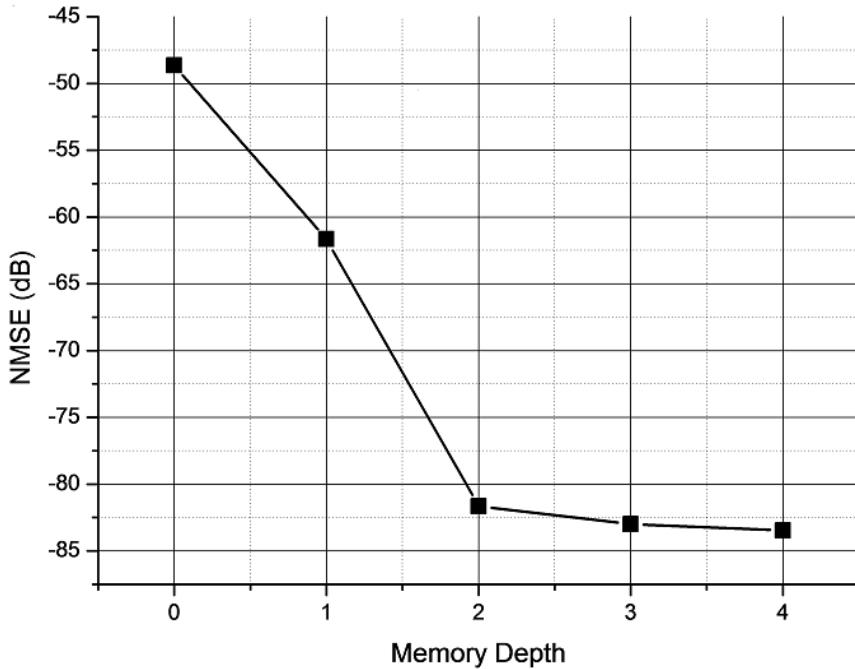


그림 5.8. 메모리 깊이에 따른 NMSE.

Fig. 5.8. NMSE according to memory depth.

그림 5.7을 통해 다항식 차수에 따른 NMSE를 알 수 있으며 4 차 이상부터 -48.4 dB로 급격히 오차가 감소하는 것을 확인할 수 있었다. 또한 차수가 증가하면 할수록 조금씩 신호의 오차가 적어지는 것을 알 수 있었다.

그림 5.8을 통해 고려한 메모리 깊이에 따른 NMSE를 살펴 볼 수 있다. 메모리 깊이가 1이상부터 급격히 오차가 적어지는 것을 확인 할 수 있으며 2 이상부터는 -82 dB의 오차가 생성된다는 것을 확인 할 수 있었다. 본 실험에서는 그림 5.7과 그림 5.8의 결과를 근거로 하여 다항식 차수를 7, 고려한 메모리 깊이를 2로 디지털 전치 왜곡기의 차수와 메모리 깊이를 정하였다.

디지털 전치 왜곡기에 필요한 모델링 특성들을 정의한 뒤 모의실험을 진행하기 위해 ADS 프로그램 이용해 그림 5.9와 같은 환경을 구축한다.

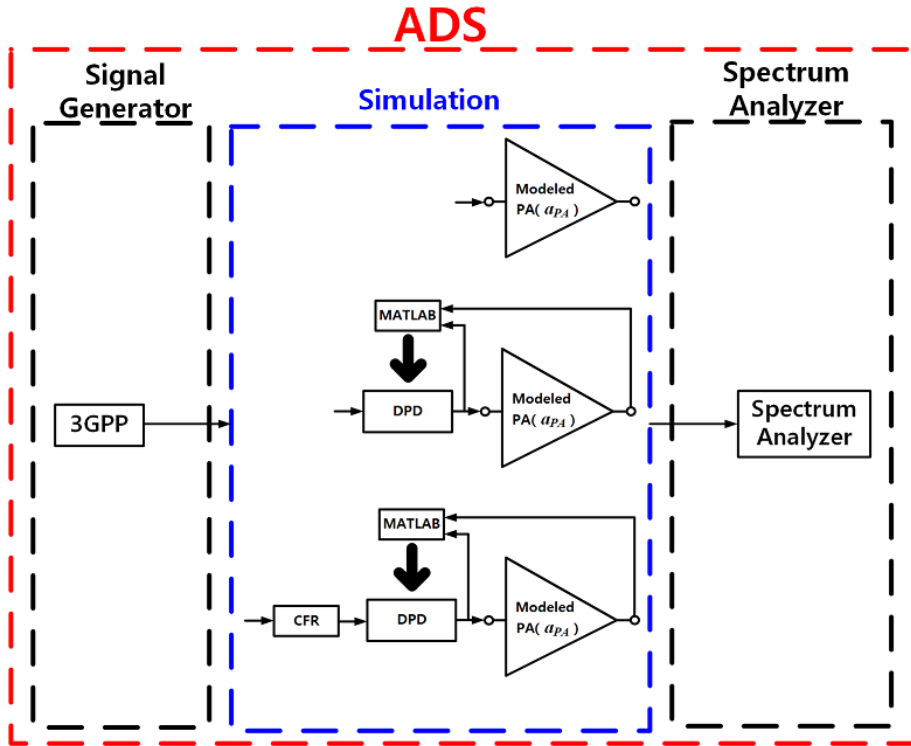


그림 5.9. 모의실험을 위한 디지털 전치 왜곡기 구성.

Fig. 5.9. Block diagram of digital predistortion for simulation.

그림 5.9에서 모의실험 단계 총 3개의 실험 단계가 표시되어 있다. 첫 번째로는 모델링된 전력증폭기의 출력에 따른 특성을 보기 위해 나타내었고 두 번째로는 모델링된 전력증폭기에 디지털 전치 왜곡기를 적용하였을 때를 나타내었다. 마지막으로는 추가적으로 파고울 저감 기술을 적용한 디지털 전치 왜곡기를 나타내었다. 세 가지 모두 스펙트럼 분석기를 통해 주파수에 따른 전력증폭기의 출력 특성을 살펴보았으며 결과는 그림 5.10와 같이 얻을 수 있었다.

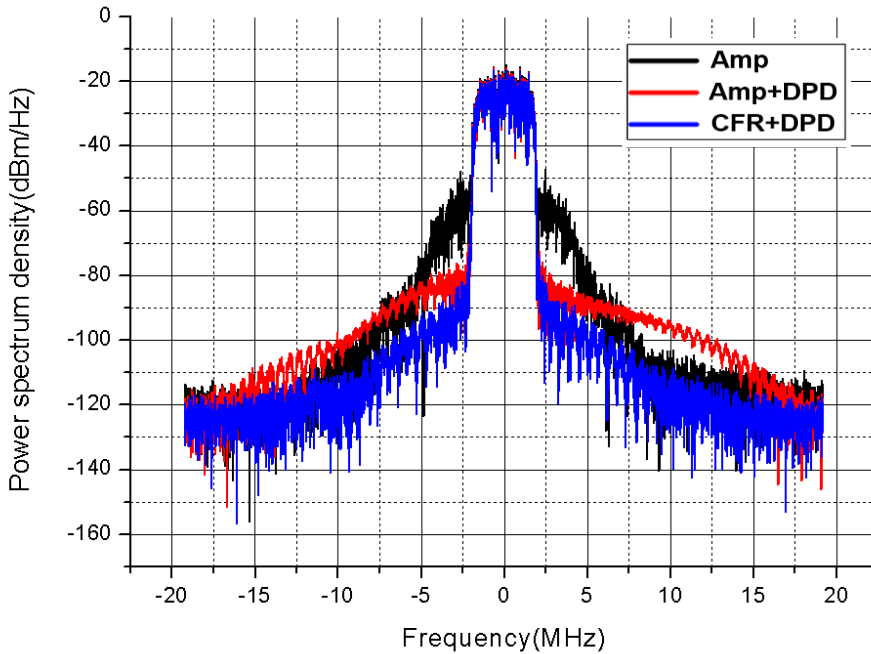


그림 5.10. 모의실험 결과.

Fig. 5.10. Simulation results.

3.9 MHz 대역폭을 갖는 3GPP 입력신호를 사용하여 위와 같은 모의 실험 결과를 얻을 수 있었다. 첫 번째 IMD 특성이 심한 선(Amp)은 모델링된 전력증폭기의 출력 특성을 보여주고 있고 두 번째 IMD 특성이 심한 선(Amp+DPD)은 모델링된 전력증폭기에 디지털 전치 왜곡기를 적용했을 때를 나타내고 있다. 마지막으로 파고울 저감 기술을 적용한 디지털 전치 왜곡기(CFR+DPD)를 모델링된 전력증폭기에 적용했을 때의 출력 특성을 나타낸다. 모의실험 결과를 통해 디지털 전치 왜곡기를 사용했을 경우 전력증폭기의 IMD 성분의 개선특성이 23.16 dB를 보였고 파고울 저감 기술을 적용하였을 경우 디지털 전치 왜곡기만을 사용했을 때보다 11.6 dB를 더 개선하는 특성을 볼 수 있었다.

6. 디지털 전치 왜곡기 측정

6.1 파고율 저감 기술 측정

5.1절의 파고율 저감 기술을 실제 측정하기 위해 그림 6.1과 같은 실험 환경을 구축하였다.

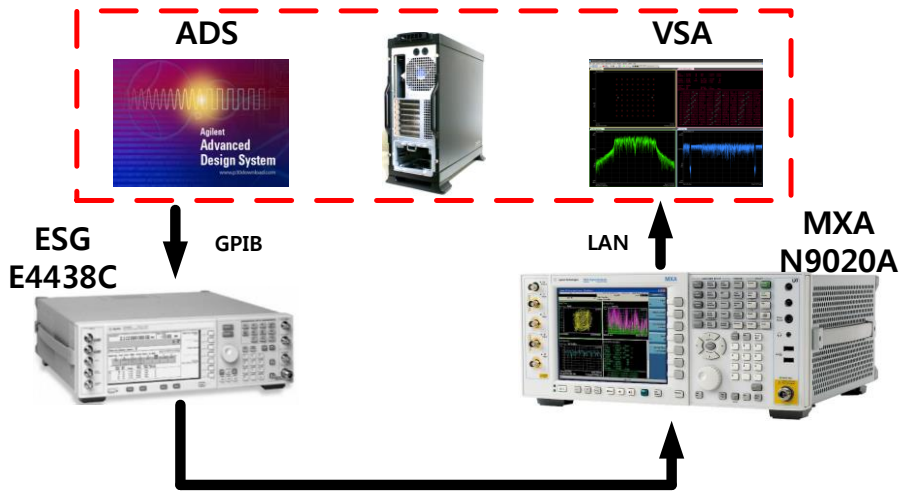


그림 6.1. 파고율 저감 기술 측정을 위한 구축환경.

Fig. 6.1. Test set-up for measure the crest factor reduction.

파고율 저감 기술을 살펴보기 위해 신호 발생기(ESG E4438C)와 스펙트럼 분석기(MXA N9020A)를 직접 연결하여 -4dBm 의 3GPP 입력신호를 분석하여 보았다. 결과는 그림 6.2와 같이 나왔다. 두 개의 출력 전력은 -4 dBm 으로 같은 평균 전력을 얻었지만 최대 전력이 3.6 dB가 차이가 나는 것을 확인할 수 있었다. 여기서 파고율 저감의 문턱 값(a)은 1로 정의 하였으며 이 값은 실제 디지털 전치 왜곡기에 적용한 문턱 값이다.

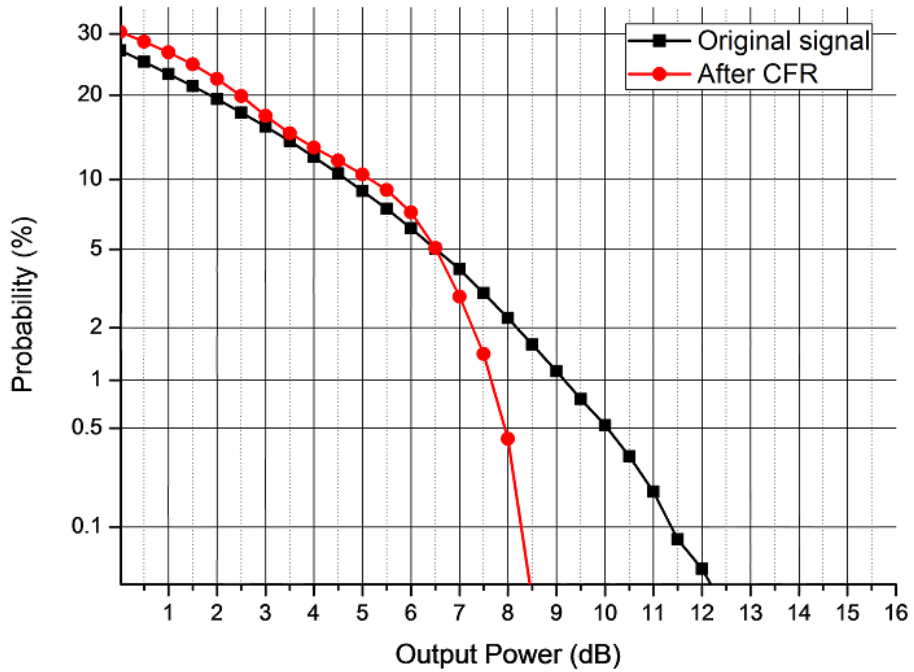


그림 6.2. 파고율 저감 기술 측정결과.

Fig. 6.2. Results of crest factor reduction.

그림 6.2를 통해 파고율 저감 기술이 실제 최대 신호를 줄일 수 있다는 것을 확인하게 되었고 이를 근거하여 실제 디지털 전치 왜곡기에 적용하였다.

6.2 디지털 전치 왜곡기 실험 결과

디지털 전치 왜곡기의 성능을 측정하기 위해선 6.1절에서의 파고율 저감 효과를 측정할 때 사용하였던 신호발생기(ESG E4438C)와 스펙트럼 분석기(MXA N9020A)의 사용이 필요하다. 신호발생기가 기저대역에서 RF대역으로 주파수를 변환하여 신호를 생성한 뒤 전력증폭기에 입력되고 출력된 결과를 스펙트럼 분석기가 측정하여 다시 RF대역에서 기저대역으로 가져오기 때문에 디지털 전치 왜곡기의 성능을 측정하는데 필요한 장비이다. 그림 6.3은 디지털 전치 왜곡기의 성능을 측정하기 위한 구축 환경을 보여준다.

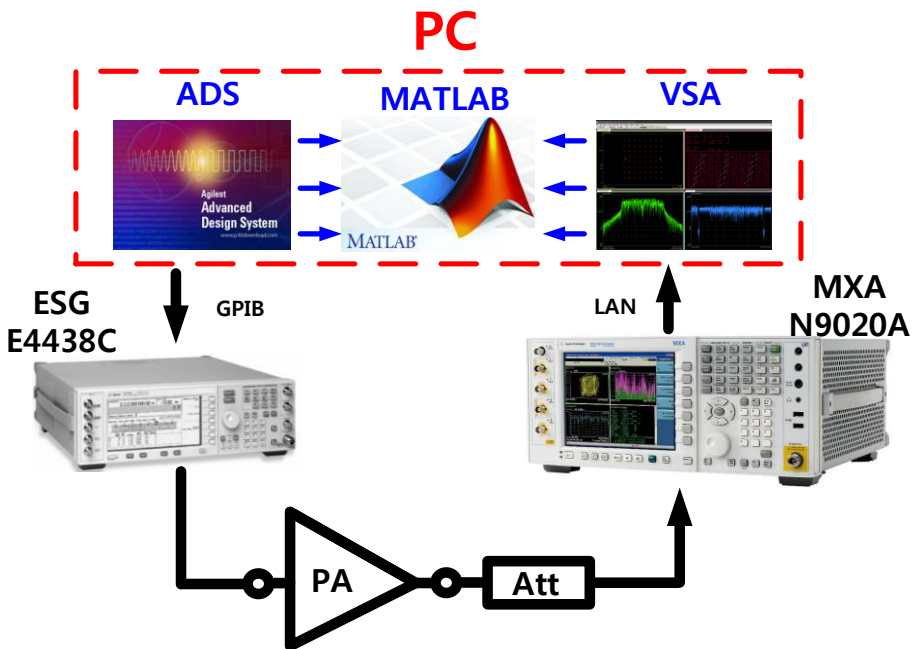


그림 6.3. 디지털 전치왜곡 성능 측정을 위한 구축환경.

Fig. 6.3. Test set-up for measure the performance of digital predistortion.

ADS를 이용하여 입력 신호를 신호발생기에 입력하고 전력증폭기를 지나 증폭된 신호를 신호감쇠기를 이용해 신호를 감쇠한 뒤 스펙트럼 분석기로 분석한다. 분석된 기저대역의 신호를 VSA로 저장한 뒤 기저대역의 신호로 변환해 저장한 전력증폭기의 출력 데이터와 ADS에 기록되어있는 기저대역의 신호를 MATLAB의 LS 알고리즘을 통해 분석하여 전치 왜곡기의 다항식의 계수를 찾아낸다.

전력증폭기의 출력 특성들을 비교하기 위해선 그림 6.4와 같이 세 가지의 조건의 출력을 측정해야 된다.

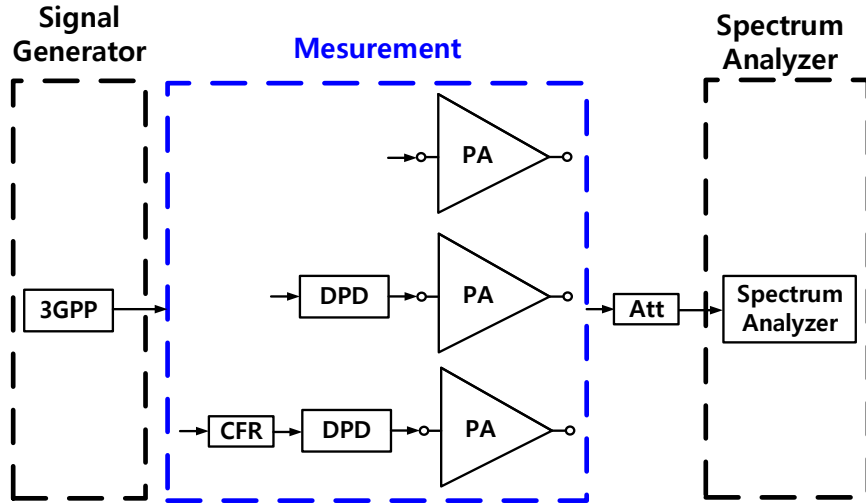


그림 6.4. 디지털 전치 왜곡기 측정 절차.

Fig. 6.4. Digital predistortion measurement process.

성능 측정을 위해 세 가지의 측정 절차를 가지는데 첫 번째에선 전력증폭기의 신호를 저장하여 디지털 전치 왜곡기의 다항식 계수를 구하고 두 번째에서 디지털 전치 왜곡기만을 사용하였을 때의 출력 특성만 살펴본 뒤 마지막으로 파고울 저감 기술을 디지털 전치 왜곡기에 적용하여 전력증폭기의 사용해 출력 특성을 살펴본다. 그림 6.4의 절차를 따른 출력 결과는 그림 6.5와 같다.

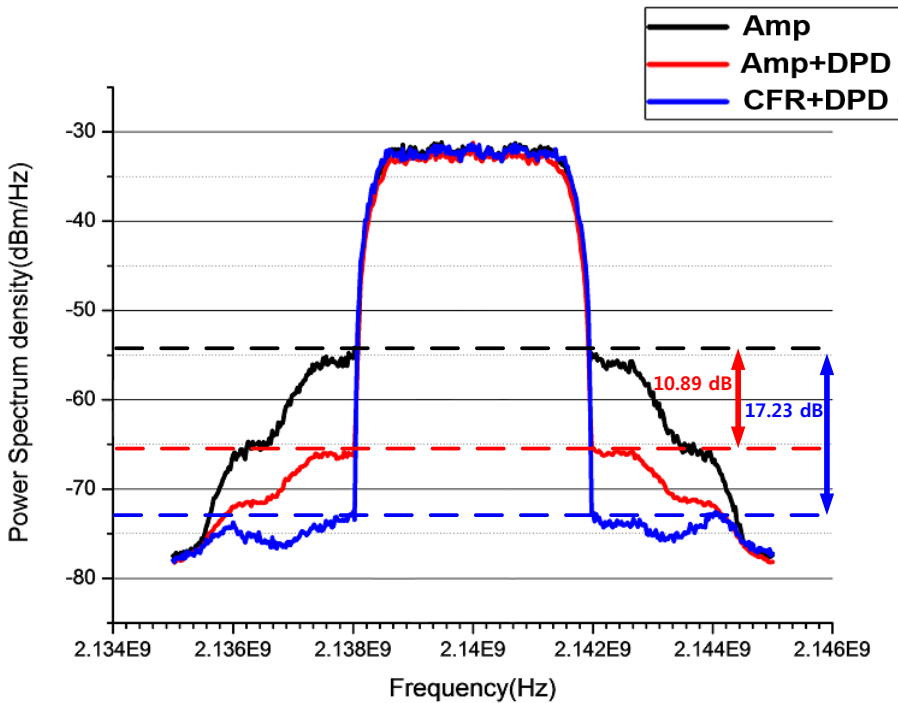


그림 6.5. 디지털 전치 왜곡기의 선형성 결과.

Fig. 6.5. Linearity results of digital predistortion.

그림 6.5에서 최대 IMD 성분이 -55.33 dB를 나타내는 선(Amp)은 전력증폭기만의 출력 특성을 나타내며 최대 IMD 성분이 -66.22 dB를 나타내는 선(Amp+DPD)은 디지털 전치 왜곡기만을 사용한 출력 특성을 나타낸다. 디지털 전치 왜곡기만을 사용하였을 경우 10.89 dB의 선형성 개선 특성을 보였다. 마지막으로 최대 IMD 성분이 -72.56 dB를 나타내는 선(CFR+DPD)은 파고율 저감 기술을 적용한 디지털 전치 왜곡기이며 전력증폭기 대비 17.23 dB의 선형성 개선을 보였다.

또한, 세 가지 조건의 따른 전력증폭기의 CCDF 출력 특성을 분석하기 위해 VSA를 이용하였으며 특성은 그림 6.6과 같이 나타났다.

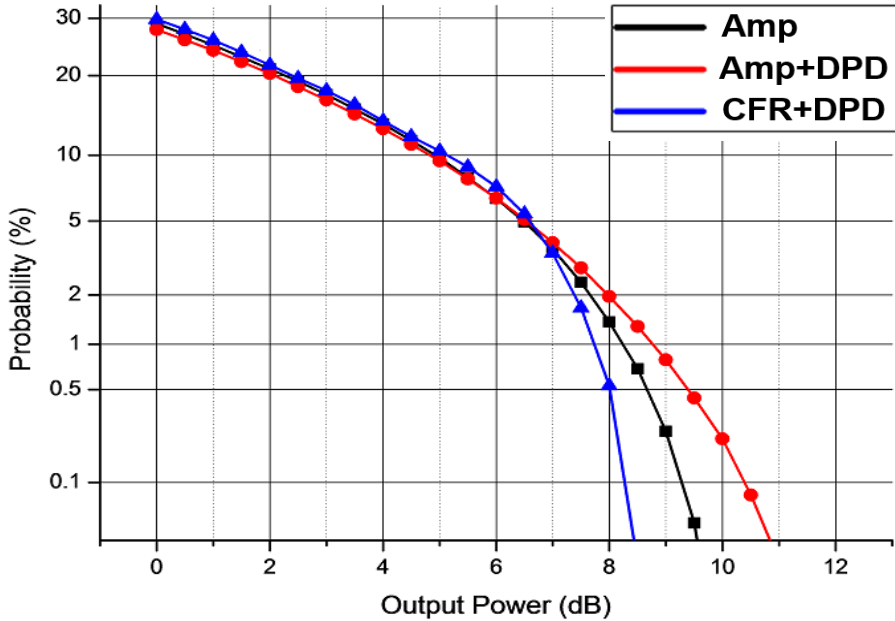


그림 6.6. 전력증폭기의 CCDF 출력변화 결과.

Fig. 6.6. CCDF output variation results of power amplifier.

각 방식의 최대 출력 전력의 결과가 다르다는 것을 그림 6.6을 통해 알 수 있다. 디지털 전치 왜곡기만(Amp+DPD)을 사용하였을 경우 1.3 dB의 최대 출력 전력이 커지는 것을 알 수 있었고 파고율 저감 기술(CFR+DPD)를 사용하였을 경우 1.1 dB의 최대 출력 전력이 작아지는 것을 확인할 수 있었지만 세 가지 경우 모두 28.2 dBm으로 평균 출력 전력은 같았다. 이는 기존의 디지털 전치 왜곡기에서는 비선형 왜곡 특성을 만드는 입력 전력들을 더 크게 만들어 선형적인 출력이 되도록 했었다면 파고율 저감 기술을 사용하는 전력증폭기는 비선형 왜곡 특성을 만드는 입력 신호를 줄여 디지털 전치 왜곡기에 적용하는 방식을 보여주었다.

위와 같은 개선된 선형결과와 CCDF 결과를 표 6-1에 나타내었다.

표 6.1. 선형성 개선 및 CCDF 결과 비교.
 Table 6.1. Comparison of measured linearity improvement
 and CCDF results.

	PA	PA+DPD	PA+CFR+DPD
상호변조왜곡 성분 (dBm/Hz)	-55.33	-66.22	-72.56
CCDF 최대 출력 (dB)	9.5	10.8	8.4

7. 결 론

본 논문에서는 전력증폭기가 가지는 비선형 특성을 전치 왜곡으로 개선하는 방식을 기존의 RF대역을 사용하는 아날로그 방식이 아닌 기저대역을 사용하는 디지털 전치 왜곡기의 방식을 이용하여 전력증폭기의 선형성을 개선하였다. 전력증폭기의 선형성을 추가적으로 개선하기 위해 기존의 LS를 사용한 디지털 전치 왜곡 기법에 파고울 저감 기법을 추가적으로 적용하여 기존의 디지털 전치 왜곡기의 선형성을 더욱 개선하였다.

파고울 저감 기술은 PC 방식을 이용하여 기저대역의 입력 신호의 최대값을 특정 문턱 값으로 줄였으며 모의실험을 통해 확인 할 수 있었다. 또한 실제 파고울 저감 효과를 측정해봄으로써 3.9 MHz 신호를 실제 3.6 dBm이 줄어드는 것을 확인할 수 있었다.

3.9 MHz 대역폭을 갖는 3GPP 입력 신호를 중심 주파수 2.14 GHz, P1 dB 34.8 dBm인 MHL 21336 LDMOS 전력증폭기를 6.6 dB만큼 back-off 시킨 28.2 dBm에서 전력증폭기, 디지털 전치 왜곡기를 사용한 전력증폭기, 파고울 저감 기술을 적용한 디지털 전치 왜곡기를 사용한 전력증폭기 세 가지 방법으로 나눠 비선형 출력 특성을 비교였다. 디지털 전치왜곡기만을 사용하였을 때 10.89 dB의 개선특성을 보였으며 파고울 저감 기술을 적용한 디지털 전치 왜곡기의 경우 17.23 dB의 선형성 개선 특성을 보였다.

이와 같은 출력 특성은 LS 방식을 이용한 디지털 전치 왜곡기보다 파고울 저감 기술을 적용한 LS 방식의 디지털 전치 왜곡기의 왜곡 특성이 더 개선된다는 것을 알 수 있었고 이는 기저대역 전력증폭기에 적용된다면 선형성 개선 성능을 더욱 향상시킬 수 있을 것으로 예상된다.

참 고 문 헌

- [1] Y. Nagata “Linear amplification techniques for digital mobile communication,” in *Proc. Of the IEEE Vehicular Technology Conference (VTC Spring)*. vol. 1, pp. 159-164, 1989.

- [2] J. Cavers, “Amplifier linearization using a digital predistorter with fast adaptation and low memory requirements,” *IEEE Transactions on Vehicular Technology*, vol. 39, no. 4, pp. 374-382, Nov. 1990.

- [3] J. S. Kenney, W. Woo, L. Ding, R. Raich, H. Ku, and G. T. Zhou, “The impact of memory effects on predistortion linearization of RF power amplifiers,” in *proc. 8th International Symp. On Microwave and Optical Technology (ISMOT)*, pp. 189-193, Canada, June 2001.

- [4] C. Eun and E. J. Powers, “A new volterra predistorter based on the indirect learning architecture,” *IEEE Transactions on Signal Processing*, vol. 45, no.1, pp. 223-227, January 1997.

- [5] J. Kim and K. Konstantinou, “Digital predistortion of wide band signals based on power amplifier model with memory,” *IEEE Electronics Letters*, vol. 37, no. 23, pp. 1417-1418, Nov. 2001.

- [6] S. Hong, Y. Woo, J. Kim, J. Cha, I. Kim, J. Moon, J. Yi, B. Kim, “Weighted polynomial digital predistortion for low memory effect Doherty power amplifier,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 55, no. 5, May 2007

- [7] M. V Deepak Nair, R. Giofre, P. Colantonio, F. Giannini, "Effects of digital predistortion and crest factor reduction techniques on efficiency and linearity trade-off in class AB GaN-PA", in *Proc. 10th European Microwave Integrated Circuits Conference*, Sept. 2015
- [8] Steve C. Cripps, "RF power amplifier for wireless communications," (*Artech house, Boston. London.*)
- [9] Nick Pothecary, "Feedforward linear power amplifiers," (Artech House, 1999), pp. 51
- [10] A. Ahmed, "Analysis, modelling and linearization of nonlinearity and memory effects in power amplifiers used for microwave and mobile communications," PhD thesis, University of Kassel, 2005.
- [11] D. J. Williams, J. Leckey, and P. Tasker, "A study of the effect of envelope impedance on intermodulation asymmetry using a two-tone time domain measurement system," in *IEEE MTT-S Int. Microwave Symp. Dig.*, vol. 3, pp. 1841-1844, June 2002.
- [12] S. Nuttinck, E. Gebara, J. Laskar, B. Wagner, and M. Harris, "RF performance and thermal analysis of AlGaIn/GaN power HEMTs in presence of self-heating effects," in *IEEE MTT-S Int. Microwave Stmp. Dig.*, vol. 2, pp. 921-924, June 2002.
- [13] J. Jeong, G. Chaudhary, Y. Jeong, "Time mismatch effect in linearity of hybrid envelope tracking power amplifier," *IEEE Microwave and Wireless Componenets Letters*, vol. 25, no.8, August 2015.

- [14] A. Khanifar, N. Maslennikov, and Vassilakis, "Bias circuit topologies for minimization of RF amplifier memory effects, in *33rd European Microwave Conference*, vol. 3, pp. 1349-1352, Oct. 2003.
- [15] Y. Jeong, "A design of predistortion linearizer by individual order control of intermodulation distortion signals," PhD thesis, University of Sogang, 1996.
- [16] S. Ryu, "Design of adaptive digital predistorter for RF power amplifier," Master thesis, University of Konkuk, 2008.
- [17] H. Matsubara, K. Ishihara, N. Miyadai, T. Nojima, "Hybrid predistortion to compensate third- and fifth- order intermodulation of a 2 GHz power amplifier using cuber predistortion and second harmonics injection", *IET Microw, Antennas Propag.*, vol. 2, no. 8, pp. 813-822, Dec. 2008.
- [18] W. Kim, S. P. Stapleton, J. Kim and Cory Edelman, "Digital predistortion linearizes wireless power amplifiers," *IEEE Microwave Magazine*, vol. 6, pp. 54-61, Sep. 2005.
- [19] W. Kim, "Digital predistortion linearization and crest factor reduction for wideband applications", PhD thesis, Simon Fraser Univ., 2006.