

자동적응 선형전력증폭기용 주신호 제거회로 설계

정 용 채, 김 철 동*

전북대학교 전자·정보공학부 및 정보통신연구소, * 세원텔레텍

E-mail : ycjeong@moak.chonbuk.ac.kr

Design of Main Carrier Rejection Circuit for Adaptive Linear Power Amplifier

Yong Chae Jeong, Chul Dong Kim*

Faculty of Electronics & Information Eng., Chonbuk Univ.,

* Sewon Teletech E-mail : ycjeong@moak.chonbuk.ac.kr

T : 0652-270-2458 F : 0652-270-2461

Abstract

It is difficult to realize adaptive main carrier rejection circuit in feedforward-type LPA(Linear Power Amplifier) because the gain and nonlinear characteristics of power amplifier are changed according to operating frequency, voltage, temperature. In this paper, the relative phase, which is obtained through I&Q demodulator using input signals as LO signals and main-path & sub-path signals as RF signals, and the magnitude of main-path & sub-path signals are compared, so main carrier rejection is obtained. The proposed

ation) 또는 QPSK(Quadrature Phase-Shift Keying)와 같은 선형 변조 방식을 이용하고 있고, 가입 사용자들의 폭발적인 증가는 통신 사업자들로 하여금 할당받은 주파수 대역을 점차 모두 사용하게 하고 있다. 선형 변조 방식과 여러 FA(Frequency Allocation) 사용은 양방향 통신의 한 축인 기지국의 송신 대전력 증폭기에 매우 좋은 선형성을 요구한다¹⁾.

본질적으로 비선형 특성을 갖는 대전력 증폭기가 선형성을 확보하려면 대전력 증폭기에 선형화기를 부착함으로써 가능한데 선형화기를 부착한 대전력 증폭기를 선형전력 증폭기(LPA: Linear Power Amplifier) 또는 다중채널 증폭기(MCPA: Multi Channel Power Amplifier)라고 한다.

method shows a good main carrier rejection results.

I. 서론

최근 각광을 받고 있는 CDMA 방식 셀룰러 및 개인 휴대 통신의 경우 QAM(Quadrature Amplitude modul-

선형화 방식에는 입력 전력 Back-off, Predistortion 방식, Feedback 방식, Feedforward 방식 등이 있다. 선형화 방식을 간단히 살펴보면 입력 전력 Back-off는 전력증폭기에 인가되는 입력 전력 레벨을 낮추어서 왜곡의 정도를 허용할 수 있는 비교적 선형 영역에서 동작시키는 방식이며, Predistortion 방식은 전력증폭기에서 만들 왜곡 성분을 고려하여 이것과 역의 특성을 갖

는 Predistortion 회로를 전력 증폭기의 입력 단에 부착함으로써 전력증폭기의 왜곡 성분을 상쇄시키는 방식이고 Feedback 방식은 전력증폭기에서 발생하는 왜곡 성분을 전력증폭기의 입력 단으로 부채환 입력시켜 전력증폭기의 왜곡을 줄이는 방식이다. Feedforward 방식은 전력증폭기의 출력단에서 혼변조 왜곡 신호만을 추출하여 다시 전력증폭기의 출력단에 역위상으로 결합함으로써 최종 출력단에서 왜곡 성분이 억제되어 출력되게 하는 방식이다. Predistortion 방식은 회로 구성이 간단하여 경량, 소형으로 구현할 수 있으나 개선 효과는 Feedforward 방식에 비해 좋지 못하다. 반면 Feedforward 방식은 개선 효과가 뛰어나지만 큰 용적을 필요로 하고 회로가 복잡하며 어느 정도의 신호전력 손실을 동반하는 단점이 있다. Feedback 방식은 발전 가능성과 협대역 동작 특성 때문에 상대적으로 사용빈도가 적다.

일반적으로 전력증폭기는 동작 주파수, 출력 전력, 동작 전압, 동작 온도에 따라 전력증폭기의 AM-to-AM 및 AM-to-PM 특성이 달라지므로 선형전력증폭기의 선형화기는 환경변화에 대하여 능동적으로 자동적용되어야 한다. 보통 범용 제품은 특정 주파수를 갖는 Pilot tone들을 사용함으로써 자동적인 선형화 효과를 얻고 있다. 그러나 Pilot tone들을 사용한 선형전력 증폭기들은 몇 가지 문제점을 안고 있다. 첫째로 Pilot tone들을 주 신호들과 함께 주 증폭기에 인가함으로써 주 증폭기에 부담을 주며, 둘째로 일부 Pilot tone 은 선형전력증폭기에서 거의 감쇠되어 출력되지만 일부

II. 본 론

본 논문에서는 자동적용 선형전력증폭기에서 핵심부라 할 수 있는 주 신호 제거 회로를 구현하는데, Pilot tone을 사용하지 않으므로 앞에서 언급한 기존 선형전력 증폭기의 단점을 제거하면서 간단한 회로 구성을 갖는 주 신호 제거 회로 설계 방법을 제시하고자 한다. 이 주 신호 제거회로는 선형전력증폭기의 핵심으로써, 주신호 제거 특성에 따라 보정 증폭기(Correction Amplifier)의 최대 전력용량이 결정되며 전체적인 선형전력증폭기의 크기, 전력소모, 가격이 동반하여 변동되므로 매우 중요하다.

그림 1은 Pilot tone들을 사용하지 않는 자동적용 선형 전력증폭기의 주신호 제거 회로도이다. 그 동작 원리를 살펴보면 입력 단에 인가된 주 신호들은 분배기들을 거쳐 주 경로, 보조 경로 그리고 자동출력레벨 조정기(ALC: Automatic Level Controller)에 인가된다.

주 경로에 인가된 신호들은 감쇠기, 위상 변환기 그리고 주 증폭기를 거쳐 원하는 출력 레벨만큼 증폭되며 이때 주 증폭기의 비선형특성으로 인하여 주 신호이외에 혼변조 왜곡 신호들이 동반하여 출력된다. 출력된 신호들은 분배기 C3를 통해 출력 신호의 일부를 출력시키고 거의 모든 출력 신호들은 최종 출력단으로 진행할 것이나 본 논문에서는 주 신호 제거 회로에 초점을 맞추었으므로 50Ω 종단저항으로 정합시켰다. 분배기 C3를 거친 주 신호는 분배기 C4를 통해 양분되어 배기 회로와 RF 스위치 SW1에 인가된다.

한편 보조 경로에 인가된 입력 신호들은 균속도 지연

Pilot tone은 선형전력증폭기에서 제거되지 않으므로 선형전력증폭기의 출력단에 Pilot tone 제거용 여파기가 필요하다는 점이다. 셋째로 Pilot tone들을 사용한 선형전력증폭기의 경우 Pilot tone 들의 신호처리 회로가 매우 복잡하며, 넷째로 신호처리 시간이 길어 실시간 제어가 되지 않는다는 점이다. 다섯째 이 선형 방식들은 기존 증폭기 업체들의 특허 내용이므로 국내업체들이 사용하는 것이 매우 어렵다는 점이다²¹⁾.

기(Delay line)를 거쳐 군속도 지연된 후 분배기 C5에 인가되고, 분배기 C5는 신호를 양분하여 빼기 회로와 RF 스위치 SW1 에 인가한다. 따라서 빼기 회로의 두 입력 단에 인가되는 신호들은 RF 스위치 SW1의 두 입력 단에 인가된 신호들과 같은 신호 정보를 갖게 된다. RF 스위치는 클럭 발생기에 의해 두 입력 단 중에 하나를 선택하여 출력단에 연결함으로써, 선택된 신호들은 분배기 C6에 인가되고, 분배기 C6는 IQ 복조기와

RF 신호 검출기 DET 로 분기시킨다.

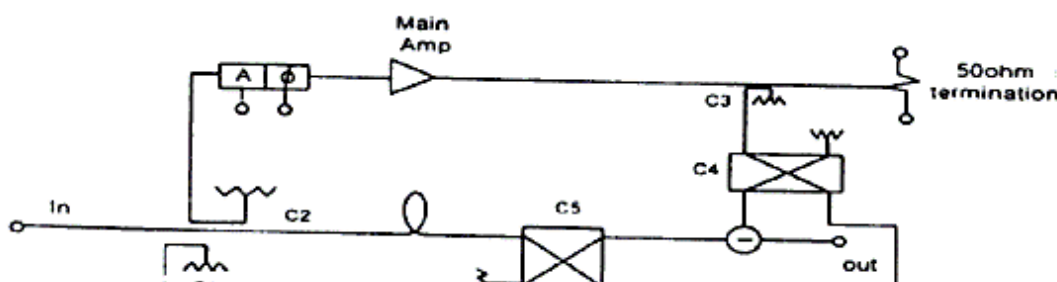
또한 입력 단에 인가된 신호들은 분배기 C1과 ALC 회로를 거쳐 IQ 복조기에 인가되는데, ALC 회로는 IQ 복조기 내부에 있는 혼합기의 LO 단자 입력 신호전력을 일정하게 하기 위한 것이다. 클럭 발생기는 클럭을 발생시켜 high, low 값에 따라 RF 스위치 SW1 과 나머지 DC 스위치들을 절제 시킨다. 클럭 발생기에서 high 값일 때 RF 스위치 SW1이 보조 경로 쪽으로 연결된다면 보조 경로를 거친 신호들이 분배기 C6을 통해 IQ 복조기로 신호 검출기에 인가되고 신호 검출기에 인가된 신호들은 검출 전압으로 바뀌어 캐패시터 C1에 충전되어 입력 신호의 진폭 정보정보를 나타나게 된다. 그림 2는 ALC 출력신호와 폐기회로에 인가되는 주 경로 및 보조 경로 신호사이의 상대 위상정보를 주는 IQ 복조기의 회로도이며, RF 와 LO 신호가 같은 주파수 성분을 가지므로 IF단에서 출력되는 V_i 와 V_o 는 IQ 복조기에 인가되는 두 신호들간의 상대 위상 정보를 제공한다. 이 위상정보는 DC 스위치 SW3, SW4를 거쳐 각각 캐패시터 C3와 C5에 충전된다. 만약 클럭 발생기가 low 값을 가지면 RF 스위치는 주 경로 쪽을 선택하게 되고 그 신호 레벨의 진폭에 해당되는 전압은 캐패시터 C2에, 그 위상정보는 IQ 복조기를 통해 캐패시터 C4,

C6에 저장된다. 캐패시터 C1 - C6에 저장된 전압들의 비교 및 적분 회로에 의하여 서로 같은 값이 되도록 설정된다. 분배기 C4와 분배기 C5를 통과하여 폐기 회로에 인가되는 신호들이 서로 역위상이 되도록 보장된다면 폐기 회로 출력단에서는 주 신호들이 제거되는 효과로 바뀔 것이다.

종전의 방식이 선형전력증폭기의 입력 단에서 부과된 Pilot tone을 기준으로 하여 검출된 Pilot tone을 비교함으로써 주 신호 제거를 구현한 반면, 본 논문의 주 신호 제거 회로는 입력 단의 신호 자체를 IQ 복조기의 LO 단에 인가하고 폐기 회로에 인가되는 주 경로 및 보조 경로 신호들의 LO 신호에 대한 상대 위상과 진폭을 비교함으로써 주 신호 제거 효과를 얻는 것을 특징으로 한다.

III. 실험 및 결과

주 신호 제거 회로를 위해 설계된 주 증폭기는 DCS 셀룰라 이동전화 기지국의 송신 주파수 대역 869~894 MHz에 맞추어 설계되었으며 그 line-up은 Mini-circuit 사의 ERA-4SM과 Motorola사의 XHL-9236 과 MRF183을 사용하였고 대역내 이득은 $58.4 \pm 0.2\text{dB}$.



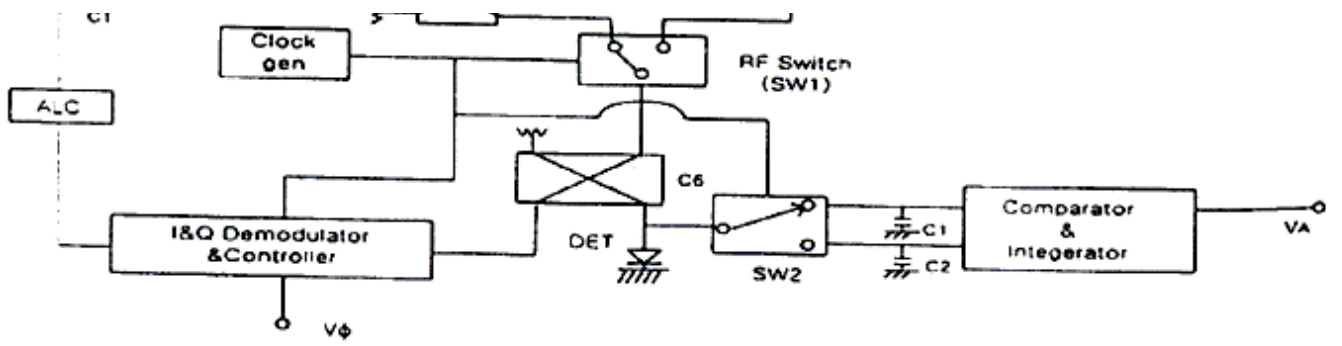


그림 1. Pilot Tone 들을 사용하지 않는 자동적용
 선형전력증폭기용 주 신호 제거 회로 회로도

[ÀÀü](#) [ÛÀ½](#)

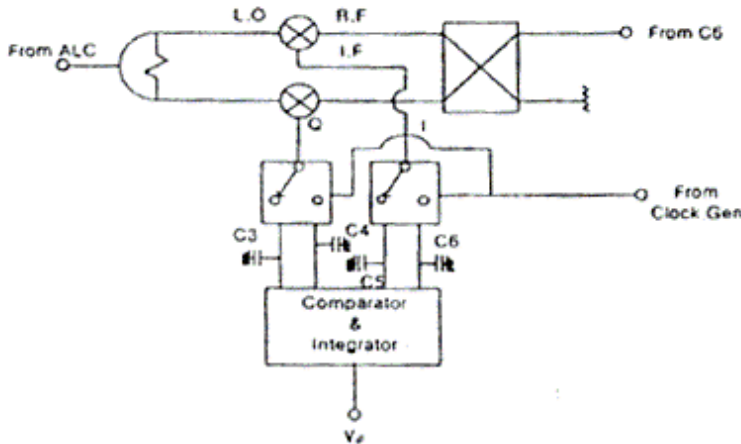


그림 2. IQ 복조기 및 그 제어기

반사 특성 -18dB 이하를 얻었다.

감쇠기 및 위상 변환기는 효과적 반사 특성을 위하여 반사형 구조를 채택하였으며, 사용된 다이오드는 각각 Microsemi 사의 UPP-9401과 Sony 사의 1T362 이다. 3dB 분배기는 RF Power 사의 S03A888N1 을 사용하였다. IQ 복조기를 구현하는데 사용된 혼합기는 Minicircuit 사의 RMS-2L 이며 배기회로는 Wilkinson Combiner로 구현하였다.

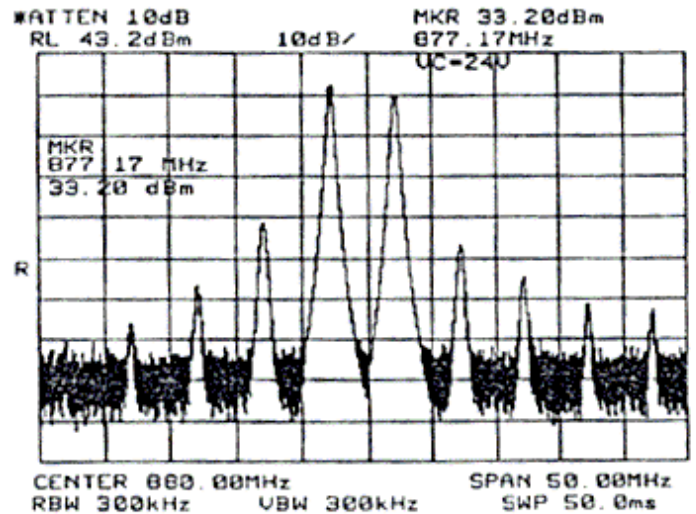
그림 3 (a)는 주 증폭기의 출력레벨이 33.2dBm/ tone 일 때의 출력 특성으로써 3차 혼변조 왜곡신호의 31.5 dBc 의 차이를 보이고 있다. 그림 3 (b) 는 배기 회로의 출력 특성으로써 주 신호가 3차 혼변조 신호보다 0.17 dBc 작으므로 31.67 dB 의 주 신호 제거 특성을 얻을음을 보이고 있다.

IV. 결 론

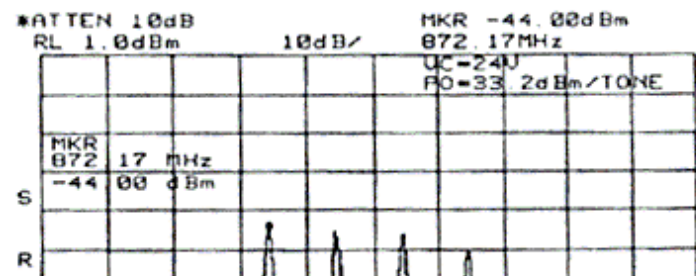
제시하였다.

참고문헌

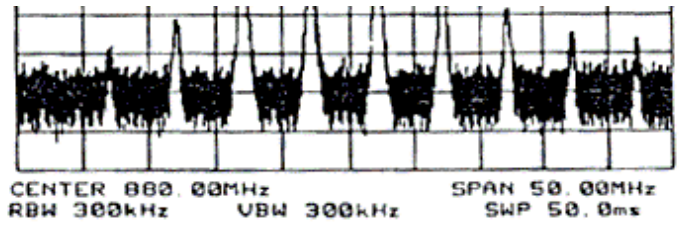
1. William C. Y. Lee, *Mobile Communication Engineering*, McGraw-Hill Book Company, pp. 235-272, 1982.
2. Derek L. Tattersall, "Feed Forward Amplifier Network with Frequency Swept Pilot Tone," US Patent No. 5130663, 1992.
3. Shoichi Narahashi, Toshio Nojima, Makoto Maeta, "Feed-Forward Amplifier," US Patent No.5166634, 1993.



(a)



본 논문에서는 선형전력증폭기용 자동적용 주 신호 제거 회로를 설계하였다. 종전의 방법은 주 신호 제거 특성을 얻기 위해 Pilot tone 들을 사용하였지만 본 논문에서는 Pilot tone 들을 사용함이 없이 뼈기 회로에 인가되는 신호들의 진폭과 선형 전력 증폭기의 입력 단에 인가되는 최초 입력 신호에 대한 상대 위상 정보의 비교로 주 신호 제거 특성을 얻을 수 있는 설계 방법을



(b)

그림 3. (a) 주 증폭기 출력특성(@ $P_o=33.2\text{dBm/}\text{tone}$, $V_c=24\text{V}$)
 (b) 자동적용 주 신호 제거 회로 특성
 (@ $P_o=33.2\text{dBm/}\text{tone}$, $V_c=24\text{V}$)