

900MHz CMOS 저잡음 증폭기의 설계

°윤상영, 윤현일, 정용채, 정항근, 황인갑**

전북대학교 전자정보공학부

** 전주대학교 전기전자정보통신공학부

E-mail: a987149@cbnu.chonbuk.ac.kr

900MHz CMOS Low Noise Amplifier Design

Sang Young Yun, Hun Il Youn, Yong Chae Jeong, Hang Geun Jeong, In Gap Hwang**

Dept. of Electronics & Information Engineering Chonbuk National Univ.,

** Dept. of Electrical & Electronics Engineering Jeonju Univ.,

Abstract

A 900MHz low-noise amplifier(LNA) with a measured noise figure of 4.8 dB and an associated gain of 13.2 dB was fabricated in a 0.65 μ m CMOS. At 900MHz, the fabricated LNA dissipates 39 mW from a single 3 V power supply including the bias circuitry and provides -26dB input return loss, -17dB output return loss, and an input 1-dB compression level of -12dBm.

I. 서론

유선통신에서는 단말기의 이동에 제약을 받기 때문에 전파를 이용한 무선통신에 대한 수요가 최근 급격히 증가하고 있다. 호출기, 셀룰러, PCS, IMT-2000등 휴대용 통신뿐만 아니라 무선 근거리 통신망, 무선 가입자망, 무선 비동기 통신망, 원격 계측 및 제어 시스템 등 광범위한 응용이 실용화되거나 연구개발 중에 있다. 이러한 무선통신 시스템에 사용되는 휴대용 단말장치는 일반적인 특성이라고 할 수 있는 감도, 선택도, 다이내믹 레인지, 가격 등의 조건을 충족하여야 할 뿐 아니라 부피, 무게, 전력소모 등의 추가적인 조건을 만족하도록 설계 제작되어야 한다.

기저 대역에서의 신호 처리는 보통 아날로그-디지털 변환기로 기저 중 디지털 신호처리로 이루어진 구조이다.

회로가 사용되고 있다. 이외에도 이미지 방해를 줄이고 필요한 선택도를 얻기 위하여 보통 SAW 필터나 유전체 공진기 필터가 사용되고 있다. 그러나 이러한 구현 방법은 부피와 전력 소모를 크게 할 뿐 아니라 가격을 낮추는데에도 불리하다.

단말장치를 소형경량화, 저전력화, 저가화하기 위하여서는 궁극적으로 단말장치를 CMOS 기술로 단일 칩화하는 것이 바람직하며 이를 위하여 고주파 전단부의 CMOS화가 선결과제라고 할 수 있다. CMOS 소자는 고주파 특성면에서 GaAs나 바이폴라 트랜지스터에 비하여 아직까지 불리한 지지만, 채널 길이의 축소로 인한 차단주파수의 향상으로 대부분의 단말장치가 사용하는 1-2GHz 대역에서는 실용화될 것으로 예상되고 있다.

II. 저잡음 증폭기의 설계

저잡음 증폭기는 이동통신기의 감도를 결정하는데 가장 큰 역할을 하는 부분으로 큰 잡음원에 노출된 매우 약한 송신신호를 받아 증폭시킨 다음 주파수 혼합기에 인가한다. 전체 시스템을 볼 때 첫 단의 잡음 특성은 전체 잡음특성을 좌우한다. 첫 단에서 발생된 잡음은 뒷단에 계속적으로 증폭되어 영향을 주기 때문이다.

저잡음 증폭기의 설계시 고려사항을 보면 잡음지수, 이득, 임피던스 정합, 선형성, 전력소모등이 있는데 상호

반사 손실을 최소화할 수 있도록 설계되어 있다. 고주파 전단부는 GaAs 또는 바이폴라 집적

회로는 trade-off을 이루는 여러 가지 특성을 고려하여 설계된다. 안테나로부터 신호를 반사 손실없이 증폭시키기 위해서는 입력 매칭을 하여야 하는데 그동안 알려진 여러 정합 회로는 그림 1에 나타내었다. 인덕터 정합이 가장

전력소모가 적고 NF도 작아 가장 많이 사용되는 회로이다.^{[1][2][3]}

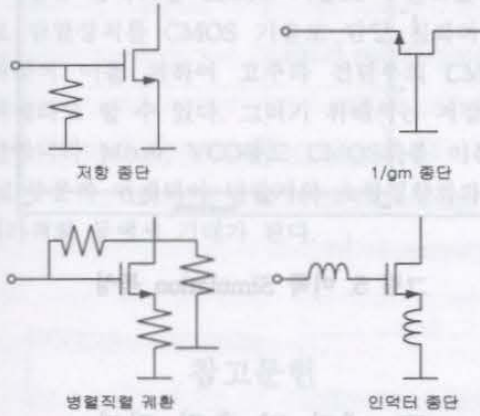


그림 1. 여러 입력임피던스 매칭 회로

잡음을 살펴보면 생성원인에 따라 thermal noise, flicker noise, shot noise, burst noise, avalanche noise 등이 있다. CMOS에서는 이중에 thermal noise가 가장 크고, thermal noise는 폴리 실리콘 저항에 의한 잡음과 channel에 의한 잡음으로 구분할 수 있다.

본 논문에서는 폴리 실리콘 저항에 의한 잡음을 줄이기 위해서 MOSFET을 interdigitated 방식으로 설계하였고 게이트 저항의 잡음 기여도는 다음 식(1)과 같다. 이 경우의 게이트 저항에 의한 잡음기여는 거의 무시할 수가 있다.

$$R_g = \frac{R_o W}{3n^2 L} \quad (1)$$

R_o : polysilicon의 sheet 저항
 W, L : 게이트 폭과 길이
 n : gate finger 수

본 논문에서 제안하는 900MHz용 저잡음 증폭기는 그림 2와 같다. 0.65 μ m CMOS 현대공정을 사용하여 저 전력 소모와 함께 큰 이득을 얻도록 설계하였다.^{[4][5]}

그림 2 회로 특징을 살펴보면 첫단의 M1는 저잡음 특성과 입력 정합부의 인덕터 값을 정하기 위해서 채널 폭이 240 μ m인 소자로 구성하였으며 둘째 단 M2는 채널 폭이 120 μ m인 소자로 구성하였고 증폭단 M3의 채널

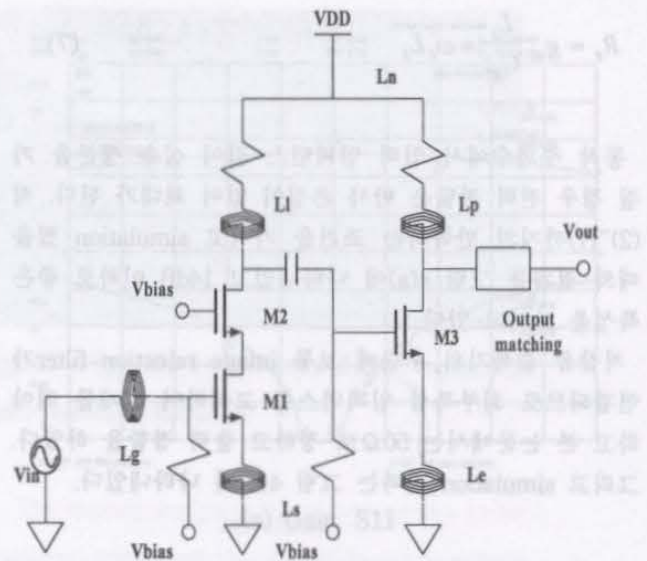


그림 2. 설계된 저잡음 증폭기

입력 정합부는 반사 손실을 줄이고 저잡음 고이득을 얻도록 설계하였고 이 구조는 잡음 특성이 가장 우수한 인덕터 부계환(inductor degeneration)을 건 소스접지 증폭기를 사용하여 임피던스 정합을 이루었다.

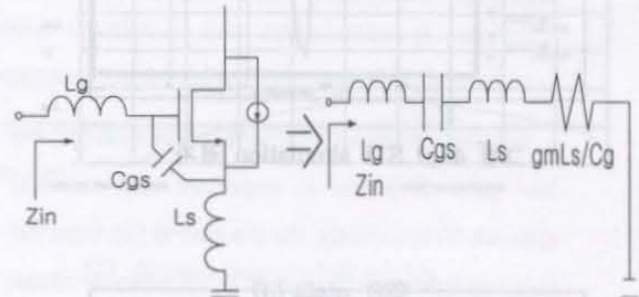


그림 3. L-degeneration 공통소스 증폭기의 등가회로

그림 3에서 보여지는 등가회로의 입력 임피던스를 구하는 식은 아래와 같다.

$$Z_{in} = \frac{V_i}{i} \quad (2)$$

$$V_i = (j\omega L_g)i + j\omega L_s(1 + g_m \frac{1}{j\omega C_{gs}})i + (\frac{1}{j\omega C_{gs}})i \quad (3)$$

$$\therefore Z_{in} = j\omega(L_g + L_s) + \frac{1}{j\omega C_{gs}} + g_m \frac{L_s}{C_{gs}} \quad (4)$$

널 폭은 $400\mu\text{m}$ 로 설계하였다. 첫 단의 L_s 는 저잡음 정합을 위해서 사용되었으며 본 회로 설계에서는 spiral inductor를 사용하지 않고 wire-bond를 병렬로 연결하는 형태로 회로를 설계하였다.

$$Z_{in} = j\omega(L_g + L_s) + \frac{1}{j\omega C_{gs}} + g_m \frac{L_s}{C_{gs}} \quad (5)$$

$$\omega_c = \frac{1}{\sqrt{(L_g + L_s)C_{gs}}} \quad (6)$$

$$R_s = g_m \frac{L_s}{C_{gs}} \approx \omega_t L_s \quad (7)$$

동작 주파수에서 입력 임피던스 값이 실수 성분을 가질 경우 전력 전달은 반사 손실이 없이 최대가 된다. 식 (2)~(7)까지의 만족하는 조건을 가지고 simulation 했을 때의 결과를 그림 4(a)에 나타내었고 14dB 이하로 좋은 특성을 보이고 있다.

저잡음 증폭기의 후단에 보통 image rejection filter가 연결되므로 외부특성 임피던스를 고려하여 설계를 해야 하고 본 논문에서는 50Ω로 정하고 출력 정합을 하였다. 그리고 simulation 결과는 그림 4(b)에 나타내었다.

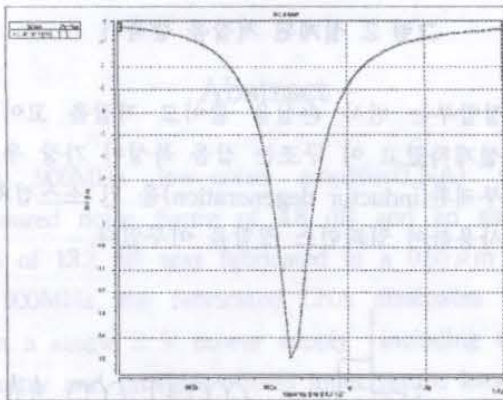


그림 4.(a) S11 simulation 결과

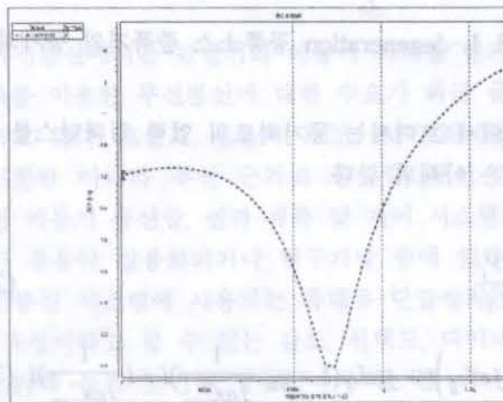


그림 4.(b) S22 simulation 결과

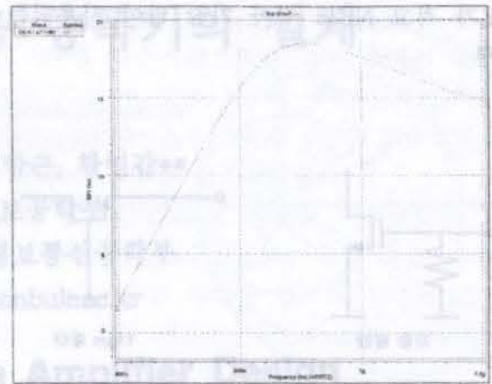


그림 5. 이득 Simulation 특성

III. 제작 및 측정 결과

본 논문에서는 900MHz 대역의 0.65μm CMOS 현대공정을 이용해서 제작된 칩을 그림 5에 나타내었고, 제작된 회로의 칩 사이즈는 0.9 * 1.8 mm이다. 전원은 3 V를 공급하였을 때 전력 소모는 39mW이다. 이때 이득과 입,출력 반사계수를 측정한 결과를 그림 6에 나타내었다. 이득은 약 13.2dB 정도를 보이고 입력반사 계수는 880MHz에서 -27dB 이하이고 출력 반사계수는 -16.9dB 이하를 나타내고 있다. 또한 입력 1-dB 압출레벨은 -12dBm을 얻었으며 OIP3는 12 dBm이다.

잡음지수의 측정은 HP 8970B Noise Figure Meter를 사용하여 측정을 하였으며 약 4.8dB 정도로 측정되었다.

표 1을 보면 설계치와 측정치의 오차가 이득이나 전력 소모면에서 상당히 크다는 것을 알 수가 있다. 오차의 원인은 spiral 인덕터와 입력 pad에서 발생된 기생 커패시턴스에 대한 고려가 부족하였고 bonding wire 인덕턴스 값의 오차로 발생되었다.

표 1

	900MHz 저잡음 증폭기	
	설계치	측정치
사용주파수	900MHz	880MHz
이득	18dB	13.2dB
전력 소모	28mW	39mW
입력 반사계수	-14dB 이하	-26dB

입출력 정합을 한 후에는 칩 설계시 존재하는 기생성분들에 대한 고려 사항들을 simulation 조건에 입력 시켜서 충분한 이득이 나오도록 설계를 하였다. 그림 5는 이득 특성을 나타내고 있으며 설계된 이득은 18 dB이다.

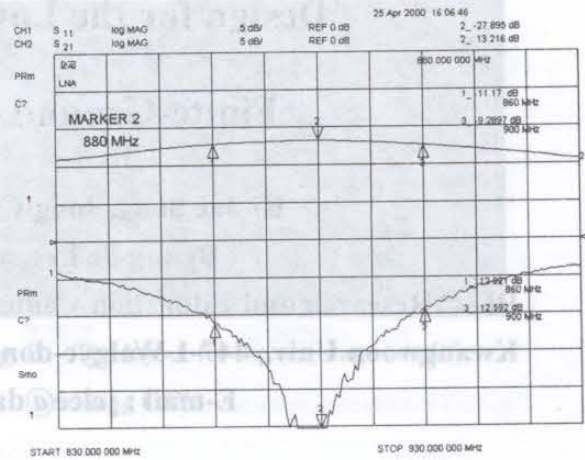
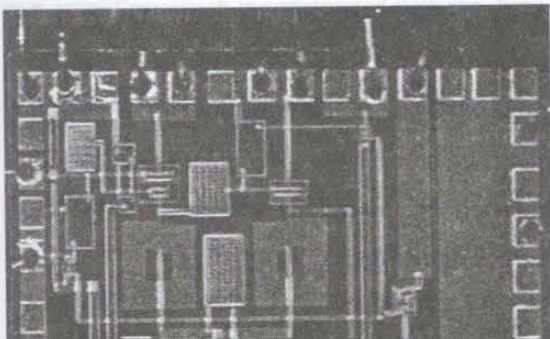
출력 반사계수	-22dB 이하	-17dB
---------	----------	-------

IV. 결론

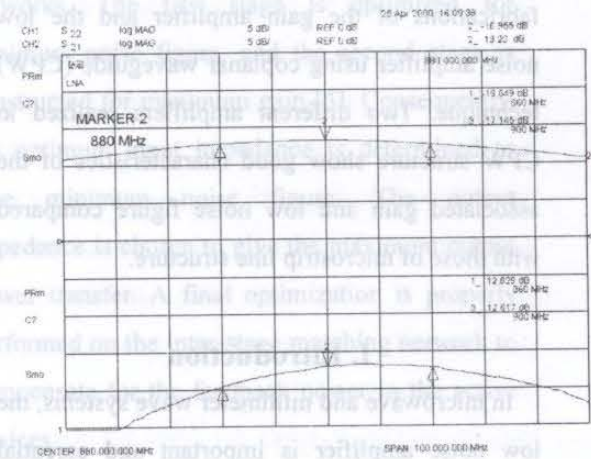
본 논문에서는 무선 단말기의 고주파 전단부 중에 하나인 저잡음 증폭기를 CMOS 기술로 구현하였다. 궁극적으로 단말장치를 CMOS 기술로 단일 칩화하는 것이 바람직하며 이를 위하여 고주파 전단부의 CMOS화가 선결과제라고 할 수 있다. 그러기 위해서는 저잡음 증폭기뿐만 아니라 Mixer, VCO등도 CMOS화를 이룬다면은 Digital 부분과 연계되어 단말기의 소형경향화와 저전력화, 저가격화 등에서 기대가 된다.

참고문헌

- [1] P.K. Shaeffer and T.H.Lee, "A 1.5 V 1.5 GHz CMOS Low Noise Amplifier," in *SOVC Dig. Tech. Papers*, pp. 32-33, June, 1996.
- [2] A.N. Karanicolas, "A 2.7 V 900 MHz CMOS LNA & Mixer," in *ISSCC Dig. Tech. Papers*, pp. 50-51, Feb, 1996
- [3] R.G Meyer and W.D.Mack, "A 1 GHz BiCMOS RF Front-end IC," *IEEE J, Solid-state Circuits*, Vol.29, pp.166-176, March, 1994.
- [4] D.B.M. Klaassen, "Compact modelling of submicron CMOS," *Proc. 22nd European Solid-State Circuits Conference*, pp.40-46, Sept, 1996.
- [5] J.Y.C. Chang, A.A. Abidi, and M. Gaitan, "Large Suspended Inductors on Silicon and their use in a 2um CMOS RF Amplifier," *IEEE Electron Device Letters*, vol.14, no. 5, pp.246-248, 1993.



(a) Gain, S11



(b) Gain, S22

그림 6. 제작된 저잡음 증폭기의 특성곡선

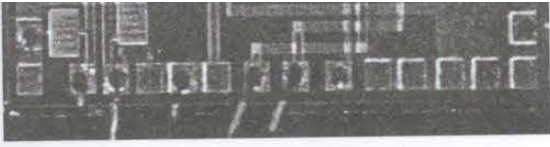


그림 5. 설계된 저잡음 증폭기의 layout