DGS(Defected Ground Structure)를 이용한 RF 계단형 임피던스 저역 통과 여파기 설계

김연환, 정용채
전북대학교 전자 정보 공학부, 초고주파 연구실
전화 : 063 - 270 - 2458

Design of a RF Stepped - Impedance Low - pass Filter with Defected Ground structure

Youn -Hwan Kim, Yong -Chae Jeong
Dept. of Electronic and Information Engineering, Chon -buk National Univ.
E -mail : sawohwan@hotmail.com

Abstract

In this paper the Stepped impedance LPF was realized by using the DGS. Communication equipment and their parts recently tend to be small and light because of a sudden development of the mobile communication and a result of study on the communication formula of the third generation. In this environment we use the DGS of the simple shape and easy design to improve the stepped impedance LPF's characteristics and to be small it's size.[1][2]

1. 서 론

계단형 임피던스 저역 통과 여파기는 제작이 용이하여 다른 여파기보다 널리 쓰이고 있으나 전기적 특성이 떨어져 사용의 한계를 보이고 있다. 특히 고임피던스 부분에서 그 폭이 너무 좁아 제작이 어렵고 고전력을 전송하는 시스템에서는 그 사용이 제한되고 있다. 따라서 계단형 임피던스 저역 통과 여파기의 이러한 단점을 보안하기 위해 여파기 특성을 유지하면서 즉 고임피던스의 특성 임피던스를 그대로 유지하면서 선로의 폭만을 넓혀서 그 사용의 한계를 넓히고자 하였다. 특히 접지면에 PGB 나 DGS 와 같이 결함을 만들어서 사용하는 전송 선로는 마이크로 밀리미터파 주파수 대역에서 많은 응용이 이루어지고 있다.[1] 접지면에 DGS 는 선로의 실효 인덕턴스를 증가시켜서 기존의 전송선로 보다 실효 유전율이 더 높아지지만 선로의 폭을 넓힘으로써 동일한 특성 임피던스는 등가인 전송선로를 구할 수 있다.

$$Z_0 = \sqrt{\frac{L}{C}} \tag{1}$$

또한, 실효 인덕턴스의 증가는 Slow - wave 효과를 발생시켜 실효 유전상수를 증가시키고 이로 인해 선로의 파장을 감소시켜 전송선로의 길이를 더 짧게 할 수 있다.

$$\varepsilon_{eff} = \left(\frac{\lambda_0}{\lambda_g}\right)^2 = \left(\frac{C}{V_p}\right)^2 \tag{2}$$

이제 접지면에 간단한 모양의 DGS 를 이용하여 선로의 폭을 넓혀 보다 손쉬운 제작과, 고전력 전송을 요구하는 시스템에서도 사용할 수 있도록 계단형 저역 통과 여파기를 제작하고, DGS 를 이용하여 구현된 저역 통과 여파기를 제작하는 과정을 보이도록 하겠다.[3]

2. 본 론

2.1 계단형 임피던스 저역 통과 여파기의 구현

그림 1 과 같이 수동소자를 이용하여 저역 통과 여파기를 구현 하였다. T 형 등가회로에서 ABCD 파라미터를 이용한 임피던스식은 (3), (4)이고 계단형 저역 통과 여파기로 구현하기 위해서 마이크로 스트립 전송선로를 그림 2 와 식 (5), (6)을 이용하여 인덕터와 캐패시터로 변환할 수 있다.

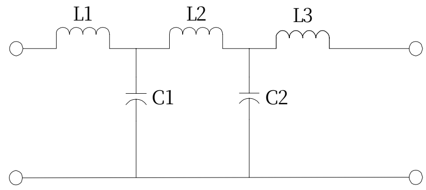

그림 1. 수동소자를 이용한 저역 통과 여파기

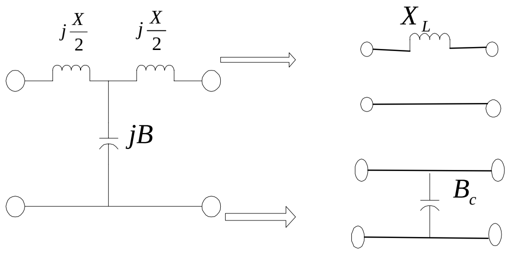

그림 2. T 형 등가회로의 수동소자로 변환

T 형 등가회로 변환공식에서,

$$Z_{12} = Z_{21} = \frac{1}{C} = -jZ_0 \csc\beta\ell \qquad (3)$$

$$Z_{11} - Z_{12} = -jZ_0 \tan(\frac{\beta\ell}{2}) \qquad (4)$$

$$\frac{X}{2} = Z_0 \tan(\frac{\beta\ell}{2}) \qquad (5)$$

$$B = \frac{1}{Z_0}\sin\beta\ell \qquad (6)$$

$\beta\ell < \pi/4$ 이고, 고 임피던스 일때,

$$X_L = Z_0 \tan(\frac{\beta\ell}{2}) \approx Z_0\beta\ell\,,\; B \approx 0 \qquad (7)$$

$\beta\ell < \pi/4$ 이고, 저 임피던스 일때,

$$X \approx 0\,,\; B = \frac{1}{Z_0}\sin\beta\ell \approx Y_0\beta\ell \qquad (8)$$

이제 (7),(8)번 식을 이용하여 실제 우리가 제작하려는 계단형 저역 통과 여파기를 제작하면 그림 3 과 같고 그 시뮬레이션 결과는 그림 9 와 같다.[4]

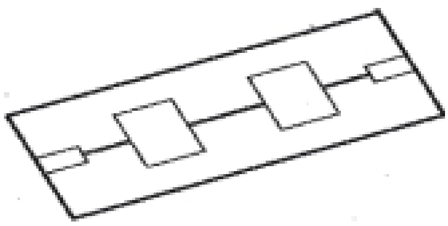

그림 3. 실제 구현된 계단형 저역 통과 여파기

2.2 DGS 를 적용한 등가 전송선로

그림 3 은 좌우 대칭인 체비셰프 여파기이다. 중앙과 양단 부분의 전송선로는 고 임피던스로 두께가 매우 얇다. 이 부분에 DGS 를 적용하였다.

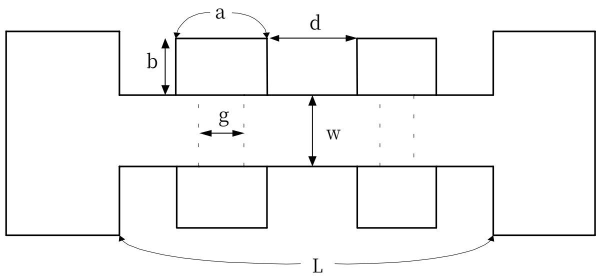

그림 4. DGS 등가회로

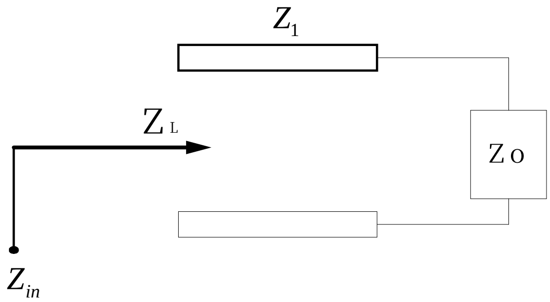

그림 5. 등가전송선로 입력 임피던스

그림 4 의 전송선로의 간단한 등가 회로로 표현하면 그림 5 처럼 표현할 수 있으며 그림 5 의 특성 임피던스 관계식은 다음과 같다.

$$Z_{in} = Z_1 \frac{Z_L + jZ_1 \tan\theta}{Z_1 + jZ_0 \tan\theta} \qquad (9)$$

(9)번 식에서 θ 가 $\pi/2$ 일 때 Z_{in} 은 최대 입력 임피던스를 나타내며, $\theta = \pi$ 일 때 최소 입력 임피던스를 갖는다.

$$Z_1 = \sqrt{Z_L Z_{in}} \qquad (10)$$

$$Z_{in} = Z_L \frac{1+|\Gamma|}{1-|\Gamma|} \qquad (11)$$

$$S_{11}dB = 20\log|\Gamma| \qquad (12)$$

그림 4 를 시뮬레이션한 결과로 구한 반사계수를 이용하여 (10), (11), (12) 식을 적용하면 Z_1 을 구할 수 있다.

2.3 DGS 를 계단형 저역 통과 여파기에 적용

그림 3 에서 고 임피던스의 크기를 140 Ω 으로 설계하면 그 폭는 0.25mm 가 된다. L=7.9mm 인 전송선로에, a=2mm, b=2.3mm, g=1.65 mm, d=1mm 인 DGS 를 적용하면 그림 6 처럼 시뮬레이션이 된다. 이 그림에서 6. 7GHz 에서 S_{11} 이 2.28dB 인데, 이때 전송선로의 특성 임피던스는 140 Ω 이 된다.

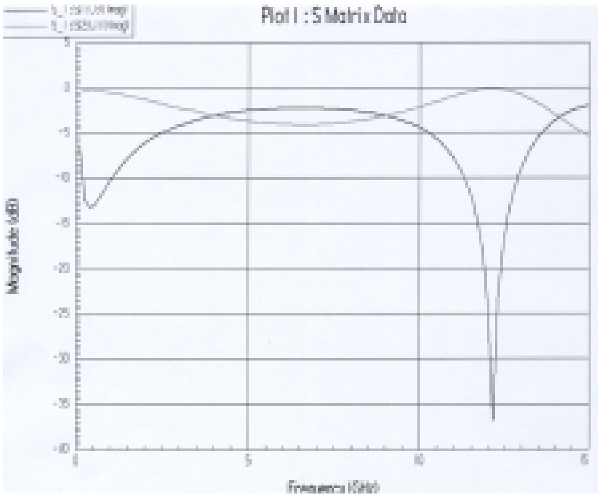

그림 6. 시뮬레이션 결과.

그림 4 에서 L=4.8mm 인 전송선로에 a=1.5 mm, b=1.3mm, g=1.1 mm, d=0.5mm 인 DGS 를 적용하면 그림 7 처럼 시뮬레이션이 된다. 그림 7 에서 S_{11} 이 11 GHz 에서 2.28dB 인데, 이때 전송선로의 특성 임피던스는 140 Ω 이 된다.

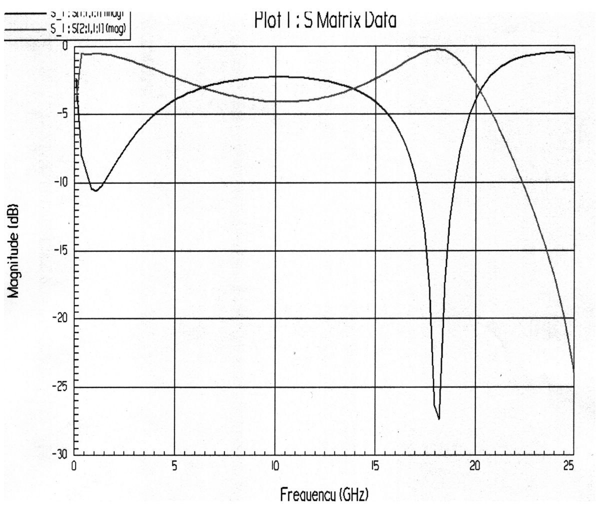

그림 7. 시뮬레이션 결과.

앞에서 두 경우에 유도된 결과를 계단형 저역 통과 여파기에 적용하면 그림 8 과 같다.

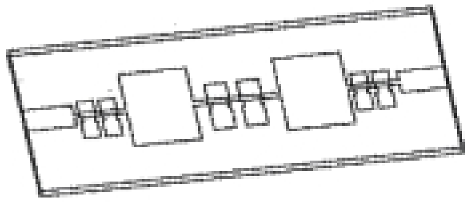

그림 8. DGS 를 이용한 계단형 임피던스 저역 통과 여파기

2.4 계단형 저역 통과 여파기와 DGS 를 적용한 여파기의 시뮬레이션 및 실제 제작한 여파기의 측정

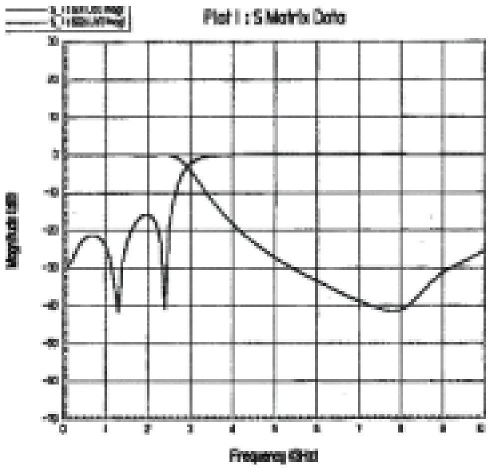

그림 9. 계단형 임피던스 저역 통과 여파기의 시뮬레이션 결과

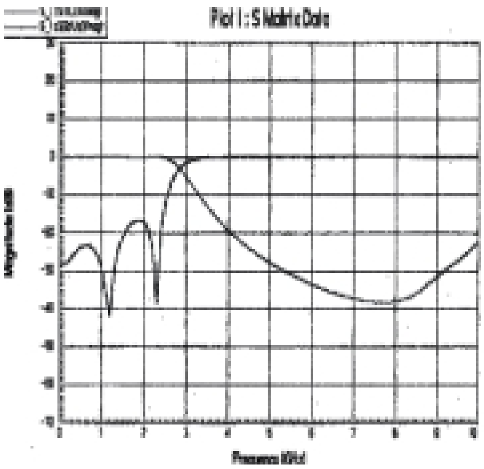

그림 10. DGS 를 적용한 계단형 임피던스 저역 통과 여파기의 시뮬레이션 결과

그림 9 에서 S_{21} 은 2.9GHz 에서 - 2.8dB 이고 4.5GHz 에서 - 23.3dB 로 감소하고 통과 대역에서 S_{11} 은 1.9

GHz 에서 - 15.9dB 인 계단형 임피던스 저역 통과 여파기이다.

그림 10 에서 S_{21} 은 2.9GHz 에서 - 3dB 이고 4.5GHz 에서 - 24dB 로 감소하고 통과 대역에서 S_{11} 은 1.8GHz 에서 - 16.9dB 인 DGS 를 이용한 계단형 임피던스 저역 통과 여파기 이다.

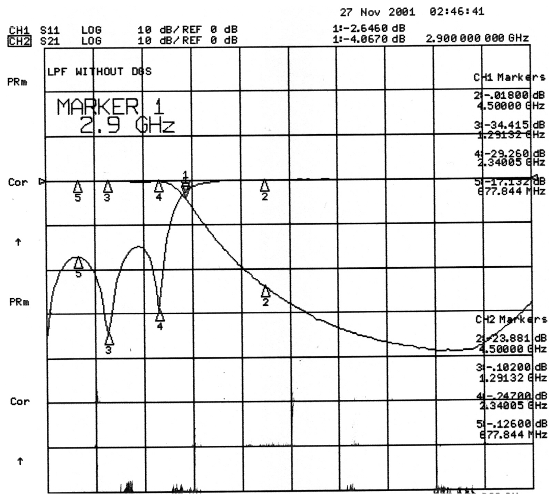

그림 11. 계단형 임피던스 저역 통과 여파기를 제작한 결과

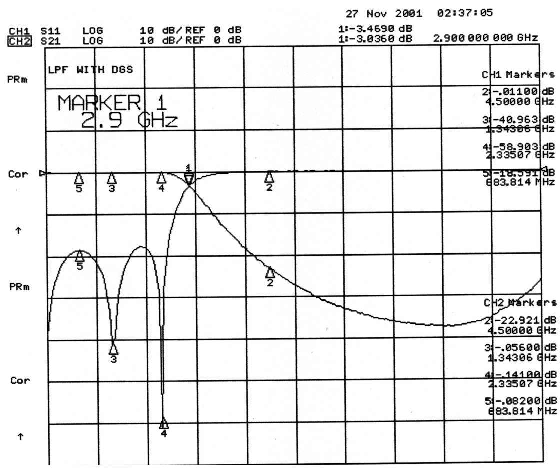

그림 12. DGS 를 적용한 계단형 임피던스 저역 통과 여파기를 제작한 결과

그림 11 과 12 에서 140 Ω 인 고임피던스 부분에 DGS 를 사용하여 시뮬레이션 결과와 실제 제작된 여파기들의 특성을 비교해 보면 특성 임피던스가 140 Ω 인 전송선로의 폭이 0.25 mm 에 서 0.5mm 로 증가하였다. 또한 Slow - Wave 의 영향으로 양단 패턴의 길이가 5.1mm 에서 4.8mm 로 줄어들었고, 중앙의 패턴의 길이는 8.3mm 에서 7.9mm 로 줄어드는 결과를 보였다. 결과적으로 전체 여파기의 길이는 1mm 를 감소시키는 결과를 나타냈다. 또한 통과 대역에서 시뮬레이션한 결과와 직접 제작된 여파기에서 동일하게 S_{11} 이 1dB 정도 감소 하였다.

3. 결 론

본 논문에서는 기존의 고 임피던스의 얇은 패턴 폭을 증가시키기 위해여 접지면에 DGS 를 이용한 계단형 임피던스 저역 통과 여파기를 제안하였다. 패턴의 폭은 0.25mm 에서 두배인 0.5mm 로 증가시켜 기존의 구조에 비해 구현하기가 훨씬 수월해졌다. 또한 DGS 를 적용한 부분에서 Slow - Wave 특성으로 패턴의 길이를 1mm 감소시켜 결국 DGS 를 적용한 여파기의 크기도 줄일 수 있는 장점을 가지고 있다. 시뮬레이션과 실제 구현 결과가 거의 일치한 결과가 나왔는데, DGS 를 적용하였을 때 통과 대역에서 S_{11} 의 크기를 1dB 정도 감소시켜 성능을 향상시킬 수도 있었다.

앞으로 DGS 를 이용함으로써 고 임피던스 구현이 쉬워지는 것을 알 수 있고 크기 또한 작게 할 수 있는 장점이 있으므로 많은 분야에 적용할 수 있을 것이다.

참고문헌

[1] 이 경희 ,“DGS 방식 DC block 을 이용한 증폭기의 설계” , 마이크로파 및 전파학술대회 논문집 제 10 권 1 호, pp.109 - 112, 2001.5.

[2] T. J. Ellis and G. M. Robeiz, “MM - wave tapered slot antennas in micro - machined photonic bandgap dielectrics,” in IEEE MTT - S Int. Microwave Symp. Dig., June 1996, pp.1157 - 1160

[3] 김철수, 안달, 박준석, 김근영, ”Slow - wave 특성을 이용한 3dB 전력 분배기 설계” 한국 전자파 학회 논문지 제 10 권 제 5 호 pp. 694 - 700, 1999.

[4] David M. Pozar “Microwave engineering”, John Wiley and sons. Inc, 1998