

음성인식을 위한 14bit, 3.3V 2 차 Σ - Δ 변조기 설계

서수진*, 최규훈, 정용재

전북 대학교 초고주파 회로설계 연구실, 전주 공업 대학교

초록

최근 몇 년 동안 다양한 멀티미디어 통신 서비스에 대한 수요가 급증함에 따라 ADC 에 대한 연구 및 수요가 증가하고 있다. 또한 저전압, 고해상도, 고속, 저전력이 요구되고 있는 추세이다. 따라서 Oversampling 방식을 이용한 ADC 가 각광을 받고 있다.

본 논문에서는 이러한 ADC 에 들어가는 음성 인식용 14bit 2 차 Σ - Δ modulator 를 설계 하였다. 설계사양으로서 신호대역폭은 음성대역인 4kHz 를 사용하였으며, OSR 은 128 배, 표본화 주파수는 1.024MHz 로 설계 하였다. 설계에 앞서 Behavioral modeling 을 통해 성능을 검증하였고, 각 블록 별 회로를 설계한 후 HSPICE Tool 을 이용한 시뮬레이션을 통한 성능을 검증하였으며 전체 시뮬레이션을 한 후 FFT 검증 을 하였다. 최종적으로 실제 Σ - Δ modulator 제작을 위해 Hynix 사의 0.35um 공정을 이용하여 레이아웃을 하였다.

1. 서론

최근까지 아날로그 전자기기로 존재하던 제품들에 대한 디지털화 작업이 빠른 속도로 이루어지고 있다. 그러나 물리계에 존재하는 신호는 아날로그 신호이기 때문에 최근 급속히 발전하고 있는 DSP, 디지털 영상 신호처리, 디지털 통신시스템 등의 디지털 회로의 신호처리 기술에 있어 analog-digital converter(ADC)는 핵심적인 역할을 하며, 그 중요성이 대두되고 있다.

A/D 변환기는 표본화율에 의하여 Nyquist rate 변환기와 oversampling rate 변환기 형태로 분류할 수 있다. Nyquist rate 방식을 사용하는 flash ADC, pipeline ADC 등은 고속 신호처리에 유리지만 해상도가 낮고, 공정 의존도 및 높은 수율을 위하여 보정 회로와 같은 부가적인 기법과 회로가 필요하며, 면적이 크다는 단점이 있다. 이에 반해 oversampling 방식은 신호보다 훨씬 높은 주파수에서 신호를 표본화하기 때문에 해상도가 높고 동작 주파수가 비교적 낮은 음성신호 전용 A/D 변환기 방식으로 널리 이용되고 있다.

Oversampling 방식의 전체적인 구조는 아날로그 변화기 블록과 디지털 필터 블록으로 나누어 진다. 디지털 필터의 경우 내부에서 연산되는 bit 수에 따라 전체 해상도가 결정되므로 아날로그 신호를 입력으로 받아 1bit 디지털 신호로 변화하는 Σ - Δ modulator 의 성능이 전체 A/D 변환기의 성능을 결정한다.

본 논문에서는 3.3V 공급전압에 4kHz 신호 대역폭, 1.024MHz 표본화 주파수를 가지고 14bit 해상도를 만족하는 single-loop 구조의 2 차 Σ - Δ modulator 를 설계하였다. 전체적 동작 특성과 속도를 향상시키기 위해 CMOS 스위치와 rail-to-rail fully difference folded cascade op amp 를 사용하였다.

2. 회로 설계

본 논문에서 설계한 Σ - Δ modulator 는 oversampling 변환에서 표본화 주파수 증가에 대한 성능 향상을 도모하기 위한 방안이며, 이를 수행하는 블록에 해당한다. Σ - Δ modulator 는 입력신호 대역내의 잡음을 고대역으로 통과시킴으로써 잡음에 의해 발생할 수 있는 양자화 오차를 감소시킬 수 있다.

전체 Σ - Δ modulator 의 구성을 살펴보면, 그림 1 과 같이

구현될 수 있는데, 음성신호 처리에 적합한 single-loop 구조를 채택하였다. 그림 1 에 근거하여 실제 구현한 회로도 는 그림 2 와 같으며 이 구조는 2 개의 적분기와 1 개의 비교기, 그리고 각각의 스위치가 캐스캐이드 구조로 연결되어 있다.

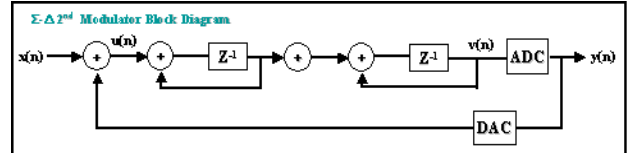


그림 1. 2 차 Σ - Δ modulator 의 블록 다이어그램

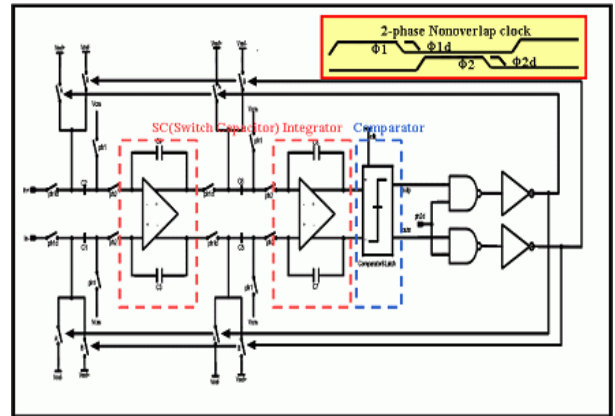


그림 2. 제안된 2 차 Σ - Δ modulator 의 회로도

1) Behavioral modeling

Simulator 로 전체적인 Σ - Δ modulator 의 성능을 검증하기 위해서는 많은 시간이 소요되기 때문에 우선 Σ - Δ modulator 의 성능을 미리 알아 볼 수 있는 behavioral modeling 을 통해 설계사양 조건을 규정한 후, 이를 토대로 설계된 회로를 이용하여 실제 Σ - Δ modulator 를 설계하였다.

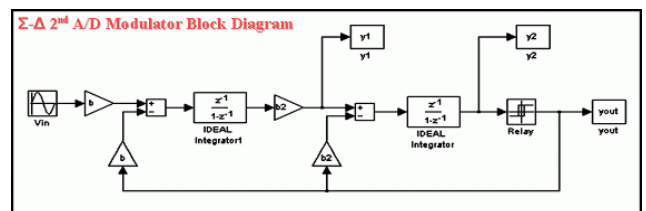


그림 3. behavioral modeling 을 위한 Σ - Δ modulator 의 선형화된 블록 다이어그램

2) 블록 별 회로 설계

본 논문에서는 Σ - Δ modulator 에 포함되는 블록 중 전체 성능에 많은 영향을 주는 연산증폭기와 비교기만을 제시하였다.

a. 연산 증폭기 설계

연산 증폭기를 설계하기 위해서는 전체적인 성능에 적합한 설계사양을 결정하여야 한다. 높은 SNR(signal-to-noise-ratio)을 얻기 위해서는 연산 증폭기의 대역폭이 넓어야 하며 전압이득이 크고, 큰 전류구동이 가능하여야

한다. 따라서 이에 적합한 구조인 rail-to-rail fully difference folded cascade op amp 를 채택하였으며 회로도는 그림 4 와 같다.

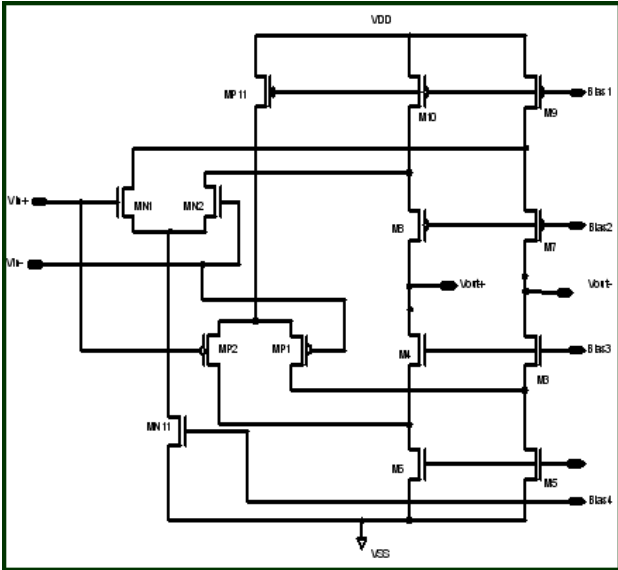


그림 4. rail-to-rail fully difference folded cascade op amp

b. 비교기 설계

비교기는 1bit ADC 블록의 핵심 회로로서 아날로그 입력 값을 1bit 의 디지털 출력 값으로 샘플링 하는 역할을 한다. 비교기의 설계 조건으로는 큰 전압이득과 빠른 동작, 저전력소모 등이 요구 된다. 이러한 요구를 만족시키는 비교기로서 그림 5 와 같은 구조의 회로를 채택하였다.

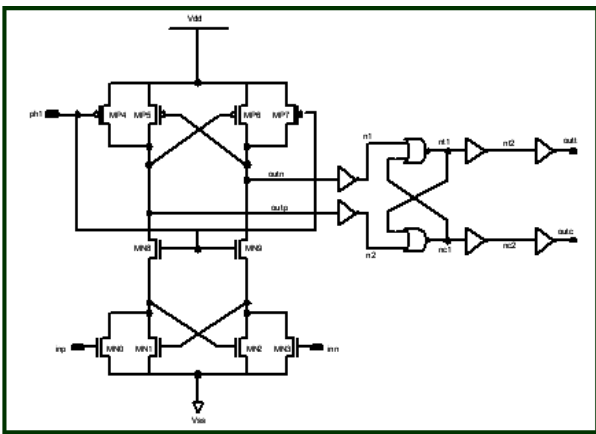


그림 5. 비교기

3. 시뮬레이션 결과

앞에서 설계한 기본 블록을 이용하여 설계된 2 차 Σ - Δ modulator 의 전체 회로에 대한 시뮬레이션 결과는 그림 6 과 같으며 각 1 차, 2 차 적분기에서의 출력과 비교기를 거쳐 샘플링 된 신호의 출력파형을 나타내고 있다.

그림에서 알 수 있듯 차수가 낮은 적분기일수록 입력신호의 형태를 유지하며, 차수가 증가함에 따라 입력신호의 형태와 멀어짐을 알 수 있다. 또한 최종 출력파형에서 볼 수 있듯 입력신호가 증가할수록 양자화기의 출력이 주로 정 펄스로 구현되며, 감소할수록 주로 부 펄스로 됨을 볼 수 있었다. 또한 FFT 검증결과

4KHz 입력신호 대역내의 DR(Dynamic Range)가 커져 높은 SNR 을 얻을 수 있었다.

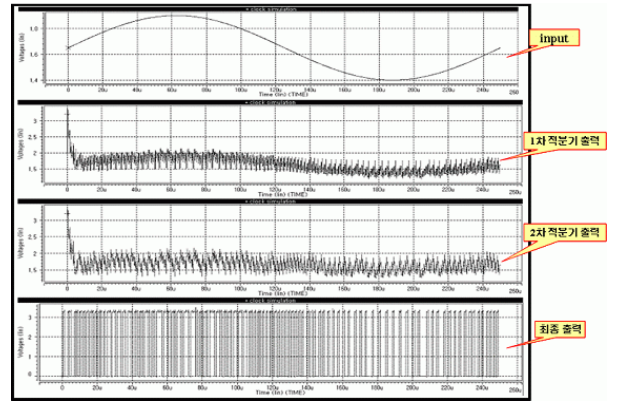


그림 6. 2 차 Σ - Δ modulator 의 출력 결과

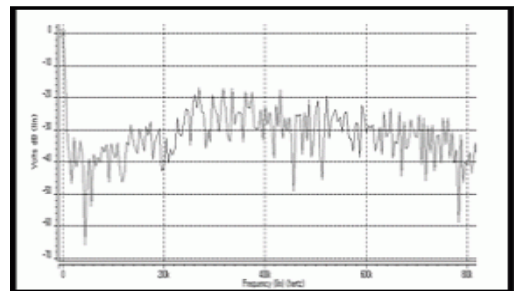


그림 7. 2 차 Σ - Δ modulator 의 FFT 검증 결과

4. 결론

제한한 2 차 Σ - Δ modulator 는 Hynix 사의 0.35um 공정을 사용하였으며, 1mm x 3mm size 안에 구현하였다. 각 적분기에 들어가는 증폭기는 rail-to-rail fully difference folded cascade op amp 를 사용하였으며 스위치는 빠른 동작 속도 와 손실을 줄이기 위해 CMOS 스위치를 사용하였다.

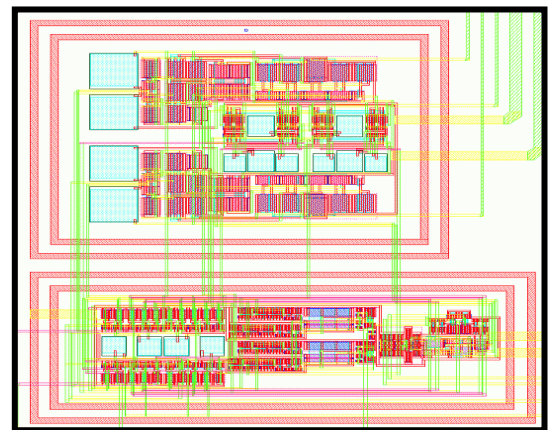


그림 8. 2 차 Σ - Δ modulator 의 레이아웃

5. 참고문헌

[1] Kyung-Jin Choi, "A 3.3V Cascade Σ - Δ Modulator Design for 12-bit, 2MS/s A/D Conversion", 2001
 [2] Ho-Youn Lee, "스위치 특성에 따른 Σ - Δ modulator 의 SNR 성능에 관한 연구", 2004
 [3] Hong-June Park "CMOS 아날로그 직접회로 설계(하)"
 [4] 이승훈, 김범섭, 송민규, 최종호 "CMOS 아날로그/혼성 모드 직접시스템 설계(하)".