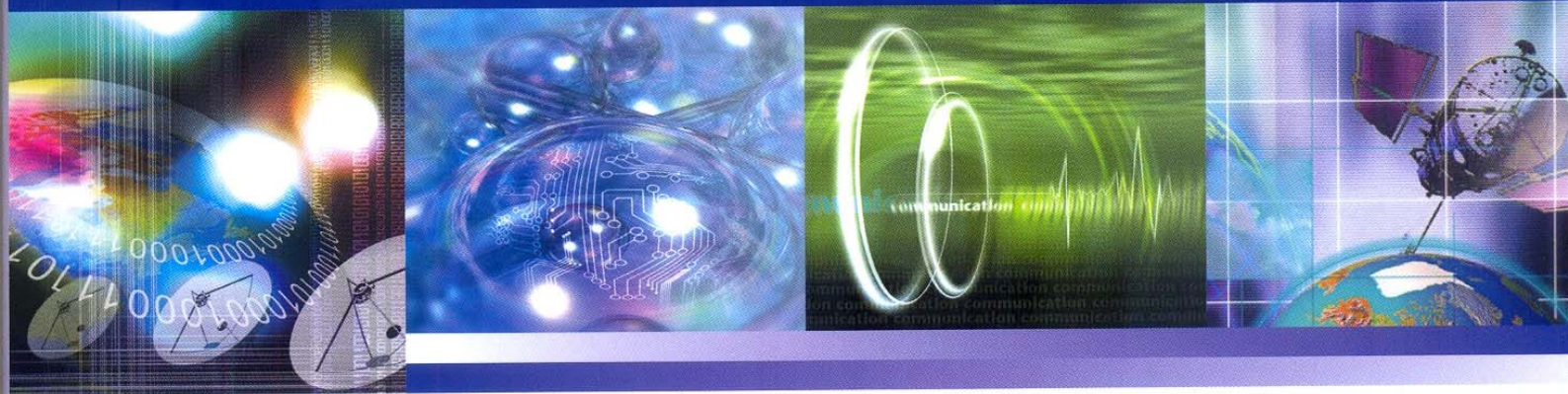


2008年度 春季

마이크로파 및 電波傳播 學術大會 論文集



KICS
Korea Information and
Communications Society



日時：2008年 5月 23日(金)

場所：동국대학교

大韓電子工學會
韓國通信學會
韓國電磁波學會
大韓電氣學會

IEEE MTT/AP/EMC Korea Chapter

▶ 장소 : 원흥관 E606

13:40~15:25

좌장 : 김영 (금오공대)

| | | | | |
|---------|-------------|--|---|----------|
| [4-1-1] | 13:40~13:55 | CRLH 전송선로를 이용한 리키 웨이브 안테나를 포함하는 평형 믹서 | 김영, 김일규, 윤영철 (금오공대, 관동대) |431 |
| [4-1-2] | 13:55~14:10 | 확장된 대역폭을 갖는 소형 Epsilon Negative ZOR 안테나 | 고승태, 박병철, 박재현, 이정해 (홍익대) |435 |
| [4-1-3] | 14:10~14:25 | 일반 물질과 접지면으로 이루어진 AMC의 이론적인 특성 분석 | 이동현, 우대응, 김기호, 지정근, 성원모, 박위상 (포항공대, (주)이엠파블유 안테나) |439 |
| [4-1-4] | 14:25~14:40 | 확장된 대역폭 특성을 갖는 CRLH (Composite Right/Left-Handed) 전송선로 누설파 안테나 | 남성수, 김준형, 조태준, 이흥민 (경기대) |443 |
| [4-1-5] | 14:40~14:55 | 주기적인 금속 스트립 패턴을 갖는 유전체 층이 있는 평행판 도파관내 전자파의 위상 특성 | 조정래, 김동식, 박동철 (충남대, (주)MTG) |447 |
| [4-1-6] | 14:55~15:10 | 두 개의 빔 형성 안테나를 위한 Haramard 행렬 급전장치 | 김재희, 조규영, 박위상 (포항공대) |451 |
| [4-1-7] | 15:10~15:25 | 유한한 정사각형 기판의 크기가 마이크로스트립 패치 안테나의 방사 특성에 미치는 영향 | 박재우, 김태영, 김부균, 신종덕 (숭실대) |455 |

15:25~16:00 Coffee Break

16:00~17:55

좌장 : 윤영 (한국해양대)

| | | | | |
|----------|-------------|---|--|----------|
| [초청논문] | 16:00~16:25 | 사파이어 기판을 이용한 94 GHz MIMIC 믹서 모듈 설계 및 제작 | 이문교, 임병욱, 문성운, 이상진, 고동식, 전병철, 백용현, 백태중, 한민, 김완주, 김삼동, 박현창, 이진구 (동국대) |459 |
| [4-1-8] | 16:25~16:40 | An dual band transformer for CMOS power amplifier application | B.Jin, J.Choi, D.Kang, D.Kim, M.Jun, J.Park, B.Kim (포항공대) |463 |
| [4-1-9] | 16:40~16:55 | MMIC 응용을 위한 InGaP/GaAs HBT를 이용한 소형화된 능동형 90° 전력 분배기에 관한 연구 | 박영배, 김세호, 조한나, 윤영 (한국해양대) |467 |
| [4-1-10] | 16:55~17:10 | Back-gate를 이용한 Low-noise의 다중밴드 LC 전압 제어 발진기 | 박지현, 류양, 이상호, 김형동 (한양대) |471 |
| [4-1-11] | 17:10~17:25 | 다중결합선로를 이용한 소형 RF 수동소자의 개발과 MMIC에의 응용 | 김세호, 박영배, 조한나, 윤영 (한국해양대) |475 |
| [4-1-12] | 17:25~17:40 | 지연 정합을 보상한 CMOS 마이크로파 주파수 체배기 | 송경주, 김승균, 최홍재, 임종식, 정용채 (전북대, 순천향대) |479 |
| [4-1-13] | 17:40~17:55 | 주기적 구조를 가지는 Si RFIC용 단파장 전송선로 개발 | 조한나, 박영배, 김세호, 윤영 (한국해양대) |483 |

지연 정합을 보상한 CMOS 마이크로파 주파수 체배기

송경주, 김승균, 최흥재, 임종식*, 정용채
 전북대학교 전자정보공학부
 *순천향대학교 전기통신공학과

Delay Matching Compensated CMOS Microwave Frequency Doubler

Kyungju Song, Seunggyun Kim, Heungjae Choi, Jongsik Lim*, Yongchae Jeong
 Dept. of Information & Communication Engineering,
 Chonbuk National Univ.
 * Dept. of Electrical & Communication Engineering,
 Soonchunhyang Univ.
 E-mail: soki3@chonbuk.ac.kr

Abstract

In this paper, a modified time-delay microwave frequency doubler is proposed. A voltage controlled delay line (VCDL) in the proposed frequency doubler compensates the time-delay mismatching between input and delayed signal. With the delay matching and waveform shaping using adjustable Schmitt triggers, the unwanted fundamental component (f_0) and the higher order harmonics such as third and fourth are diminished excellently. In result, only the doubled frequency component ($2f_0$) appears dominantly at the output port. The frequency doubler is designed at 1.15 GHz of f_0 and fabricated with TSMC 0.18 μm CMOS process. The measured output power of $2f_0$ is 2.67 dBm when the input power is 0 dBm. The obtained suppression of f_0 , $3f_0$, and $4f_0$ to $2f_0$ are 43.65, 38.65 and 35.59 dB, respectively.

I. 서론

현대 통신 시스템에서는 고속의 데이터 전송을 위해 안정되고 낮은 위상 잡음을 가지는 주파수원을 요구한다. 이를 위해 기존의 마이크로파 통신 시스템에서는 위상 고정 루프(PLL) 내의 국부 발진기가 사용되었으나 회로의 동작 주파수가 증가할수록 그 안정도가 감소하

는 특성을 가지고 있다. 이 때문에 높은 안정도와 낮은 위상 잡음을 가지는 저주파 신호원을 체배하여 원하는 고주파 신호원을 얻는 방법도 사용되고 있다^[1].

주파수 체배기의 설계 방법 중 널리 사용되는 기법은 트랜지스터의 비선형성을 이용하는 것인데^[2], 그 이유는 트랜지스터의 주기적인 고조파 응답특성에 따라 기본주파수(f_0)의 정수 배에 해당하는 고조파 성분을 얻을 수 있기 때문이다. 그러나 이러한 방법은 원하는 출력 주파수 성분을 얻을 수 있으나 원하지 않는 고조파 제거를 위한 추가적인 회로가 필요하다. 따라서 본 논문에서는 시간 지연 기법을 이용해 주파수를 체배하는 방법을 제안하였다.^[3]

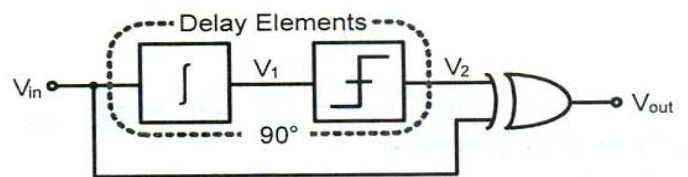


그림 1. 시간 지연 기법을 이용한 기존 주파수 2 체배기의 블록도

이 연구에 참여한 연구자는 2 단계 BK21 사업의 지원을 받았음.

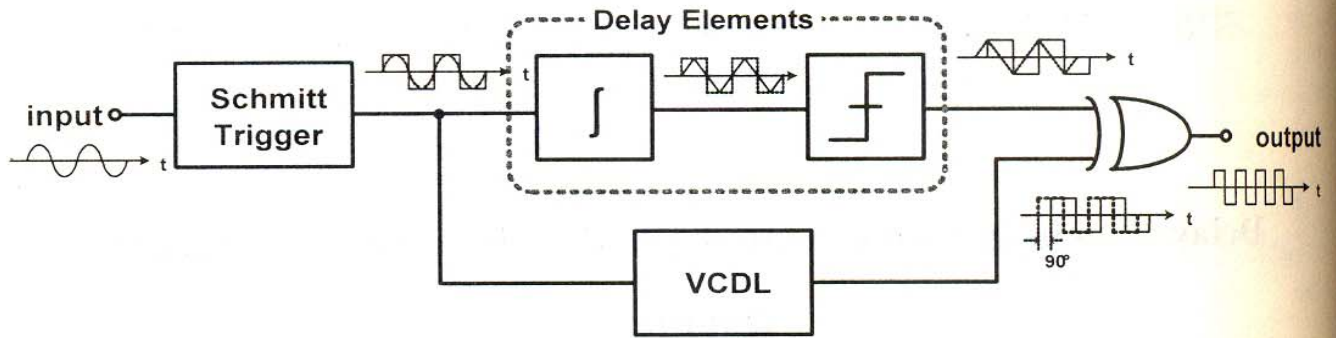
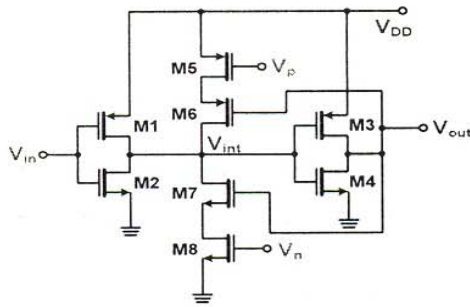


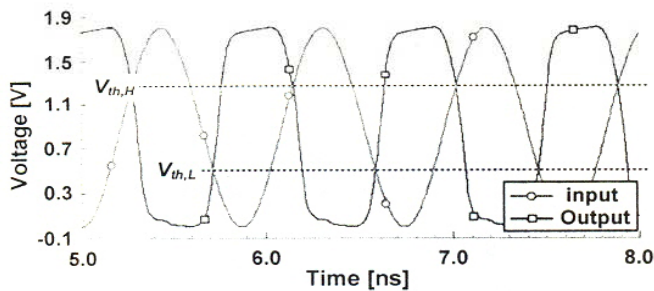
그림 2. 제안된 마이크로파 2 차 주파수 체배기의 블록도

II. 제안된 주파수 체배기 설계

그림 1 은 시간 지연 기법을 이용한 기존의 2 차 주파수 체배기의 블록도이다. 그러나 시간 지연 기법을 사용하는 기존의 주파수 체배기는 동작 주파수의 증가에 따라 두 가지 문제점을 가진다.



(a)



(b)

그림 3. 가변 슈미트 트리거 (a) 전체 회로도 (b) 입/출력 전압 파형 특성

첫째로, 일정한 duty cycle 이 보장되지 않는 것과 둘째로 duty cycle 오차가 없다고 가정했을 때, 지연소자의

위상 지연 시간 오차 에 의해 발생하는 timing 오차이다.

본 논문에서는 변형된 시간 지연기법을 기반으로 기존 회로보다 높은 주파수에서 동작 가능한 CMOS 마이크로파 2 차 주파수 체배기를 제안하였고, 기존에 문제가 되었던 duty cycle 과 timing 오차를 제거하기 위해 슈미트 트리거와 전압 제어 지연 선로를 각각 채용하였다.

그림 2 는 제안된 마이크로파 주파수 체배기의 블록도이다. 본 구조에서는 슈미트 트리거를 이용해 변형된 구형파가 지연소자(Delay Element)와 전압 제어 지연소자(VCDL)로 나누어 입력된다. 지연소자로 입력된 신호는 적분기에 의해 삼각파로 변환되며 다시 비교기에 의해 복원된 신호는 최초 입력된 구형파에 비해 90° 위상 지연을 발생하게 한다. 반면에 전압 제어 지연 선로는 기준 입력 신호가 지연 선로를 통과한 신호와 정확한 90° 위상차를 유지할 수 있도록 지연 시간을 보상해준다. 이 두 가지 신호는 XOR 게이트 동작에 의해 원하는 출력 주파수를 만들 수 있다.

1. 슈미트 트리거

그림 3 에 나타낸 것과 같이 슈미트 트리거의 입력과 출력 전압은 히스테리시스 전압 특성을 가진다. 즉, 출력 신호는 입력 신호가 기준 문턱 전압보다 높은 문턱 전압, $V_{th,H}$ 을 초과할 때 낮은 신호 레벨로 전이되고, 반대로 입력 신호가 기준 문턱 전압보다 낮은 문턱 전압, $V_{th,L}$ 보다 못 미치는 경우 출력 신호는 높은 신호 레벨로 전이된다. 그러므로 슈미트 트리거는 $V_{th,L}-V_{th,H}$ 와 $V_{th,L}-V_{th,H}$ 사이에서 발생하는 잡음에 대한 저항력을 가지는 비교기로서 사용된다. 여기서 V_p 와 V_n 의 전압을 제어하여 슈미트 트리거의 문턱전압을 조절할 수 있

기 때문에 출력 파형은 일정한 duty cycle 을 유지할 수 있다. 그림 3 (a) 는 두 개의 인버터와 4 개의 궤환 트랜지스터로 구성된 슈미트 트리거 회로도를 나타내며, 그림 3 (b) 는 시뮬레이션 결과이다.

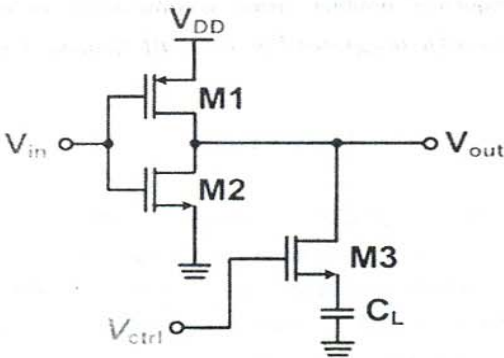
2. 전압 제어 지연 소자

전압 제어 지연 소자는 timing 오차를 보상해 주기 위한 것으로서 이 때 신호의 지연시간은 부하 커패시턴스 C_L 와 비례하기 때문에 이를 조절하기 위해 출력단에 부가적인 트랜지스터가 필요하다. 이때 지연시간은 식 (1)과 같이 표현할 수 있으며 그림 4 (a) 와 (b) 에 각각 단위 전압 제어 지연 선로 소자의 회로와 5 단 전압 제어 지연 선로의 시뮬레이션 결과를 나타내었다.

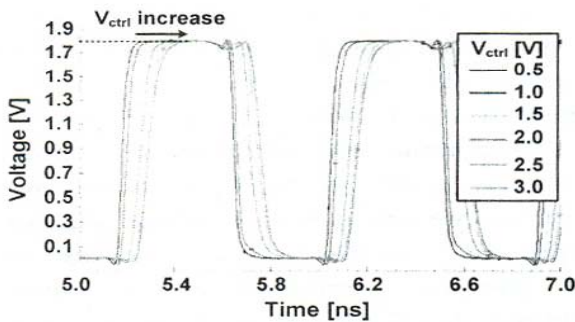
$$t_d \approx \frac{2}{\mu C_{ox} (W/L)} \cdot \frac{C_L \cdot V_{DD}}{(V_{DD} - V_{th})^2} \quad (1)$$

III. 측정 결과

제안된 2 차 주파수 체배기의 유효성을 입증하기 위해 1.15 GHz 의 입력 주파수를 2.3 GHz 로 체배하는 회로를 설계 하였다. 제안된 회로는 TSMC 0.18um 공정을 이용하였으며 그림 5 는 제작된 회로의 현미경 사진이다. 회로의 코어 크기는 0.8 x 0.5 mm² 이며 본딩 패드를 포함한 전체 크기는 약 1.1 x 0.7 mm² 이다.



(a)



(b)

그림 4. 전압 제어 지연 선로 (a) 단위 셀, (b) 조절 전압(V_{ctrl})에 따른 5 단 선로의 출력 파형

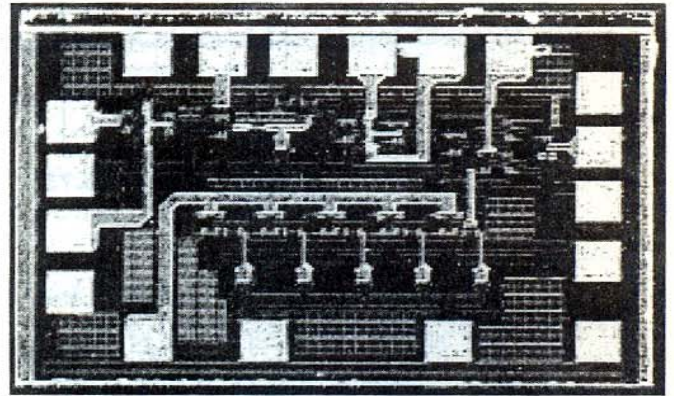


그림 5. 제작된 마이크로파 2 차 주파수 체배기의 현미경 사진

이때 공급전압은 1.8 V 이고 전류는 약 40 mA 를 소모하였다. 그림 6 은 제작된 마이크로파 2 차 주파수 체배기의 출력 스펙트럼 시뮬레이션과 측정 결과이다. 0 dBm 의 입력 신호를 인가해 주었을 때, 측정된 출력 주파수의 전력은 2.67 dBm 이며 이에 대한 f_0 , $3f_0$ 와 $4f_0$ 의 고조파 제거율은 각각 43.65, 38.65, 그리고 35.59 dB 이다. 그리고 입력 주파수 신호가 10 kHz, 100 kHz, 500 kHz 의 오프셋에서 각각 -102.2 dBc/Hz, -118.5 dBc/Hz, -121.7 dBc/Hz 의 위상 잡음을 가질 때, 출력 주파수의 위상 잡음은 10 kHz, 100 kHz, 500 kHz 의 오프셋에서 각각 -97.01 dBc/Hz, -109.7 dBc/Hz, -115.5 dBc/Hz 의 결과를 얻었다. 특히 측정된 주파수 체배기의 위상 잡음은 이론적으로 계산된 주파수 체배기의 위상 열화 값인 $20\log(2) = 6\text{dB}$ 보다 개선된 결과를 보이고 있는데 이는 기본파 및 원하지 않는 고조파의 차단 특성에 기인한다.

참 고 문 헌

- [1] Sang-Keun Park, Nam-Sik Ryu, Heung-Jae Choi, Chae Jeong and Chul-Dong Kim, "A Novel Design of Frequency Multiplier Using Feedforward Technique on Defected Ground Structure," *36th European Microwave Conference*, pp. 224-227, Sep. 2006.
- [2] Sujin Seo, Yongchae Jeong, Jongsik Lim, Blake Granger, J. Stevenson Kenney, "A Novel Design of Frequency Multiplier Using Composite Right/Left Handed Transmission Line," *MTT-S Digest*, pp. 2185-2188, Jun. 2007.
- [3] Y. Lee, K. Kim, "Clock multiplier using digital logic standard cells for high-speed digital communication systems," *Electronics Letters*, vol. 35, no. 24, pp. 2073-2074, Nov. 1999.
- [4] Brad R. Jackson and Carlos E. Saavedra, "An LCMOS frequency doubler using a time-delay technique," *Silicon Monolithic Integrated Circuits in RF Systems*, Jan. 2000.

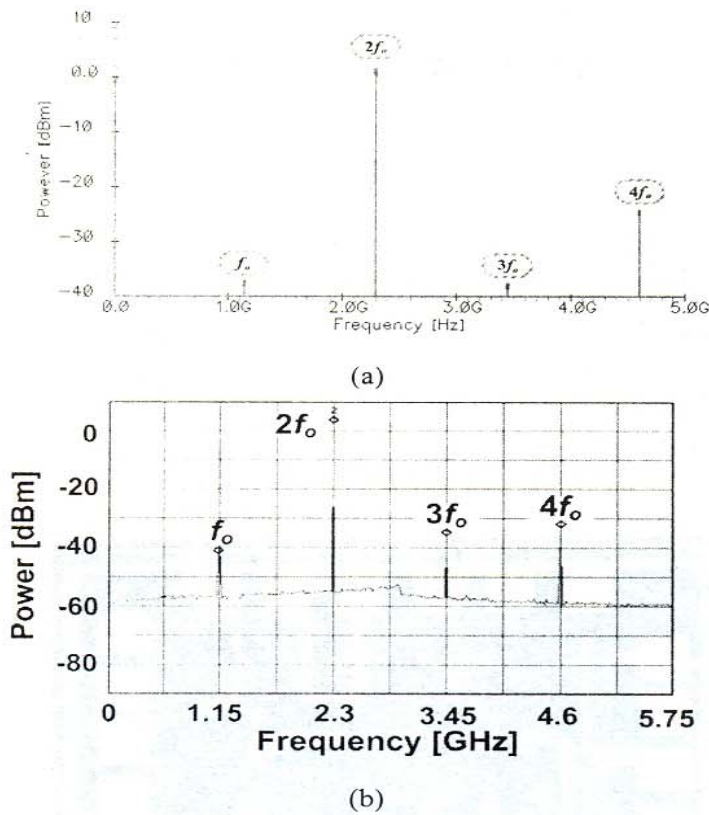


그림 6. 1.15 GHz 에서 0 dBm 의 입력 신호를 인가했을 때의 출력 스펙트럼 (a) 시뮬레이션 결과 (b) 측정결과.

IV. 결 론

본 논문에서는 변형된 시간 지연 기법을 이용하여 동작 주파수를 높이고 원하지 않는 고조파 성분을 제거하는 CMOS 마이크로파 2 차 주파수 체배기의 설계 방법을 제안하였다. 기존의 회로는 duty cycle 과 timing 오차 때문에 동작 주파수가 제한되었으나 제안된 구조에서는 슈미트 트리거와 전압 제어 지연 선로를 조절하여 두 가지 문제를 해결할 수 있었다.

측정 결과에서 제작된 2 차 주파수 체배기의 전력 소모량이 증가된 단점이 있는데 이는 성능 개선을 위해 사용된 트랜지스터의 수가 늘어났기 때문이며, 향후 본 구조를 응용하여 3, 4 차 주파수 체배기의 설계도 가능할 것이라 기대된다.