

2012년도 대한전자공학회

하반기종합학술대회 프로그램

2012 IE EK SUMMER CONFERENCE

2012년 6월 27일 (수) ~ 29일 (금)

제주그랜드호텔 (제주시)

The Institute of
Electronics Engineers of Korea

주최 : 사단법인 대한전자공학회

후원 : 해동과학문화재단, 삼성전자(주), LG전자(주),
SK하이닉스, KT, 전자부품연구원, SKT(주)

협찬 : 현대자동차, 현대오트론, 현대엠엔소프트, 현대모비스,
삼성전기(주), 유정시스템(주), (주)엠에이, (주)로보티즈,
피어슨코리아, 시앤시 인스트루먼트(주), 소셜네트워크,
공간정보기술, 싸이버원, 흥능출판사

JEJU GRAND HOTEL

76. Matrix Picker & Placer 를 가진 die bonder 에서 chip을 pick, bond 하는 새로운 방법에 대한 연구 ▶CFP-136 김필준(삼성전자공과대학교), 하용대, 박현호, 박정희(삼성전자)	385
77. A 10GHz Wideband Low-Noise Amplifier ▶CFP-485 김혜원, 신지혜, 이진주, 박성민(이화여자대학교)	388
78. 2.2~2.9GHz 광대역 4위상 국부 신호 발생기 설계 ▶CFP-041 유남식, 박성두, 현석봉, 이광천, 정용채(한국전자통신연구원)	391
79. 고속 자동 주파수 제어 회로를 적용한 2.1-2.9GHz 클럭발생기 ▶CFP-007 이희동, 박봉혁, 조영균, 유남식, 현석봉, 정재호, 이광천(한국전자통신연구원)	395
80. 포락선 추적 전력 증폭기를 위한 광대역 전원 변조기 ▶CFP-455 장승현, 정재호, 이광천(한국전자통신연구원)	399
81. EDSSM 송신기를 위한 20-MHz 대역폭, 1.5-비트 연속시간 델타-시그마 모듈레이터 ▶CFP-165 조영균, 이성준, 장승현, 박봉혁, 정재호, 이광천(한국전자통신연구원)	403

통신 소사이어티(구두)

초청논문

01. Modulation Designs for Multiple Antennas with Low Complexity Receivers Prof. Xiang-Gen Xia(Univ.of Delaware & 전북대학교)	
02. Conditions on Recovery of Sparse Signals for Compressed Sensing over Finite Fields ▶CFP-606 성진택, 이홍노(광주과학기술원)	409
03. 다중입력다중출력 구형 검출기를 위한 복잡도 예상 방법 ▶CFP-609 장환철, 이홍노(광주과학기술원)	411
04. M-ary TH-PPM 초광대역 시스템에서 다중사용자를 위한 진화된 수신기의 성능평가 ▶CFP-442 안진영, 김상준(동아대학교)	414
05. 채널의 상관관계가 있는 협력 스펙트럼 센싱 에서 센싱 성능 향상을 위한 사용자 선택 기법 ▶CFP-458 서승대, 노고산, 박요섭, 이석원, 임성묵, 홍대식(연세대학교)	417
06. 너울로 형성된 주위 잡음이 수중 음파 통신에 미치는 영향 분석 ▶CFP-027 신승원, 윤남열, 김지언, 박수현(국민대학교)	420
07. 에너지 하베스팅 인지 무선 시스템에서의 스펙트럼 센싱 성능 분석 ▶CFP-119 정원석, 박성수, 김범주, 홍대식(연세대학교)	423
08. 클럭 오프셋을 고려한 실내 무선측위 정밀도 향상 기법 ▶CFP-497 임이랑(숭실대학교), 강지명, 이순우, 박영진(한국전기연구원), 정홍규, 응웬뚜랑녹, 신요안(숭실대학교)	426

2.2~2.9GHz 광대역 4위상 국부 신호 발생기 설계

유남식, *박성두, 현석봉, 이광천, *정용채
한국전자통신연구원 이동RF연구팀
e-mail : *namsik4085@etri.re.kr*

A 2.2-2.9GHz Wide Band Quadrature LO Generator Design

Namsik Ryu, *Sungdoo Park, Seokbong Hyun, Jaeho Jung, Kwangchun Lee, and *Yeongchae Jeong
Mobile RF Research Team,
Electronics and Telecommunications Research Institute
*Division of Electronic Engineering, Chonbuk National University

Abstract

In this paper, an wide band quadrature LO signal generator and I/Q phase adjustor are presented. LO signal generator is consisted of the wide band operating VCO, I/Q frequency divider, and other buffers. The designed W-VCO can be obtained oscillation frequency of 4.8~5.8 GHz using the 4-bit cap band circuit. And an I/Q frequency divider is designed to divide the output frequency of the W-VCO stably. In addition, the designed I/Q phase adjustor can be controlled the output phase of 6° by control voltage (V_c). The proposed circuits are implemented in 0.13um RF-CMOS process of TSMC.

I. 서론

최근에 무선통신 시스템의 발전에 따라 많은 시스템을 하나의 칩(One chip)으로 구현하고자 하는 노력이 많이 하고 있다. 이 때문에 RF 송수신부에서는 전력소모가 적고, 쉽게 집적화 할 수 있는 direct conversion

구조를 일반적으로 사용하고 있다. 이 direct conversion 구조를 이용하기 위해서는 LO pulling 효과와 Image 신호에 의한 신호 성능 저하를 예방하기 위해서, 2배 주파수의 국부(Local) 신호 생성기가 필요하고, 이를 4개의 위상으로 만들어주는 I/Q 발생기를 필요로 한다. 그러나 높은 주파수 성분을 가지는 I/Q 신호의 위상은 레이아웃이나 회로 주변 환경, 그리고 외부 요인에 의해 민감하게 반응하기 때문에 3~5° 정도의 위상 오차를 발생시키게 된다. 이는 송/수신부의 성능에 직접적인 영향을 주기 때문에 높은 변조 방식을 요구하는 시스템에서는 굉장히 중요한 문제가 된다 [1]-[3].

본 논문에서는 2.3~2.7 GHz의 광 대역에서 사용할 수 있는 최적화 된 국부 신호 생성부 구조를 제안하고, RF 송수신 부의 Image 신호를 줄일 수 있는 RF I/Q 위상 보정 회로에 대해서 제안한다.

II. 본론

2.1 국부 신호 발생기 구조

제안하는 국부 신호 발생기의 블록 다이어그램은 그림 1에 나타내었다. 먼저 2.3~2.7 GHz까지 동작하는 국부 신호를 만들기 위해서 2배 주파수인 4.6~5.4 GHz까지 동작하는 광대역 전압제어 발진기(W-VCO)

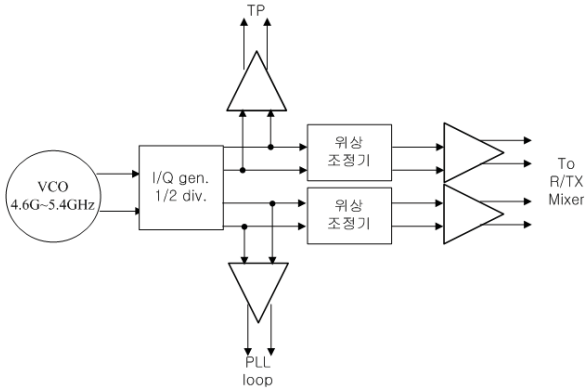


그림 1. 국부 신호 발생기의 전체 블록다이어그램.

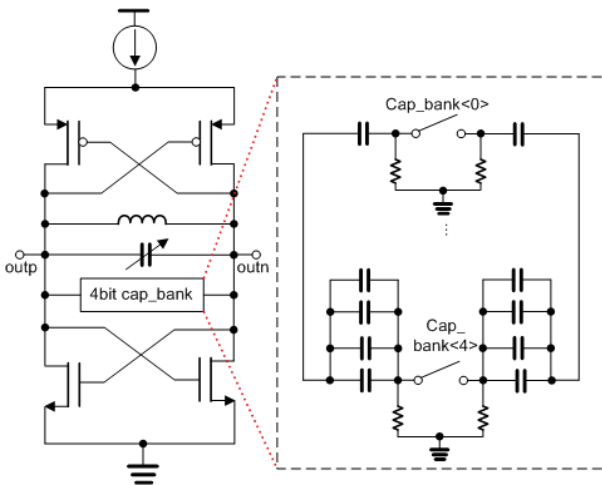


그림 2. 광 대역 전압 제어 발진기의 회로도.

를 설계하였고, 이 신호를 2분주 하면서 동시에 I/Q 신호를 만들어 내는 I/Q 주파수 분주기 (I/Q Div2) 가 설계되었다. I/Q 발생기의 출력 신호의 일부는 PLL 루프를 구성하기 위한 Prescaler 로 인가되고 다른 한 신호는 PLL 성능을 관측할 수 있는 핀으로 연결되어 있다. 그리고 I/Q 국부 신호의 또 다른 일부는 송/수신단의 주파수 변조기로 신호를 전송하는 부분으로 구성되었는데, 이 부분에서 I/Q의 위상 에러를 보정할 수 있는 위상 조정기와 적절한 AC 전압 크기를 조정할 수 있는 버퍼들로 회로는 구성되어 있다.

2.2 W-VCO 설계

제안된 광대역 W-VCO의 회로는 차동 구조의 LC 발진기 구조로 설계되어 있다. 중심 블록 회로도에는 그림 2에서 보여주듯이, 일반적인 n-p 형태의 차동 구조와 광대역 동작을 위한 4bit cap-bank가 결합된 구조이다. LC VCO는 인덕터와 커패시터의 공진에 의해서 출력 주파수가 결정되는데, 광대역 주파수의 가변범위를 갖기 위해서는 넓은 커패시터의 변화량이 요구된

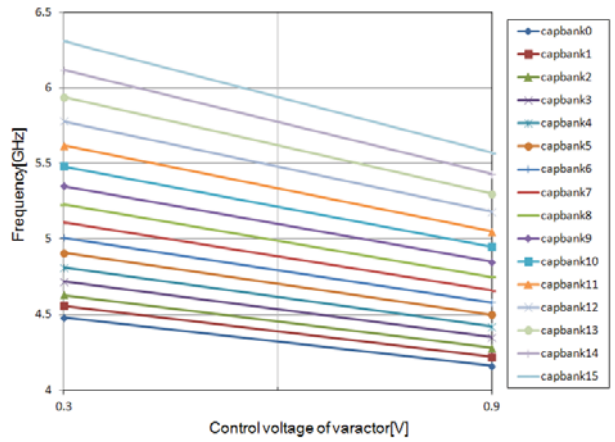


그림 3. cap-bank에 따른 W-VCO의 출력주파수 시뮬레이션 결과.

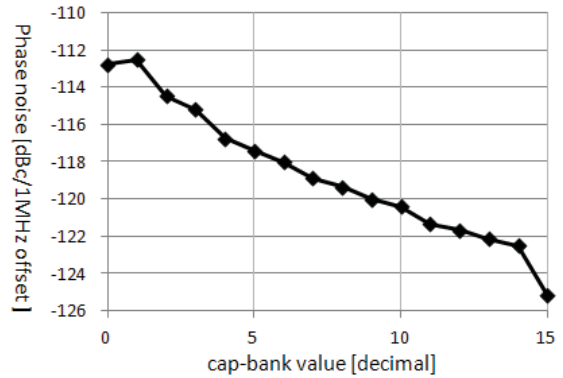


그림 4. 설계된 W-VCO의 cap-bank에 따른 위상 노이즈 물레이션 결과 (1MHz offset 주파수).

다. 일반적으로는 전압 제어 가변 커패시터를 사용하여 커패시턴스의 변화를 유도하지만, 이 커패시터의 변화량이 적정량 이상으로 커지게 되면, 제어 전압을 통해 인가되는 작은 노이즈 신호에 주파수가 흔들리는 정도가 민감하게 된다. 이로 인해 VCO의 위상 노이즈 성능이 저하되기 때문에, 작은 용량의 가변 커패시터와 스위칭 커패시터를 이용해서 광대역의 발진 주파수를 발생시키도록 하였다 [3]. 그림 3에서 각각의 cap-bank에 따라서 설계된 W-VCO의 출력 주파수에 대한 시뮬레이션 결과를 보여주고 있다. 본 W-VCO의 출력 주파수의 범위는 4.3~6 GHz 까지 발생 시킬 수 있고, 이를 2분주를 하고 난 후에는 2.15~3 GHz까지의 신호를 송/수신단의 주파수 변조기에 인가 할 수 있게 된다. 그리고 그림 4는 설계된 W-VCO가 cap bank 값에 따라서 1 MHz offset 주파수에서 갖는 위상 노이즈 특성을 보여주고 있다. W-VCO의 위상 노이즈는 cap bank값이 낮을수록 동작 주파수가 높아지기 때문에 성능이 저하되는 특성을 갖고 있다.

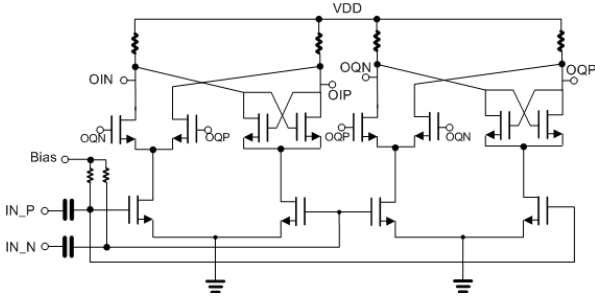


그림 5. I/Q Div2의 회로도

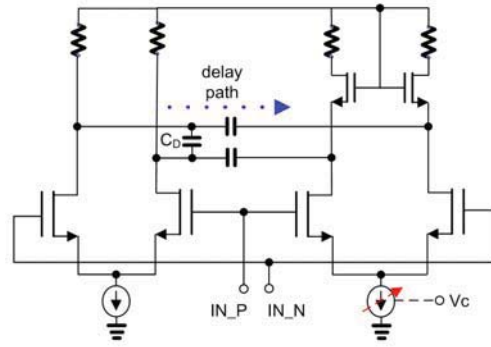


그림 7. 위상 조정기의 회로도

Sensitivity Curve

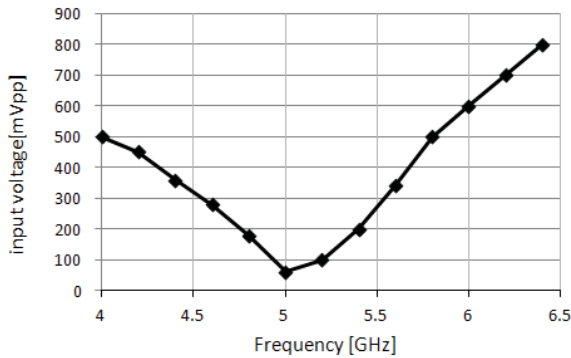


그림 6. I/Q Div2의 주파수에 대한 민감도 곡선.

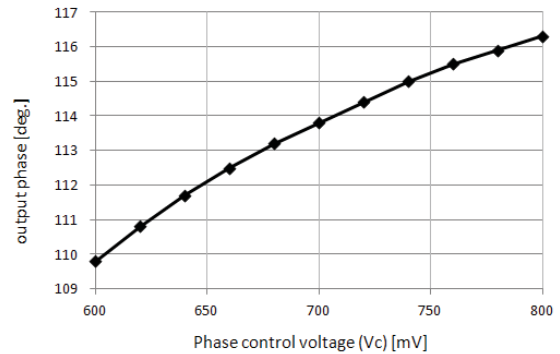


그림 8. 위상 조정기의 조정 전압 (Vc)에 따른 출력 위상의 변화량 곡선.

2.3 I/Q Div2 설계

W-VCO에서 발생시킨 신호는 I/Q Div2를 통해 2배로 주파수를 낮추는 동시에 I/Q 신호를 생성하여 송/수신단에 인가되게 된다. 본 I/Q Div2는 높은 주파수에서 동작 특성이 좋은 current mode logic (CML) 형태의 구조를 이용하였다. 설계된 I/Q Div2는 그림 5에서 나타냈듯이 2개의 D 플립 플롭 회로를 결합하였고, 서로를 cross couple을 이용하여 I/Q의 차동 출력 신호를 만들어낼 수 있는 구조를 이용하였다. 그리고 최대 동작 주파수가 출력단에 연결되는 커패시턴스에 매우 민감하게 반응하기 때문에 출력단에는 높은 입력 임피던스를 가지는 버퍼를 연결하여, 안정적으로 W-VCO가 내보내주는 출력 주파수를 2분주할 수 있도록 설계하였다 [2].

그림 6에서 설계된 I/Q Div2가 적절하게 동작하기 위해 주파수에 따라서 요구되어지는 최소 입력 신호에 대한 시뮬레이션 결과를 보여주고 있다. 그림에서 보듯이, 2.5 GHz의 자체 발진 특성을 가지고 있고, 전체 4~6.4 GHz까지 안정적으로 동작하기 위해서는 800 mVpp의 차동 신호가 인가되어야 한다는 것을 알 수 있다.

2.4 위상 조정기.

I/Q Div2를 통해 생성된 I/Q 신호는 송/수신단의 주파수 변조기(Mixer)로 인가되는데, 실제로 구현 시 I/Q의 위상이 mis-match로 인해 위상 오차를 초래하게 된다. 이 위상 오차는 송/수신부의 이미지 신호를 발생시켜, Direct conversion 구조의 시스템의 성능 저하를 유발하게 된다. 그래서 본 논문에서는 국부 신호의 I/Q 위상을 조정할 수 있는 회로를 삽입하여, 디지털 블록의 도움없이 RF 송/수신부 자체적으로 위상 오차를 보정할 수 있도록 설계하였다. 본 위상 조정기는 그림 7에 보듯이, 차동 입력을 받아 위상 지연 경로와 원 신호 경로로 나뉘게 되고, 신호의 크기가 다른 두 신호가 결합됨에 따라 최종 출력의 위상이 결정되게 된다. 또한 원 신호 경로의 크기를 조정함으로써, 최종 출력 위상은 조정되게 된다. 그림 8에서 출력 위상이 조정 전압 (Vc)에 따라서 최종 출력의 위상이 조정되는 시뮬레이션 결과를 보여주고 있다.

III. 구현

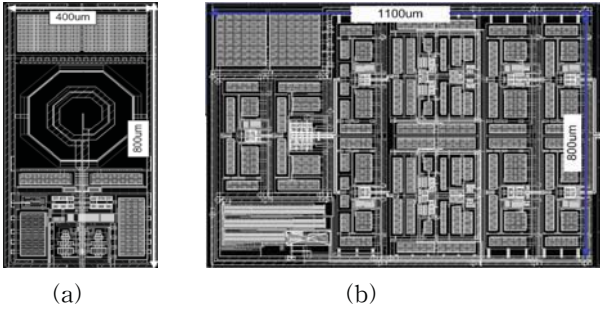


그림 9. layout 사진: (a) W-VCO (400×800 μm^2), (b) I/Q Div2, 위상 조정기 및 버퍼들 (1100×800 μm^2).

제안된 국부 신호 발생기를 구현하기 위해 TSMC 130 nm CMOS 공정을 이용하였다. 그림 9는 W-VCO와 I/Q Div2와 위상 조정기 및 버퍼들의 layout 사진을 보여주고 있다. PLL과 RF 송/수신부를 2개의 chip으로 나누어 설계하였기 때문에, 나누어 도시하였다. I/Q Div2, 위상 조정기 및 버퍼들의 회로는 1100×800 μm^2 크기를 가지고, VCO의 회로는 800×400 μm^2 의 크기를 가진다. 설계된 I/Q Div2, 위상 조정기 및 버퍼들은 1.2 V 전원전압에 32 mA의 전류를 소모하고, W-VCO는 같은 전원 전압에 2 mA의 전류 소모를 한다.

그림 10은 설계된 W-VCO 및 국부 신호 단이 RF 송신부와 연결되어 출력으로 나오는 신호의 실험 결과들을 보여주고 있다. RF 송신부의 기저 대역 주파수 신호는 500 kHz 신호를 인가했고, W-VCO의 출력 신호는 5.08 GHz로 setting 되어 있으며, 이를 2분주하여 2.54 GHz의 신호가 주파수 변조기 입력으로 인가되게 하였다. 그림 10 (a) 에서와 같이 송신부의 최종 출력에서 나오는 신호는 주파수 상향 변조되어 2.5405 GHz 신호가 나오고, I/Q 위상과 이득 오차에 의해 이미지 (Image)신호가 존재한다는 것을 확인할 수 있었다. 본 실험에서는 설계된 위상 조정기의 조정 전압을 조정함으로써, 그림 10 (b)에서와 같이 이미지 신호를 30 dB 이상 줄일 수 있음을 입증 하였다.

IV. 결론 및 향후 연구 방향

본 연구에서는 광대역에서 동작 할 수 있는 전압 제어 발진기와 I/Q 주파수 분주기를 설계하였고, 국부 신호의 I/Q의 위상 오차를 보정할 수 있는 회로를 설계함으로써, 멀티 시스템을 하나의 chip으로 구현하는 RF 송/수신부에서 사용 가능한 국부 신호 발생기를 구현하였다. 국부 신호의 동작 주파수 대역은 2.2~2.9 GHz까지 동작함을 볼 수 있었고, 총 전력 소모는 40.8

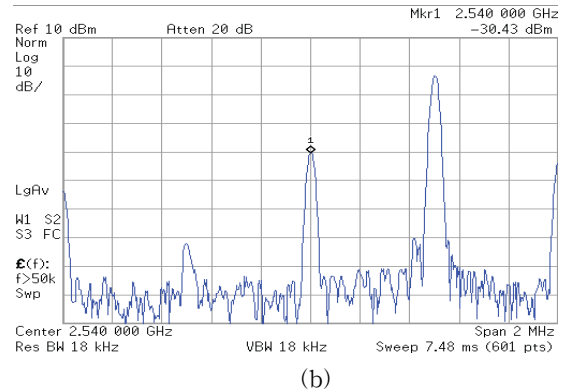
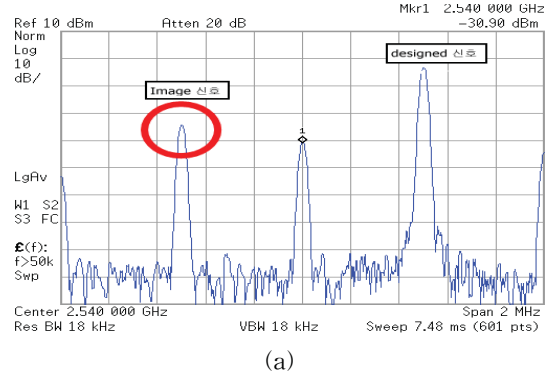


그림 10. RF 송신부 측정 결과 (a) 국부 신호의 위상 조정 전, (b) 국부 신호의 위상 조정 후.

mW 임을 알 수 있었다. 그리고, 송신부와와의 연동 실험을 통해 국부 신호의 위상 조정으로 Image 신호를 30 dB 이상 줄일 수 있음을 입증하였다.

Acknowledgement

본 연구는 지식경제부의 정부출연금 연구사업의 일환으로 수행하였음. [차세대 이동통신 기지국용 Class-S 전력증폭기 기술연구]

참고문헌

- [1] T.H. Lee, and A. Hajimiri, "Oscillator phase noise : a tutorial," *IEEE Journal of Solid State Circuit*, vol. 35, no. 3, pp. 326-336, March 2000.
- [2] U. Singh, et al, "Dynamics of high frequency CMOS dividers." *IEEE International Symposium on Circuits and Systems*, vol 5, pp. 421-424, May 2002.
- [3] Y. Park, et al, "Wide-Band CMOS VCO and Frequency Divider Design for Quadrature Signal Generation," *International Microwave Symposium Digest*, vol 3, pp. 1493 -1496, June 2004.