

제20회 The 20<sup>th</sup> Korean Conference on Semiconductors (KCS 2013)

# 한국반도체학술대회

2013년 2월 4일(월)~6일(수)

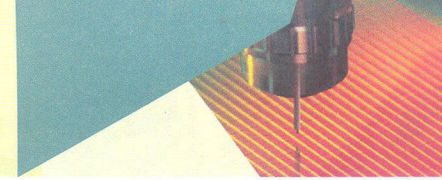
웰리힐리파크(구 성우리조트)

**“Semiconductor for Energy Saving,  
Human Interface and Connectivity”**

- 주관 동부하이텍  
한국반도체산업협회  
한국반도체연구조합

- 주최 한국물리학회 반도체분과회  
한국재료학회  
대한전기학회 전기재료연구회  
대한전기학회 MEMS 연구회  
대한전자공학회 반도체재료 및 부품연구회  
대한전자공학회 SoC 설계연구회  
반도체설계교육센터(IDEC)

- 후원 동부하이텍, 삼성전자, SK 하이닉스,  
한국과학기술정보연구원, 한국램리서치(주),  
ASML Korea, 한국전자통신연구원, (주)제니컴,  
토파인포토마스(주), (주)실리콘웍스, 시놉시스 코리아,  
(주)실리콘화일, (주)피델릭스, 전자부품연구원,  
(주)뉴파워프라즈마, (주)한국멘토그래픽스,  
(주)에프씨아이, (주)넥스트칩



**TP2-13**

**Non-Volatile Dual Mode Operation Ferroelectric Polymer Memory**  
Richard Hahnkee Kim, Insung Bae, and Cheolmin Park  
Department of Materials Science and Engineering, Yonsei University

**TP2-14**

**Majority Carrier 종류에 따른 Graphene Channel의 펄스응답전류 특성 분석**  
이재은<sup>1</sup>, 정옥진<sup>2</sup>, 김진주<sup>3</sup>, 이영곤<sup>2</sup>, 김용훈<sup>2</sup>, 강창구<sup>2</sup>, 장경은<sup>2</sup>, 이병훈<sup>2,3</sup>  
<sup>1</sup>College Chemistry Concentration, Gwangju Institute of Science and Technology, <sup>2</sup>광주과학기술원 신소재공학부, <sup>3</sup>광주과학기술원 나노바이오 전자재료공학과

**TP2-15**

**PVDF/Graphene Multilayer for Flexible Applications**  
Sang-Hoon Bae, Bhupendra K. Sharma a, JungGou Kwon, and Jong-Hyun Ahn  
School of Advanced Materials Science and Engineering, and Sungkyunkwan University Advanced Institute of Nanotechnology, Sungkyunkwan University

**TP2-16**

**Flexible Thin-Film Schottky-Junction Silicon Solar Cell based on 2D Carbon Material**  
Seok Ryul Choi, Seoung-Ki Lee, and Jong-Hyun Ahn  
School of Advanced Materials Science and Engineering, Sungkyunkwan University

**TP2-17**

**Fabrication of Graphene Nanoribbon Arrays using Block Copolymer Nanolithography**  
Myungwoo Son<sup>1</sup>, Jeong Gon Son<sup>3,5</sup>, Jae-Min Myoung<sup>4</sup>, Caroline A. Ross<sup>5</sup>, and Moon-Ho Ham<sup>1,2</sup>  
<sup>1</sup>Department of Nanobio Materials and Electronics, Gwangju Institute of Science and Technology, <sup>2</sup>School of Materials Science and Engineering, Gwangju Institute of Science and Technology, <sup>3</sup>Photo-electronic Research Center, Korea Institute of Science and Technology, <sup>4</sup>Department of Materials Science and Engineering, Yonsei University, <sup>5</sup>Department of Materials Science and Engineering, Massachusetts Institute of Technology

**TP2-18**

**Flexible Tactile Sensors with a Single Crystal Silicon Array on Polymer Substrate**  
Min Hoon Park<sup>1</sup>, Jang Houk<sup>2</sup>, Min Seok Kim<sup>2</sup>, Han Wook Song<sup>2</sup>, and Jong-Hyun Ahn<sup>1</sup>  
<sup>1</sup>School of Advanced Materials Science and Engineering, Sungkyunkwan University, <sup>2</sup>Korea Research Institute of Standards and Science

**TP2-19**

**Gas Sensing 물질을 이용한 Si 나노와이어 표면의 Wetting Property 조절**  
이순일<sup>1</sup>, 서정목<sup>1</sup>, 한희탁<sup>1</sup>, 정희봉<sup>2</sup>, 이우영<sup>2</sup>, 이태윤<sup>1</sup>  
<sup>1</sup>연세대학교 전기전자공학부 나노바이오소자 연구실, <sup>2</sup>연세대학교 신소재공학부 나노소자 연구실

**TP2-20**

**A Wideband Stacked CMOS Linear Power Amplifier**  
고재용<sup>1</sup>, 김기현<sup>1</sup>, 이진택<sup>2</sup>, 문탁수<sup>2</sup>, 남상욱<sup>1</sup>  
<sup>1</sup>서울대학교 전기공학부 뉴미디어통신공동연구소, <sup>2</sup>(주)동부하이텍

**TP2-21**

**트랜스포머 기반의 다중모드 다중대역 전압제어발전기 설계**  
여장치, 이동수, 이강운  
성균관대학교 정보통신대학

**TP2-22**

**실리콘 기판저항 최적화를 통한 High Q 인덕터 개발**  
김수태<sup>1</sup>, 유광동<sup>1</sup>, 정용채<sup>2</sup>  
<sup>1</sup>동부하이텍 공정개발1팀, <sup>2</sup>전북대학교 전자정보공학부

**TP2-23**

**RF 트랜지스터의 포화 드레인 전류 열화특성 개선을 위한 디자인 최적화**  
김수태<sup>1</sup>, 유광동<sup>1</sup>, 이상기<sup>1</sup>, 조용수<sup>1</sup>, 정용채<sup>2</sup>  
<sup>1</sup>동부하이텍 공정개발1팀, <sup>2</sup>전북대학교 전자정보공학부

**TP2-24**

**Effects of TiO<sub>2</sub> Compact Layer in Dye-Sensitized Solar Cell using AZO Transparent Electrode**  
O. J. Park, K. J. Lee, S. W. Song, J. H. Roh, I. H. Yer, H. S. Kim, and B. M. Moon  
Department of Micro Device Engineering, Korea University

**TP2-25**

**Fabrication of Silicide/Silicon Hetero-Junction Structured Device and Seebeck Coefficient Measurement**  
Wonchul Choi<sup>1,2</sup>, Young-Sam Park<sup>1</sup>, Younghoon Hyun<sup>1</sup>, Taehyoung Zyung<sup>1</sup>, Jaehyeon Kim<sup>1,3</sup>, Soojung Kim<sup>1,3</sup>, Hyojin Jeon<sup>1,3</sup>, Mincheol Shin<sup>2</sup>, and Moongyu Jang<sup>1,3</sup>  
<sup>1</sup>Convergence Components & Material Research Lab., Electronics and Telecommunications Research Institute, <sup>2</sup>Department of Electrical Engineering, KAIST, <sup>3</sup>Department of Advanced Device Technology, University of Science & Technology

**TP2-26**

**스크린프린팅 공정기법을 이용한 열전 발전소자의 공정 및 구조 최적화**  
위주형<sup>1</sup>, 김선진<sup>1</sup>, 김경수<sup>2</sup>, 조병진<sup>1</sup>  
<sup>1</sup>KAIST 전기 및 전자공학과, <sup>2</sup>(주)휘닉스소재

2013년 2월 5일(화) 포스터 발표

# 실리콘 기판저항 최적화를 통한 High Q 인덕터 개발

김수태, 유광동, 정용채

동부하이텍 공정개발 1팀, 전북대학교 전자정보공학부

## 초록

This paper presents a novel high-Q inductor using ultra thick metal and optimization of silicon substrate resistance. The proposed high-Q inductor was fabricated in 110nm RF-CMOS technology with zero processing step addition with comparison to reference process. And, the proposed inductor compared the Q-factor of conventional inductor can be obtained from 3D EM simulation. Silicon result shows an increased quality factor of 9~12% improvement.

## 1. 서론

오늘날 반도체 공정 기술의 발전과 함께 초고주파 회로의 집적화 연구가 활발해지고 있다. 이에 발맞추어 VCO 나 LNA 등 초고주파 회로에 많이 사용되는 인덕터를 집적회로로 구현하는 것이 중요시 되고 있다. 대부분의 초고주파 집적회로에서 인덕터는 구현 방법이 쉽고 편리한 평면형의 나선 인덕터를 사용한다. 하지만 인덕터를 구성하는 금속선의 직렬저항과 실리콘 기판과 금속선 사이의 손실에 의해 Q factor 가 10을 넘지 못한다. 이 때문에 인덕터의 특성이 초고주파 회로의 특성을 제한한다.

인덕터의 낮은 Q factor 를 보완하기 위하여 다양한 방법이 연구되고 있으며, 그 형태는 크게 두 가지로 나눌 수 있다. 첫째, 금속의 비 저항이 적은 메탈, 멀티 메탈, 두꺼운 메탈 등을 통해 금속선의 직렬저항을 줄이는 방법이 사용되고 있다. 그러나 이런 방법들은 기존 공정에 추가적인 공정이 추가됨에 따라 비용 면에서 큰 이점이 없으며 특히 Q factor 가 낮아 RF 회로 설계에 제한을 주는 넓은 width 인덕터에서의 특성 개선은 제한 적이다. 둘째, pattern ground shield, air bridge 등을 통해 실리콘 기판과 금속선 사이의 손실에 줄이는 것으로 pattern ground shielding 방법이 가장 많이 연구되고 있다. 그러나 이러한 방법은 특정 주파수에서는 Q factor 향상을 보이지만 차기 공명주파수(SRF)가 감소하여 operation frequency range 가 감소시키는 문제가 있다..

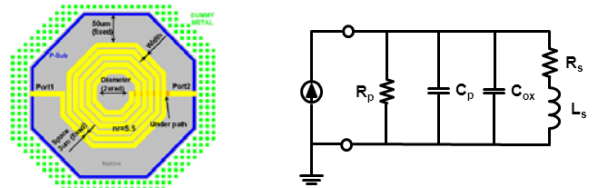
본 연구에서는 기판 저항이 인덕터의 특성에 미치는 영향을 수식적으로 분석하여 EM 시뮬레이션을 통해 최적의 기판저항을 예측하고 이를 0.11um RF-CMOS 공정에 적용하여 실리콘 검증을 하였다. 또한 이를 바탕으로 기판저항 변화에 따른 인덕터의 특성을 반영할 수 있는 새로운 등가 모델을 제안하였다.

기판저항에 대한 기존의 연구는 SOI 공정의 높은 기판저항을 사용하여 edgy current 를 줄임으로써 Q factor 를 개선하였으나 이 때문에 표준 CMOS 공정에서 공정이 추가되어 비용이 증가와 기존 CMOS 소자의 래치 업 특성 등이 열화되는 문제점이 있었으나 본 논문에서는 현 상업적인 CMOS 공정에서 사용하는 일반적인 기판 저항 범위에서도 최적화 통해 인덕터의 Q factor 를 혁신적으로 개선할 수 있음을 보여 주었다.

## 2. 인덕터 특성 분석

인덕터의 특성을 결정하는 요소는 인덕턴스, 공진주파수, 그리고 Q factor 이다. 이 중에서 Q factor 는 인덕터를 평가하는 가장 중요한 요소로 RF 회로의 특성을 결정한다.

MMIC 에서 인덕터는 [그림 1]과 같이 평면형의 spiral 형태로 구현되며 Q factor 는 식(1)과 같이 정의 할 수 있다. 식(1)에서 Rs 와 Ls 는 인덕터를 구성하는 금속선의 물질과 길이에 관계된다. 또한 Rp, Cp 그리고 Co 는 기판의 물질 및 IMD 두께에 관계되며 실리콘 손실에 의한 인덕터의 Q factor 에 영향을 미친다.

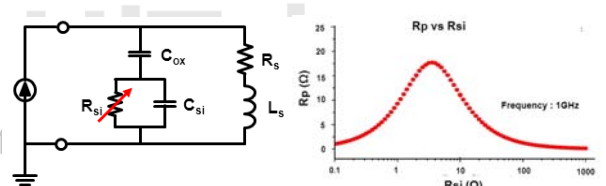


(a) 레이아웃 (b) 등가 모델  
[그림 1] 단순한 인덕터의 등가모델

$$Q = \frac{\omega L_s}{R_s} \cdot \frac{R_p}{R_p + [(\omega L_s / R_s)^2 + 1] R_s} \cdot \left[ 1 - \frac{R_s^2 (C_s + C_p)}{L_s} - \omega^2 L_s (C_s + C_p) \right] \quad (1)$$

$$= \frac{\omega L_s}{R_s} \cdot \text{Substrate Loss Factor} \cdot \text{Self Resonance Factor}$$

만약 [그림 2]와 같이 실리콘의 기판저항(Rsi)이 변한다면 인덕터의 Q factor 는 식(2)와 같이 복잡한 수식으로 표현되며 Qmax 주파수에서 Cp 및 Rp 변화한다. 특히, Rp 가 높을 때 Cp 는 급격히 변화하여 특정 주파수에서 Rp 는 Rsi 와 다른 경향을 보인다. 최적의 기판저항에서는 공진 주파수에 근접하여 effective shunt impedance 를 최대가 되어 기판 loss 를 줄임으로써 Q factor 가 향상된다.



(a) 등가 모델 (b) 기판저항 변화에 따른 Rp 변화  
[그림 2] 기판저항 변화를 고려한 인덕터의 등가모델

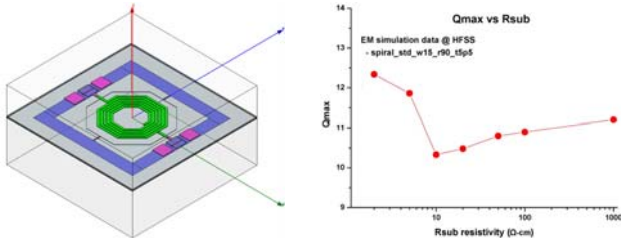
$$Q = \frac{\omega L_s}{R_s} \cdot \frac{R_p}{R_p + [(\omega L_s / R_s)^2 + 1] R_s} \cdot \left[ 1 - \frac{R_s^2 (C_s + C_p)}{L_s} - \omega^2 L_s (C_s + C_p) \right]$$

$$R_p = \frac{1}{\omega^2 C_{ox}^2 R_{Si}} + \frac{R_{Si} (C_{ox} + C_p)^2}{C_{ox}^2} \quad C_p = C_{ox} \cdot \frac{1 + \omega^2 (C_{ox} + C_{Si}) C_{Si} R_{Si}^2}{1 + \omega^2 (C_{ox} + C_{Si})^2 R_{Si}^2} \quad (2)$$

표준 CMOS 공정에서는 능동소자의 고속동작을 위하여 기판저항은 1~100Ωcm 정도를 사용하며 IMD 두께는 라우팅에 의한 delay 에 최적화 되어 IMD 두께의 변경이 제한적이다. 또한 평면의 spiral 인덕터는 기생 캐패시턴스에 의한 SRF 제한 때문에 주로 1~10nH 를 제공하며 기판 손실을 감소시키기 위하여 기판과 거리가 가장 먼 최상위 메탈로 제작된다, 따라서 표준 CMOS 공정에서 인덕터의 Ls, Rs, Cox 로 값은 변화량이 크지 않으나 기판저항에 의한 Cp 의 변화가 크기 때문에 공진 주파수에 변화를 보인다.

## 3. 인덕터 특성 Simulation & test result

기판저항에 의한 인덕터의 특성 변화를 예측하기 위하여 4um의 두꺼운 알루미늄을 최상위 메탈을 갖는 RF CMOS 공정을 이용하여 [그림 3]와 같이 패턴을 제작하고 3D EM 해석을 통하여 정확한 인덕턴스와 Q factor 를 계산하였다. 실험결과 결과 위의 수식적 해석과 동일하게 특정 기판저항에서 인덕터의 Q factor 가 향상됨을 보여주었다.



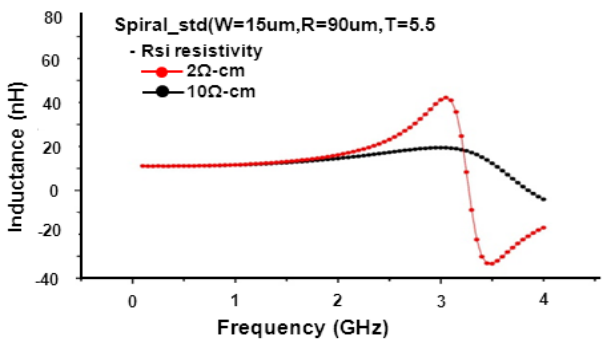
(a) EM 시뮬레이션 (b) 기판저항 변화에 따른 Qmax 변화  
[그림 3] EM 시뮬레이션을 이용한 인덕터 특성 검증

4. 측정 결과

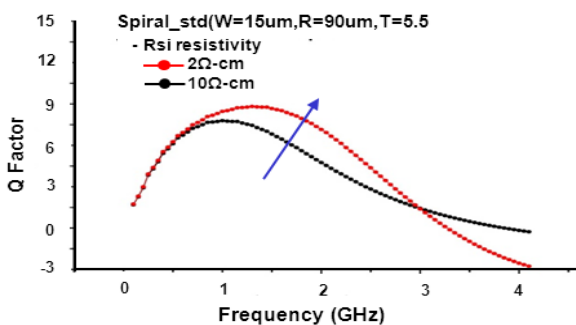
제안한 인덕터의 특성을 검증하기 위하여 동부 하이텍의 0.11um RF 표준 CMOS 공정을 이용하여 인덕터를 제작하고 특성을 평가하였다. 기판 저항을 10Ω-cm 에서 2Ω-cm 로 변경하여 EM 시뮬레이션과 동일하게 넓은 width 인덕터에서 Qmax 가 9~12% 가량 개선됨을 확인하였다. 비록 SRF 는 14.5% 정도 감소하지만 [그림 4]와 같이 Q>5 이상의 operation frequency range 는 증가하여 초고주파 회로 설계에 적합한 특성을 얻었다.

표 1. 기판저항에 따른 인덕터 특성

Width (um)	Radius (um)	Turns	10Ω-cm			2Ω-cm			Difference		
			L (nH)	Qmax	SRF (GHz)	L (nH)	Qmax	SRF (GHz)	L (nH)	Qmax	SRF (GHz)
15	90	3.5	4.6	10.0	6.5	4.6	9.1	7.9	0.0%	9.9%	17.7%
15	90	5.5	11.1	8.8	3.2	11.1	7.8	3.7	0.0%	12.8%	13.5%
30	90	3.5	3.4	7.9	5.6	3.4	7.1	6.8	0.0%	11.3%	-17.6%
30	90	5.5	12.2	6.5	2.1	12.2	5.9	2.3	0.0%	10.2%	-8.7%
Average									0.0%	10.9%	-14.6%



(a) 인덕턴스



(b) Q Factor

[그림 4] 실리콘에서의 인덕터 특성 검증

4. 결론

본 논문에서는 기판 저항이 인덕터의 특성에 미치는 영향을 수식적으로 분석하여 기판저항(Rsi)이 기생 캐패시턴스(Cp)를 변화시켜 공진주파수가 변하는 특성을 이용하여 일반적으로 실리콘 loss 에 의해 Q factor 가 낮은 넓은 width 인덕터에서 Q factor 를 10% 이상 혁신적으로 개선하였다.

지금까지의 기판 저항이 높을수록 실리콘 loss 가 적어 인덕터의 Q factor 가 높아진다는 기존의 연구와 달리 기판 저항 최적화하여 공진주파수 조절함으로써 기판 저항을 높이지 않고도 공진주파수에서 무한대의 임피던스를 갖는 특성을 이용하여 Q factor 를 개선할 수 있음을 증명하였다.

위 연구를 통해 낮은 비저항의 wafer 를 사용하여 공정 비용을 줄이고 Base band 의 트랜지스터의 speed 측면과 래치업 특성을 특성을 좋게 할 수 있는 이점이 있다.

참고문헌

[1] N.A.Talwalkar, et al., "Analysis and Synthesis of On-Chip Spiral Inductors," IEEE Transaction on Electron Devices, Vol.52, No.2, pp.176-182, Feb. 2005

[2] Y.Cao, et al., "Frequency-Independent Equivalent-Circuit Model for On-Chip Spiral Inductors," IEEE Journal of Solid-State Circuits, Vol.38, No.3, pp.419-425, Mar. 2003

[3] K. B. Ashby, W. C. Finley, J. J. Bastek, S. Moinian, and I. A. Koullias, "High Q inductors for wireless applications in a complementary silicon bipolar process," Proc. Bipolar and BiCMOS Circuits and Technology Meeting, pp. 179-182, 1994.

[4] J.N.Burghartz, M.Soyuer, and K.A.Jenkins, "Microwave Inductors and Capacitors in Standard Multilevel Interconnect Silicon Technology," IEEE Trans. Microwave Theory Tech., vol. 44, pp. 100-104, Jan 1996.

[5] J. Y. -C. Chang, and A. A. Abidi, "Large suspended inductors on silicon and their use in a 2-,um CMOS RF amplifier," IEEE Electron Device Letter, vol. 14, pp. 246-248, 1993.

[6] C. P. Yue. and S. S. Wong, "On-chip spiral inductors with patterned ground shields for Si-based RF ICs," IEEE J. Solid-State Circuits, vol. 33, pp. 743-752, May 1998.

[7] R. D. Lutz, Y. Hahm, A. Weisshaar, and V. K. Tripathi, "Modeling of spiral inductors on lossy substrates for RFIC applications," IEEE MTT-S Int. Microwave Symp. Dig., vol. 3, pp. 1855-1858, 1998.

[8] A. Zolfaghari, A. Chan, and B. Razavi, "Stacked Inductors and Transformers in CMOS Technology," IEEE J. Solid-State Circuits, vol. 36, no. 4, pp. 620-628, April 2001.

[9] C. P. Yue and S. S. Wong, "Physical modeling of spiral inductors on silicon," IEEE Trans. Electron Devices, vol. 47, no. 3, pp. 560-568, Mar. 2000.

[10] A. M. Niknejad and R. G. Meyer, "Analysis, design, and optimization of spiral inductors and transformers for Si RF ICs," IEEE J. Solid-State Circuits, vol. 33, no.