

제20회 The 20<sup>th</sup> Korean Conference on Semiconductors (KCS 2013)

# 한국반도체학술대회

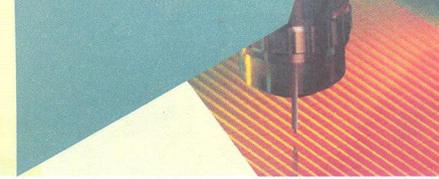
2013년 2월 4일(월)~6일(수)  
웰리힐리파크(구 성우리조트)

**“Semiconductor for Energy Saving,  
Human Interface and Connectivity”**

- 주관 동부하이텍  
한국반도체산업협회  
한국반도체연구조합

- 주최 한국물리학회 반도체분과회  
한국재료학회  
대한전기학회 전기재료연구회  
대한전기학회 MEMS 연구회  
대한전자공학회 반도체재료 및 부품연구회  
대한전자공학회 SoC 설계연구회  
반도체설계교육센터(IDEC)

- 후원 동부하이텍, 삼성전자, SK 하이닉스,  
한국과학기술정보연구원, 한국램리서치(주),  
ASML Korea, 한국전자통신연구원, (주)제니컴,  
토판포토마스(주), (주)실리콘웍스, 시놉시스 코리아,  
(주)실리콘화일, (주)피델릭스, 전자부품연구원,  
(주)뉴파워프라즈마, (주)한국멘토그래픽스,  
(주)에프씨아이, (주)넥스트칩



**TP2-13**

**Non-Volatile Dual Mode Operation Ferroelectric Polymer Memory**  
Richard Hahnkee Kim, Insung Bae, and Cheolmin Park  
Department of Materials Science and Engineering, Yonsei University

**TP2-14**

**Majority Carrier 종류에 따른 Graphene Channel의 펄스응답전류 특성 분석**  
이재은<sup>1</sup>, 정옥진<sup>2</sup>, 김진주<sup>3</sup>, 이영곤<sup>2</sup>, 김용훈<sup>2</sup>, 강창구<sup>2</sup>, 장경은<sup>2</sup>, 이병훈<sup>2,3</sup>  
<sup>1</sup>College Chemistry Concentration, Gwangju Institute of Science and Technology, <sup>2</sup>광주과학기술원 신소재공학부, <sup>3</sup>광주과학기술원 나노바이오 전자재료공학과

**TP2-15**

**PVDF/Graphene Multilayer for Flexible Applications**  
Sang-Hoon Bae, Bhupendra K. Sharma a, JungGou Kwon, and Jong-Hyun Ahn  
School of Advanced Materials Science and Engineering, and Sungkyunkwan University Advanced Institute of Nanotechnology, Sungkyunkwan University

**TP2-16**

**Flexible Thin-Film Schottky-Junction Silicon Solar Cell based on 2D Carbon Material**  
Seok Ryul Choi, Seoung-Ki Lee, and Jong-Hyun Ahn  
School of Advanced Materials Science and Engineering, Sungkyunkwan University

**TP2-17**

**Fabrication of Graphene Nanoribbon Arrays using Block Copolymer Nanolithography**  
Myungwoo Son<sup>1</sup>, Jeong Gon Son<sup>3,5</sup>, Jae-Min Myoung<sup>4</sup>, Caroline A. Ross<sup>5</sup>, and Moon-Ho Ham<sup>1,2</sup>  
<sup>1</sup>Department of Nanobio Materials and Electronics, Gwangju Institute of Science and Technology, <sup>2</sup>School of Materials Science and Engineering, Gwangju Institute of Science and Technology, <sup>3</sup>Photo-electronic Research Center, Korea Institute of Science and Technology, <sup>4</sup>Department of Materials Science and Engineering, Yonsei University, <sup>5</sup>Department of Materials Science and Engineering, Massachusetts Institute of Technology

**TP2-18**

**Flexible Tactile Sensors with a Single Crystal Silicon Array on Polymer Substrate**  
Min Hoon Park<sup>1</sup>, Jang Houk<sup>2</sup>, Min Seok Kim<sup>2</sup>, Han Wook Song<sup>2</sup>, and Jong-Hyun Ahn<sup>1</sup>  
<sup>1</sup>School of Advanced Materials Science and Engineering, Sungkyunkwan University, <sup>2</sup>Korea Research Institute of Standards and Science

**TP2-19**

**Gas Sensing 물질을 이용한 Si 나노와이어 표면의 Wetting Property 조절**  
이순일<sup>1</sup>, 서정목<sup>1</sup>, 한희탁<sup>1</sup>, 정희봉<sup>2</sup>, 이우영<sup>2</sup>, 이태윤<sup>1</sup>  
<sup>1</sup>연세대학교 전기전자공학부 나노바이오소자 연구실, <sup>2</sup>연세대학교 신소재공학부 나노소자 연구실

**TP2-20**

**A Wideband Stacked CMOS Linear Power Amplifier**  
고재용<sup>1</sup>, 김기현<sup>1</sup>, 이진택<sup>2</sup>, 문탁수<sup>2</sup>, 남상욱<sup>1</sup>  
<sup>1</sup>서울대학교 전기공학부 뉴미디어통신공동연구소, <sup>2</sup>(주)동부하이텍

**TP2-21**

**트랜스포머 기반의 다중모드 다중대역 전압제어발전기 설계**  
여장치, 이동수, 이강운  
성균관대학교 정보통신대학

**TP2-22**

**실리콘 기판저항 최적화를 통한 High Q 인덕터 개발**  
김수태<sup>1</sup>, 유광동<sup>1</sup>, 정용채<sup>2</sup>  
<sup>1</sup>동부하이텍 공정개발1팀, <sup>2</sup>전북대학교 전자정보공학부

**TP2-23**

**RF 트랜지스터의 포화 드레인 전류 열화특성 개선을 위한 디자인 최적화**  
김수태<sup>1</sup>, 유광동<sup>1</sup>, 이상기<sup>1</sup>, 조용수<sup>1</sup>, 정용채<sup>2</sup>  
<sup>1</sup>동부하이텍 공정개발1팀, <sup>2</sup>전북대학교 전자정보공학부

**TP2-24**

**Effects of TiO<sub>2</sub> Compact Layer in Dye-Sensitized Solar Cell using AZO Transparent Electrode**  
O. J. Park, K. J. Lee, S. W. Song, J. H. Roh, I. H. Yer, H. S. Kim, and B. M. Moon  
Department of Micro Device Engineering, Korea University

**TP2-25**

**Fabrication of Silicide/Silicon Hetero-Junction Structured Device and Seebeck Coefficient Measurement**  
Wonchul Choi<sup>1,2</sup>, Young-Sam Park<sup>1</sup>, Younghoon Hyun<sup>1</sup>, Taehyoung Zyung<sup>1</sup>, Jaehyeon Kim<sup>1,3</sup>, Soojung Kim<sup>1,3</sup>, Hyojin Jeon<sup>1,3</sup>, Mincheol Shin<sup>2</sup>, and Moongyu Jang<sup>1,3</sup>  
<sup>1</sup>Convergence Components & Material Research Lab., Electronics and Telecommunications Research Institute, <sup>2</sup>Department of Electrical Engineering, KAIST, <sup>3</sup>Department of Advanced Device Technology, University of Science & Technology

**TP2-26**

**스크린프린팅 공정기법을 이용한 열전 발전소자의 공정 및 구조 최적화**  
위주형<sup>1</sup>, 김선진<sup>1</sup>, 김경수<sup>2</sup>, 조병진<sup>1</sup>  
<sup>1</sup>KAIST 전기 및 전자공학과, <sup>2</sup>(주)휘닉스소재

2013년 2월 5일(화) 포스터 발표

# RF 트랜지스터의 포화 드레인 전류 열화특성 개선을 위한 디자인 최적화

김수태, 유광동, 이상기, 조용수, 정용채

동부하이텍 공정개발 1팀, 전북대학교 전자정보공학부

## 초록

In this paper introduces the design optimization to improve saturation drain current degradation in RF-MOSFETs which have been fabricated 0.13um CMOS process. The gate pattern for RF-MOSFET is multi-finger type with common source-bulk configuration. But saturation drain current dramatic decrease per unit width according to increase gate width & finger represents degradation. So between model and silicon is occurred mismatching problem.

In this paper introduces that metal resistance of source routing was mainly responsible for saturation drain current degradation and degradation verified change of source metal width. As we have application to Pcell of 0.13um RF-MOSFET (LVNMOS (W:10um, F:64d)), we achieved improvement from 52% to 20% degradation ratio. Hereby, we anticipate that accuracy of RF model is high and RF circuit design is easy.

## 1. 서론

최근 우리나라를 비롯하여 전 세계적으로 통신 수요가 급증함에 따라 무선 통신시장이 급속하게 성장하고 있으며, 대용량의 전송능력을 달성하기 위해서 통신시스템이 고주파화 및 광 대역화 되고 있다. 따라서, 초고주파 영역에서 동작하는 IC 의 기초연구 및 개발이 필수적이며 이러한 IC 를 생산하기 위해서는 전류중폭을 높고 광 대역의 선형성이 우수한 트랜지스터가 필요하다. 무선통신용 송수신기의 핵심 모듈인 RFIC(Radio-Frequency Integrated Circuit)를 제작하기 위해서 공정상 안정도가 높고, 가격 경쟁력이 탁월한 실리콘 트랜지스터가 기본 소자로 많이 사용되고 있다.

RF-트랜지스터는 대개 전류가 많이 흐르는 소자이며 게이트 저항에 의한 고주파 전력이득 및 잡음 특성을 좋게 하기 위하여 multi-finger 형태로 제작된다. 이러한 RF-트랜지스터는 width 와 finger 가 증가함에 따라 단위 width 당 흐르는 포화 드레인 전류가 급격히 열화하는 특성을 나타낸다. 이로 인해 실리콘(silicon)과 모델 사이에 mismatch 가 발생하고 수십 GHz 이상의 RF 용 회로설계에 적용할 경우 부정확한 결과를 초래하게 된다.

결국 RF-트랜지스터의 정확한 모델링을 위해서는 선형적인 직류 I-V 특성을 가져야 하며 이를 위해 포화 드레인 전류의 열화 문제를 해결하는 것이 매우 중요하다. 본 논문에서는 이 문제를 해결하기 위하여 N-트랜지스터의 전류 방정식을 분석하고 이를 바탕으로 포화 드레인 전류의 열화가 없고 BSIM3v3 모델과 호환성이 높은 최적화된 RF-트랜지스터 디자인에 대하여 연구하였다.

## 2. 본론

이상적인 n-트랜지스터의 포화 드레인 전류는 식(1)과

$$I_D = \frac{1}{2} \mu_{ns} C_{ox} \frac{W_{eff}}{L_{eff}} (V_{GS} - V_T)^2 (1 + \lambda V_{DS}) \quad (1)$$

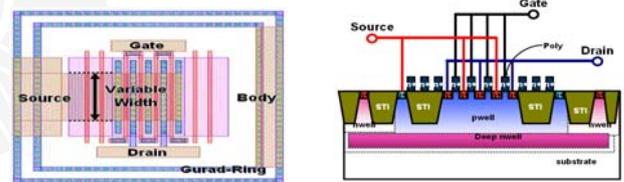
같이 주어진다. 여기서  $V_{GS}$  와  $V_{DS}$  는 각각 게이트와 소오스간 및 드레인과 소오스간 전압이고  $C_{ox}$  는 단위면적당 게이트 용량이며  $V_T$  는 문턱전압이다.  $\mu_{ns}$  는 전자의 표면 이동도의 평균치이며  $\lambda$  는 채널길이 변조 현상을 나타내

는 함수이고  $W_{eff}, L_{eff}$  는 각각 유효 채널 폭과 길이이다.

multi-finger 형태의 RF-트랜지스터는 많은 드레인 전류가 흐르는 때문에 식 (2)와 같이 소오스 저항( $R_s$ )과 드레인 저항 ( $R_D$ )이 고려되어야 한다. 식으로부터 포화 드레인 전류는 소오스 저항 및 드레인 저항과 관련성이 있으며 특히, 소오스 저항이 큰 영향을 미침을 알 수 있다.

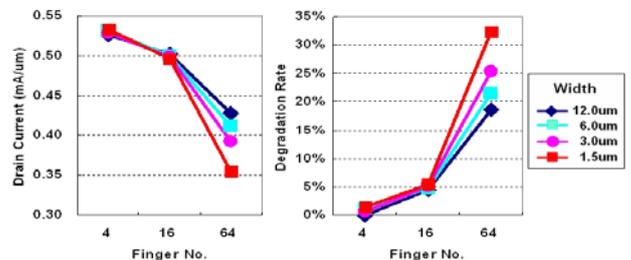
$$I_D = \frac{1}{2} \mu_{ns} C_{ox} \frac{W_{eff}}{L_{eff}} (V_{GS} - V_T - I_D R_S)^2 (1 + \lambda (V_{DS} - I_D (R_S + R_D))) \quad (2)$$

RF 트랜지스터는 각각의 단자가 [그림 1]과 같이 메탈 라우팅(metal routing)을 통해 연결된다. 라우팅에 사용된 메탈의 면저항(sheet resistance)은 수 mΩ/□에 불과하지만 finger 수가 증가할수록 흐르는 전류량이 증가하기 때문에 메탈 저항을 무시할 수 없게 된다. 소오스 라우팅 메탈의 직렬 저항에 의한 드레인 전류의 영향을 알아보기 위하여 [그림 1]과 같이 메탈 폭을 변화시켜 포화 드레인 전류의 변화를 분석하였다.



(a) 평면도 (b) 단면도  
[그림 1] 제조된 N-트랜지스터의 형태

실험결과 [그림 2]와 같이 소오스 라우팅 메탈의 폭이 클수록 finger 증가에 따른 드레인 전류의 열화가 감소하였다. 결국 finger 증가에 따른 드레인 전류 감소의 주요인은 소오스 라우팅 메탈의 저항임을 실험을 통해 검증하였다.



(a) 드레인 전류 (b) 전류 감소율  
[그림 2] width 변화에 따른 전류 열화특성

RF 트랜지스터는 레이아웃에 따라 식 3 과 같이  $f_T, f_{max}, f_{min}$  등의 RF 특성이 변화한다. 여기서  $f_T$  는 차단주파수,  $f_{max}$  는 최대 진동 주파수,  $f_{min}$  은 최소 잡음 지수로 RF 특성을 나타내는 주요 지표이다.

$$f_T = g_m / 2\pi C_{gate}$$

$$f_{max} = (f_T / 2)(g_{DS}(R_G + R_S) + 2\pi f_T R_G C_{GD})^{-1/2}$$

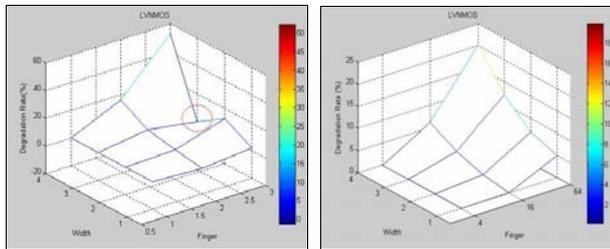
$$f_{min} = 1 + K(f / f_T)(g_m(R_G + R_S))^{1/2} \quad (3)$$

이 때문에 RF 트랜지스터에서는 고정된 레이아웃과 이에 매칭된 모델을 제공한다. 이를 위하여 파운드리 업체에서는 PCELL 을 제작하여 제공하며, 위에서 증명한 소오스 라우팅 효과를 검증하기 위하여 PCELL 에 적용하여 다양한 크기의 RF 트랜지스터에서 특성을 검증하였다.

그 결과 표 1 에서 보는 바와 같이 단위 width 당 흐르는 드레인 전류에 큰 width 와 finger 에서 변화를 보였으며 finger 증가에 따른 드레인 전류의 감소하는 열화 특성 혁신적으로 개선하였다.

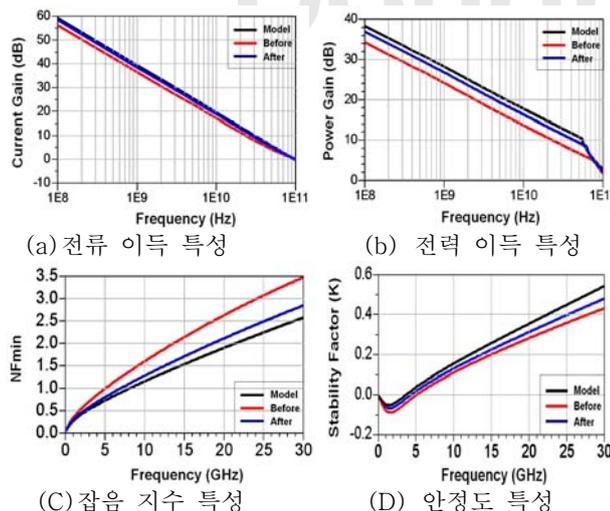
표 1. PCELL 변경에 따른 전류 열화특성 변화

width component	5um			10um		
	Before	After	Imp.	Before	After	Imp.
LVN	-	12.0%	-	52.9%	20.1%	32.7%
LVP	-	8.3%	-	27.5%	12.1%	15.3%
HVN-25	19.3%	11.4%	7.9%	-	17.1%	-
HVP-25	8.4%	5.8%	2.5%	26.0%	11.7%	14.2%
HVN-33	19.3%	14.8%	4.4%	-	22.3%	-
HVP-33	14.0%	8.5%	5.5%	29.1%	13.0%	16.0%



(변경 전) (변경 후)

[그림 3] PCELL 변경에 따른 전류 열화특성 변화 소오스 라우팅의 메탈저항 개선을 통한 DC 특성을 개선으로 RF 트랜지스터의 RF 특성에도 개선된 특성을 나타내었다. 특히 전력이득 개선은 5dB 이상으로 혁신적으로 개선되었다. 또한 이를 통해 실리콘과 모델 사이의 오차가 줄일 수 있었다.



[그림 4] PCELL 변경에 RF 특성 변화

### 3. 결론

RF 트랜지스터에서 width 와 finger 가 증가함에 따라 단위 width 당 흐르는 드레인 전류가 급격히 감소하는 열화특성으로 인해 모델과 실리콘 사이에 mismatch 가 발

생하고 RF 용 회로 설계에 적용할 경우 부정확한 결과를 초래하게 문제를 가지고 있었다.

본 논문에서는 소오스 라우팅의 메탈저항이 포화 드레인 전류 열화의 주원인을 수직적으로 밝히고 소오스 메탈의 width 를 가변하여 이를 검증하였다. 또한 이를 0.13um RF-MOSFET 의 Pcell 에 적용하여 혁신적으로 DC 특성을 개선하였고  $f_T, f_{max}, f_{min}$  등의 RF 특성을 혁신적으로 개선하였다. 이를 통해 기존에 가지고 있던 RF 트랜지스터의 실리콘과 모델 사이의 오차를 줄일 수 있었다.

RF 트랜지스터는 수 mΩ 라우팅 메탈 저항에도 민감하게 특성이 변화하여 디자인 최적화를 위한 많은 연구가 필요하다.

### 참고문헌

- [1] Semiconductor Industry Association: "The national technology roadmap for semiconductor,"1997.
- [2] T. H. Lee, "CMOS RF:(Still) no longer an oxymoron(invited)," in 1999 IEEE Radio Frequency Integrated Circuit Design Symp.pp.3-6,1999.
- [3] S. F. Tin, A. A. Osman, K. Mayaram, and C. Hu, "A Simple Subcircuit extension of the BSIM3v3 model for CMOS RF design," IEEE J. Solid-State Circuits, vol. SC-35, no. 4, pp. 612-624, April 2000.
- [4] T. C. Ng, T. N. Swe, K. S. Y 대, K. W. Chew, J. G. Ma and M. A. Do, "Small signal model and efficient parameter extraction technique for deep submicron MOSFETs for RF application," IEE Proc.-Circuit Devices Syst. Vol 148, No. 1, Feb. 2001.
- [5] Hspice User's Manual, Synopsys cooperation, 2004.
- [6] C. C. Enz and Yuhua Cheng, "MOS transistor modeling for RF IC design," IEEE Trans. Solid-State Circuits, vol. 35, no.2, pp.186-201, Feb. 2000
- [7] J. J. Ou, X. Jin, I. Ma, C. Hu, and P. Gray, "CMOS RF modeling for GHz communication IC's," in 1998 VLSI Technology Symp., June 1998, pp.94-222
- [8] "Transistors valid up to 10 GHz," IEEE Trans. Electron Device, vol. ED-46, no. 11, pp. 2217-2227, Nov, 1999.
- [9] X. Zhang, "Extraction critical for RF design," <http://www.eetimes.com/stroy/>.
- [10] W.Liu, R. Gharpurey, M. C. Chang, U.Erdogan, R. Aggarwal, and J. P. Mattia, "R.F. MOSFET modeling account for distributed substrate and channel resistances with emphasis on the BSIM3v3 SPICE model,"in Dig. Tech. Papers IEDM-97, Dec. 1997, pp. 309-312.