

2013 SoC Conference

2013 SoC 학술대회

- 경북대학교 글로벌플라자 효석홀
- 2013년 5월 2일(목)-5월 3일(금)

■ 주 최 대한전자공학회 SoC 설계 연구회

■ 주 관 경북대학교 / ETRI SW-SoC 융합 R&BD센터

■ 후 원 Cadence Korea / 리버트론 / ELECS / 동운아나텍 / 아이앤씨테크놀로지 /
휴인스 / 한국전자통신연구원(ETRI) / 대구컨벤션뷰로 / IDEC 플랫폼센터

CMOS 전력 증폭기의 DLM을 위한 DAT와 MOS 버렉터를 이용한 가변 정합 회로의 설계

박성두, 김재연, 정용채
전북대학교 전자정보공학부

전화: (063)270-2458, E-mail: psd2325@jbnu.ac.kr

Variable Matching Circuit Design Using the DAT and MOS Varactor for DLM of CMOS Power Amplifier

Sungdoo Park, Jaeyeon Kim, Yongchae Jeong

Division of Electronic and Information Engineering, Chonbuk National University

요 약

본 논문에서는 동적 부하 변조(dynamic load modulation: DLM) 전력증폭기가 출력을 낮춘 영역에서 높은 효율을 갖게 하는 가변 정합 회로를 제안하였다. 가변 정합 회로는 분산 능동 변환기(distributed active transformer: DAT)와 MOS 버렉터를 이용하여 구현하는데, 전력 결합도 아울러 수행하면서 구현이 용이하고 비교적 작은 면적을 차지한다. 제안된 가변 정합 회로를 2.4 GHz WLAN용 CMOS 전력 증폭기에 적용하여 출력을 낮춘 영역에서 효율 개선 특성을 확인하였다. 구현한 전력증폭기는 푸쉬-풀(push-pull) 구조로 되어 있으며, CMOS 공정의 낮은 항복 전압 문제를 해결하기 위하여 캐스코드(cascode) 구조를 아울러 사용하였다. 가변 정합 회로를 이용하여 설계된 전력 증폭기는 최대 출력 전력 27 dBm에서 46.7 %의 전력 부가 효율을 갖으며, 2 dB와 4 dB 백 오프된 영역에서 일반적인 변환기를 적용한 전력증폭기 대비 각각 3.7 %와 4.1 %의 효율 상승 특성을 나타내었다. 그리고 최대 출력 전력 이하의 영역에서 25 dBc보다 높은 IMD 특성을 나타내었다.

Abstract

In this paper, a variable matching network have been proposed to increase efficiency at the back-off region of the power amplifier based on the dynamic load modulation (DLM). The variable matching network consists of the distributed active transformer (DAT) and MOS varactor, which can also combines the power and easy to implement with a relatively small area. The proposed variable matching circuit was applied to the CMOS power amplifier operated at the WLAN of 2.4 GHz and the efficiency improvements at the back-off region were investigated. The designed power amplifier adopts the push-pull structure and the cascode structure to solve the problem of the low breakdown voltage of CMOS process. From the simulation results, the maximum output power of the power amplifier was 27 dBm with 46.7 % PAE. In the region of 2 dB and 4 dB back-off, the efficiency improvement characteristic of 3.7 % and 4.1 % are obtained when compared with the power amplifier using the conventional transformer, respectively. And the higher IMD characteristic than 25 dBc can be obtained under the maximum output power.

Keywords : DLM, CMOS power amplifier, push-pull, MOS varactor, DAT.

I. 서 론

최근 무선통신 시스템에 이용되는 RF 신호는 높은 PAPR(Peak to Average Power Ratio) 특성을 갖는

다. 일반적으로 전력증폭기는 최대 출력 보다 낮은 출력 (back-off) 영역에서 낮은 효율 특성을 가지며, 이 때문에 높은 PAPR을 갖는 변조된 신호를 이용하는 시스템은 효율 감소를 가져온다. 이런 문제를 해결하기

위하여 많은 연구에서 최대한 큰 출력 레벨에서 25 dBc EVM 규격을 만족시키면서 고효율을 얻기 위해 노력하고 있다. 선형성을 보상하는 방법 중 하나로 디지털 전치왜곡 기법 (digital predistortion)를 이용함으로써 최대 선형 출력을 높이려는 시도가 많이 있으며, 포락선 추적(envelope tracking) 구조를 이용하여 효율을 높이는 방법도 많이 연구되고 있다. 하지만 이러한 시스템들은 여러 가지 부가적인 회로가 추가되어야 하여 구조적인 복잡성을 피할 수 없으며, 칩 면적이 커지는 단점이 있다.

DLM은 전력증폭기의 back-off 영역에서 효율을 증가시키는 방법 중 하나이다.^{[1]-[3]} 이 기술은 가변 정합 회로를 이용하여 입력 신호 레벨에 따라 부하를 변조시켜 효율을 증가시키는 방법이다. 화합물 반도체를 이용한 전력 증폭기에 대한 연구에서 병렬 LC 공진기를 이용하여 가변 정합 회로를 구성하여 back-off 영역에서 10 %의 효율 상승을 얻었다^[3]. LC 공진기에 필요한 인덕터는 CMOS 공정에서 넓은 면적을 차지하며 시트 저항에 따른 삽입 손실 때문에 낮은 Q 지수를 갖는다. 이런 이유로 CMOS 공정에서는 LC 공진기를 이용한 가변 정합 회로의 구현은 효과적이지 못하다.

본 논문에서는 DAT와 MOS 버랙터를 이용한 가변 정합 회로를 제안한다. 제안한 회로를 이용하여 back-off 영역에서 효율이 상승된 WLAN용 CMOS 전력증폭기를 설계하였다. 제안된 가변 정합 회로는 구조가 간단하여 구현하기 쉬우며 작은 면적을 차지한다.

II. 본 론

1. 최대 효율을 갖는 부하 임피던스

그림 1은 로드-풀 (load-pull) 시뮬레이션을 통해서 back-off 영역에서 최대 효율을 갖는 부하 임피던스를 스미스 차트 상에 나타낸 것이다. 부하가 50 Ω일 때 최대 출력 전력인 27 dBm에서 최대 효율을 갖는다. 그리고 출력 전력이 back-off 된 영역에서의 최대 효율을 갖는 부하 임피던스는 리액턴스 성분에 따라 변함을 확인할 수 있다.

로드-풀 시뮬레이션 결과에 따라서, 각 출력 레벨에 따라 최대 효율을 갖는 부하 임피던스로 정합 회로를 변화시키면 back-off 영역에서 효율 상승효과를 얻을 수 있을 것이다. 리액턴스 성분에 따라 부하를 변조시키는 정합 회로는 위에서 소개한 것과 같이 LC 공진기를 이용하여 구현할 수도 있다.^[3]

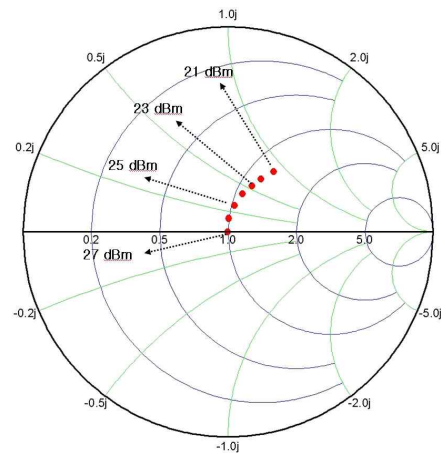


그림 1. 각 출력 전력에서 최대 효율을 갖는 부하 임피던스
Fig. 1. Load impedances from the highest efficiency at each output power levels.

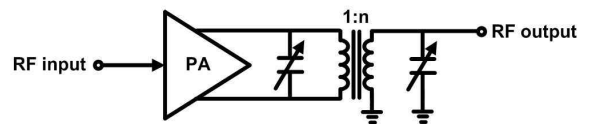


그림 2. 제안된 DAT와 MOS 버랙터를 이용한 가변 정합 회로
Fig. 2. Proposed variable matching circuit using DAT and MOS varactor.

2. 제안된 가변 정합 회로

그림 2는 제안된 가변 정합 회로의 블록 다이어그램을 나타낸 것이다. 넓은 면적과 낮은 Q 지수를 갖는 인덕터 대신에 DAT를 이용하였다. DAT는 구현하는 방식에 따라 인덕터에 비하여 작은 면적으로 구현이 가능하며, 전력 결합이 용이하여 푸쉬-풀 구조의 전력 결합이 필요한 구조에 넓게 이용된다.^[4]

제안된 회로는 DAT와 병렬로 연결된 2개의 MOS 버랙터로 구성되어 있으며 가변 기능이 있는 병렬 LC 공진 회로와 등가적으로 같다. 그렇기 때문에 DAT의 양 단에 연결된 MOS 버랙터의 전압을 조정하여 그림 1과 같이 출력 전력에 따른 최대 효율 부하 임피던스를 변화시킬 수 있다.

3. WLAN용 전력증폭기 설계

그림 3은 제안된 DAT와 MOS 버랙터를 이용한 가변 정합 회로를 사용하여 설계된 WLAN용 전력증폭기의 구조를 나타낸다. 설계된 전력 증폭기는 푸쉬-풀

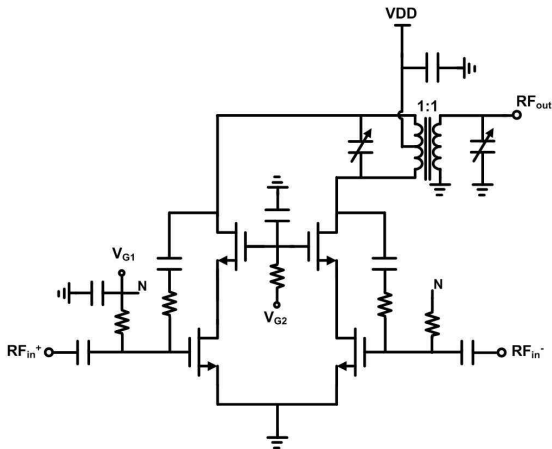


그림 3. 제안된 가변 정합 회로를 사용한 CMOS 전력 증폭기의 구조
 Fig. 3. Structure of CMOS power amplifier using proposed variable matching circuit.

구조를 기본으로 하며, CMOS 공정의 낮은 항복전압 문제를 해결하기 위하여 더 높은 전압을 견딜 수 있는 캐스코드 구조로 설계하였다. 공급 전압은 3.3 V이며 중심 주파수는 2.4 GHz 이다.

III. 시뮬레이션 결과

그림 4는 설계된 전력증폭기의 MOS 버랙터에 인가된 전압에 따른 전력 이득과 PAE의 시뮬레이션 결과를 나타낸다. 여기서 V_p 는 DAT의 1차 측(Primary) 인덕터에 연결된 MOS 버랙터의 인가전압이며, V_s 는 2차 측(Secondary) 인덕터에 연결된 MOS 버랙터의 인가전압이다.

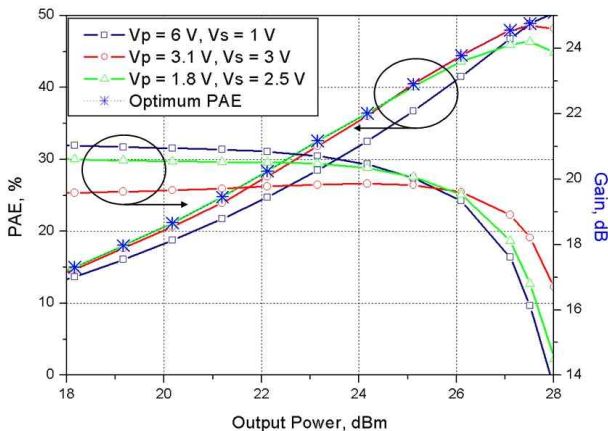


그림 4. 설계된 2.4 GHz 대역 전력증폭기의 전력 이득과 PAE의 시뮬레이션 결과
 Fig. 4. Simulated results for power gain and PAE according to output power level at 2.4 GHz.

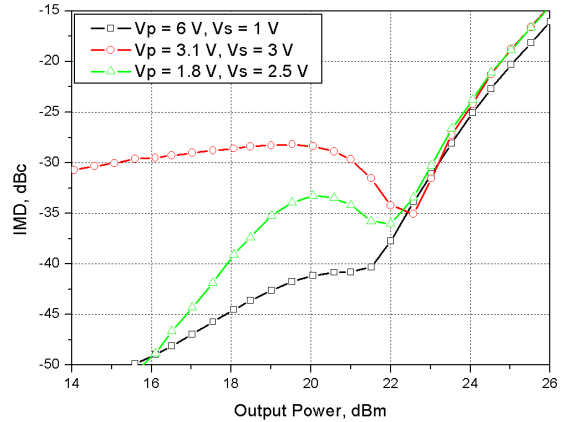


그림 5. 설계된 2.4 GHz 대역 전력증폭기의 IMD 특성 시뮬레이션 결과
 Fig. 5. Simulated results for IMD performances according to output power level at 2.4 GHz.

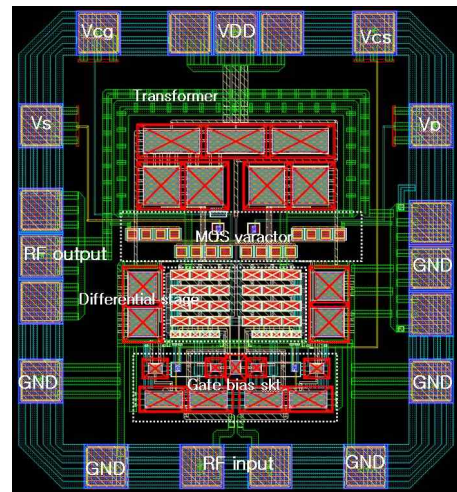


그림 6. 설계된 전력 증폭기의 레이아웃.
 Fig. 6. Chip LAYOUT of implemented power amplifier.

각 인가전압을 변화시켜 출력 전력에 따른 효율 변화를 확인할 수 있다. 시뮬레이션 결과로부터 최대 출력 전력은 27 dBm이며, 이 때 전력 부가 효율은 46.7 % 이다. 2 dB back-off된 25 dBm에서는 인가전압을 변화 시켜 3.7 %의 효율 상승의 효과가 있고, 4 dB back-off된 23 dBm에서는 4.1 %의 효율 상승의 효과가 있다. 그리고 각 인가전압에 따라 변하는 이득 특성으로부터 각 효율 지점에서 P_{1dB} 를 만족함을 확인할 수 있다.

그림 5는 설계된 전력증폭기의 MOS 버랙터에 인가된 전압에 따른 혼변조 왜곡 특성을 나타낸다. MOS 버랙터의 인가전압을 변화시켰을 때, 최대 출력 전력으로부터 back-off된 출력 전력에서 선형성 감소가 나타

내는데 선형성 기준이 되는 25 dBc의 조건은 모든 출력 전력에서 만족하기 때문에 큰 문제는 되지 않는다.

그림 6은 설계된 전력 증폭기의 레이아웃이다. 면적을 최소화하기 위하여 DAT가 바이패스 커패시터 주위를 감싼 형태로 제작하였다. 칩 면적은 $810 \times 740 \text{ um}^2$ 이다.

IV. 결 론

본 연구에서는 DLM에 필요한 가변 정합 회로를 DAT와 MOS 버렉터를 이용하여 구현 하는 방법을 제안하였다. 제안한 회로를 푸쉬-풀 구조의 전력증폭기에 적용하였으며, MOS 버렉터의 인가전압에 따른 백오프 영역에서의 효율 향상을 확인 할 수 있었다. 제안된 가변 정합 회로는 구현하기 쉽기 때문에 다양한 CMOS 전력 증폭기에 적용할 수 있을 것이다.

참 고 문 헌

- [1] F. Raab, "High-efficiency linear amplification by dynamic load modulation," *IEEE Int. Microw. Symp. Dig.*, pp. 1717-1720, Jan. 2003.
- [2] F. Lepine, R. Jos, and H. Zirath, "A load modulated high efficiency power amplifier," *Proc. of 36th Eur. Microw. Conf.*, pp. 411-414, Sep. 2006.
- [3] H. M. Nemati and C. Fager, "Design of varactor-based tunable matching networks for dynamic load modulation of high power amplifiers," *IEEE Trans. on Microw. Theory and Techn.*, vol. 57, no. 5, pp. 1110-1118, May 2009.
- [4] I. Aoki and S. D. Kee, "Distributed active transformer-A new power combining and impedance transformation technique," *IEEE Trans. on Microw. Theory and Techn.*, vol. 50, no. 1, pp. 316-331, Jan. 2002.