

Pilot tone들을 사용하지 않는 자동적응 선형전력 증폭기용 주 신호 제거회로 설계

(Design of Main Carrier Rejection Circuit for Adaptive
Linear Power Amplifier without usign Pilot Tones)

정 용 채
(Yong Chae Jeong)

요 약

전력증폭기는 동작 주파수, 동작 전압, 동작 온도에 따라 이득 및 비선형 특성이 달라져서 Feedforward 방식 선형전력 증폭기를 구현시 자동적응 주 신호 제거회로의 구현이 매우 어렵다. 보통 Pilot Tone 들을 사용하여 구현하나 본 논문에서는 입력 신호를 IQ 복조기의 LO 신호로 이용하고 빼기 회로에 인가되는 주 경로 및 보조 경로의 신호들을 IQ 복조기의 RF 신호로 이용함으로써 얻어지는 상대 위상과 진폭을 비교함으로써 주 신호 제거효과를 얻었다. 제안된 방법으로 주파수 성분이 877MHz 와 882MHz 인 2-tone 입력에 따른 선형전력증폭기 출력이 36.2~28.2 dBm/tonne 일 때 28.34~34.66dB 의 주 신호 제거 특성을 얻었으며 선형 전력증폭기의 동작전압을 바꾸어도 31.3dB 의 제거 특성을 얻었다.

Abstract

It is difficult to realize adaptive main carrier rejection circuit in feedforward-type LPA(Linear Power Amplifier) because the gain and nonlinear characteristics of power amplifier are changed according to operating frequency, voltage, temperature. Usually, pilot tones are used for adaptive LPA operation. But in this paper, the relative phase, which is obtained through I&Q demodulator using input signals as LO signals and main-path & sub-path signals as RF signals, and the magnitude of main-path & sub-path signals are compared, so main carrier rejection is obtained. The proposed method rejects main carriers by 28.34~34.66dB(@ $P_o=36.2\sim 28.2$ dBm/tonne) with two tones at 877MHz, 882MHz and also rejects main carriers by 31.3dB despite changing

condition of operating voltage.

I. 서론

최근 각광을 받고 있는 CDMA 방식 셀룰러 및 개인 휴대 통신의 경우 QAM(Quadrature Amplitude Modulation) 또는 QPSK(Quadrature Phase-Shift Keying)와 같은 선형 변조 방

-1-

[UÀ½](#)

식을 이용하고 있고, 가입 이용자들의 폭발적인 증가는 통신 사업자들로 하여금 할당받은 주파수 대역을 점차 모두 사용하게 하고 있다. 선형 변조 방식과 여러 FA(Frequency Allocation) 사용은 양방향통신의 한 축인 기지국의 송신 대전력 증폭기에 매우 좋은 선형성을 요구한다^[1].

본질적으로 비선형 특성을 갖는 대전력 증폭기가 선형성을 확보하려면 대전력 증폭기에 선형화기를 부착함으로써 가능한데 선형화기를 부착한 대전력 증폭기를 선형전력증폭기(LPA: Linear Power Amplifier) 또는 다중채널 증폭기(MCPA: Multi Channel Power Amplifier)라고 한다.

선형화 방식에는 입력 전력 Back-off, Predistortion 방식, Feedback 방식, Feedforward 방식 등이 있다^{[2][3][4][5]}. 선형화 방식을 간단히 살펴보면 입력 전력 Back-off는 전력증폭기에 인가되는 입력 전력 레벨을 낮추어서 왜곡의 정도를 허용할 수 있는 비교적 선형 영역에서 동작시키는 방식이며, Predistortion 방식은 전력증폭기에서 만들 왜곡 성분을 고려하여 이것과 역의 특성을 갖는 Predistortion 회로를 전력증폭기의 입력 단에 부착함으로써 전력증폭기의 왜곡 성분을 상쇄시키는 방식이고, Feedback 방식은 전력증폭기에서 발생하는 왜곡 성분을 전력증폭기의 입력 단으로 부채환 입력시켜 전력증폭기의 왜곡을 줄이는 방식이다. 마지막으로 Feedforward 방식은 전력증폭기의 출력단에서 혼변조 왜곡 신호만을 추출하여 다시 전력증폭기의 출력단에 역위상으로 결합함으로써 최종 출력단에서 왜곡 성분이 억제되어 출력되게 하는 방식이다. Predistortion 방식은 회로 구성이 간단하여 경량, 소형으로 구현할 수 있으나 개선 효과는 Feedforward 방식에 비해 좋지 못하다. 반면 Feedforward 방식은 개선 효과가 뛰어나지만 큰 용적을 필요로 하고 회로가 복잡하며 어느 정도의 신호전력 손실을 동반하는 단점이 있다. Feedback 방식은 발전 가능성과 협대역 동작 특성 때문에 상대적으로 사용빈도가 적다.

기지국 대전력 증폭기는 단말기에 비해 그 혼변조 왜곡 규격이 엄격하여 Feedforward 방식을 선호하여 사용하고 있다. 그러나 기지국에서는 특정 출력 전력에서의 혼변조 왜곡 규격 뿐만 아니라 출력 레벨 변화와 동작 전압 변화, 외부 온도 변화에 대해서도 모두 혼변조 왜곡 규격을 만족하는 자동적응 선형전력증폭기(Adaptive LPA)를 필요로 한다. 이러한 자동적응 선형전력증폭기를 구현하기 위해서 기존에는 Feedforward 방식의 선형화기를 설계할 때 Pilot tone들을 사용함으로써 성능 구현을 하였다. 그림 1(a)는 Pilot tone 들을 사용한 대표적인 Feedforward 방식 선형전력증폭기의 기본 회로도이며, 그림 1(b)는 Feedforward 방식 선형화기의 동작 원리이다. 그 동작 원리를 살펴보면 입력으로 인가된 2개의 반송파는 주 경로와 보조 경로로 전력 분배기에 의해 나누어진다. 주 경로에서는 대전력 증폭기에 의해 입력 반송파 신호들이 원하는 출력 레벨까지 증폭되며 이때 혼변조 왜곡 신호들도 함께 발생된다. 이러한 대전력 증폭기의 출력에서 출력 신호들의 일부를 추출하여 빼기 회로에 인가해 주고 보조 경로에서는 순수한 반송파만을 빼기 회로에 인가한다. 빼기 회로에서는 주 경로에서 인가된 반송파와 혼변조 왜곡 신호들 중에서 혼변조 왜곡 신호들만을 출력하게 된다. 빼기 회로에서 얻

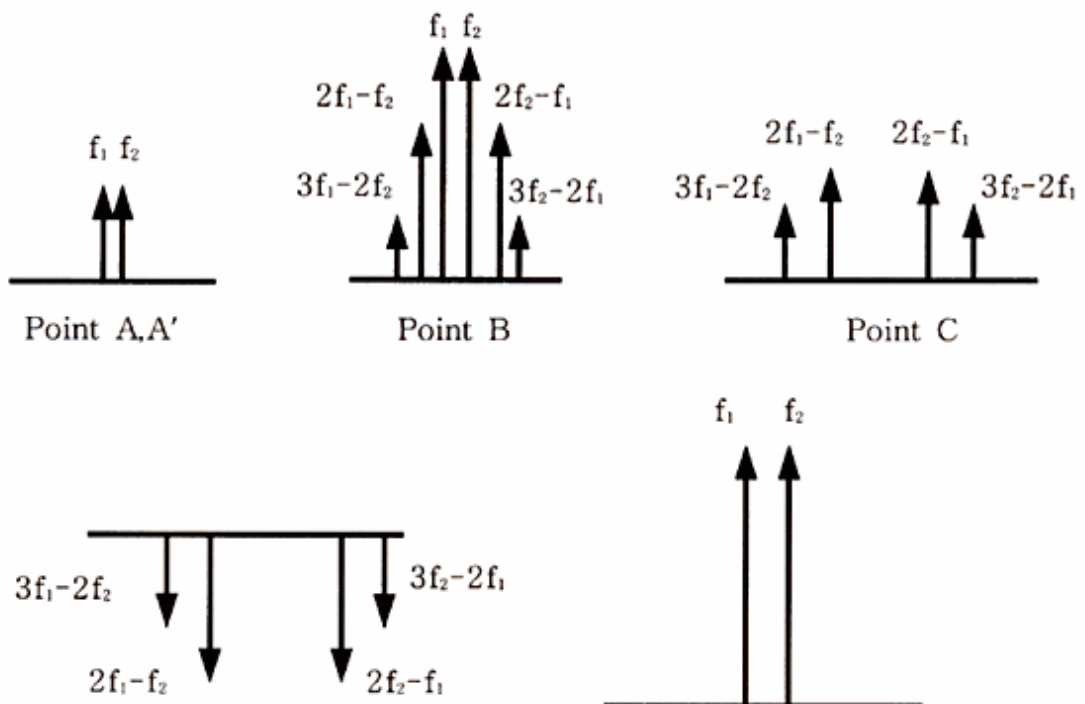
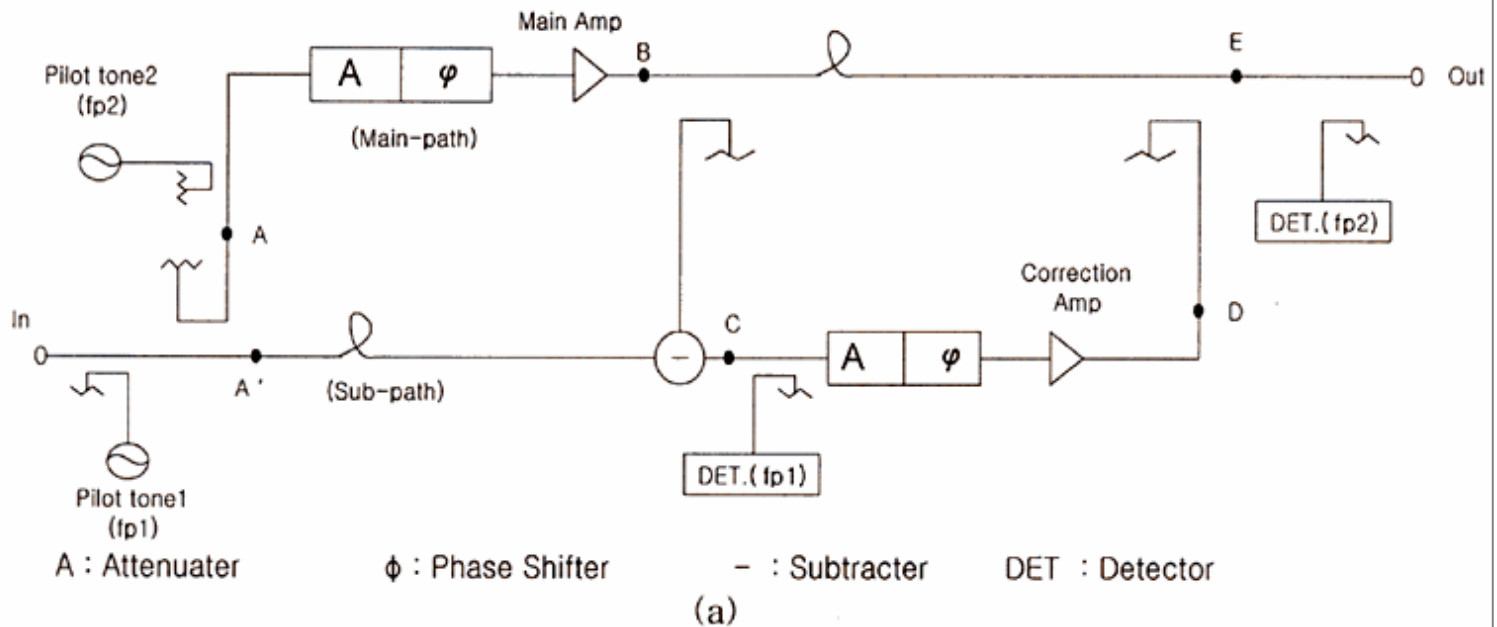
어진 혼변조 왜곡 신호 성분들은 다시 주 경로에 결합되어지는데 이때 가변 감쇠기(A)는 주 경로의 혼변조 왜곡 신호와 레벨을 맞추어 주기 위한 것이고, 가변 위상 변환기(ϕ)는 주 경로에 다시 결합될 때 역(180°)의 위상을 맞추어 주기 위해 위상 조정을 하는 것이다. 결국 주 경로에 다시 결합되기 직전의 혼변조 신호들은 주 경로에 있는 혼변조 왜곡 신호들과 크기는 같고 역위상이 되게 해 줌으로써 최종 출력은 혼변조 신호 성분들은 제거되고 순수한 반송파만이 남게 된다.

일반적으로 전력증폭기는 동작 주파수, 출력 전력, 동작 전압, 동작 온도에 따라 전력증폭기의 AM-to-AM 및 AM-to-PM 특성이 달라지므로 선형화 동작이 능동적으로 적용되어야

-2-

[ΔΔΔ](#) [UΔ½](#)

하는데 특정 주파수를 갖는 Pilot tone을 사용함으로써 이 문제를 극복할 수 있게 된다. 즉, 그림 1(a)에서 Pilot tone 1은 빼기 회로 출력단에서 주 신호의 제거 정도를 감지할 목적으로 인가되고 Pilot tone 2는 최종 출력단에서 혼변조 신호의 제거 정도를 감지할 목적으로 인가된다. 신호 검출기에 감지된 Pilot tone들의 신호 레벨을 처리하여 감쇠기와 위상지연기들을



(b)

그림 1. (a) Pilot tone들을 사용한 Feedforward 방식 선형전력증폭기
(b) Feedforward 방식 선형전력증폭기의 동작원리

Fig.1 (a) The block diagram of the feedforward-type adaptive LPA
using pilot tones

(b) The operating mechanism of feedforward-type LPA

-3-

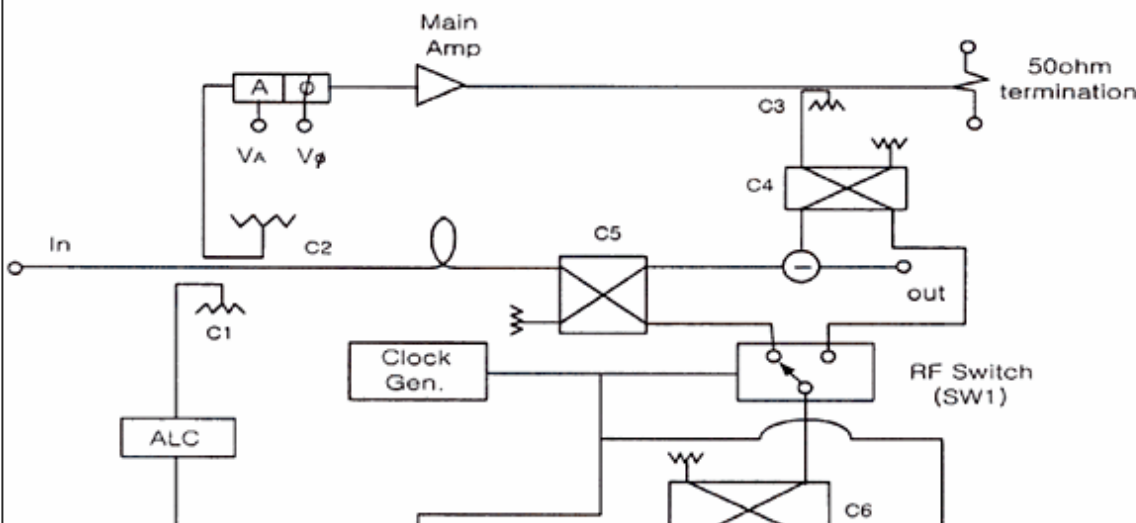
[ÀÀü](#) [ÙÀ½](#)

조정함으로써 대전력 증폭기의 선형화 특성을 얻을 수 있다. Pilot tone들을 사용한 선형전력 증폭기들은 몇 가지 문제점을 안고 있다. 첫째로 Pilot tone들을 주 신호들과 함께 주 증폭기에 인가함으로써 주 증폭기에 부담을 주며, 둘째로 Pilot tone 1은 선형전력증폭기에서 거의 감쇠되어 출력되지만 Pilot tone 2는 선형전력증폭기에서 제거되지 않으므로 선형전력증폭기의 출력단에 Pilot tone 제거용 여파기가 필요하다는 점이다. 셋째로 Pilot tone들을 사용한 선형전력증폭기의 경우 Pilot tone 들의 신호처리 회로가 매우 복잡하며, 넷째로 신호처리 시간이 길어 실시간 제어가 쉽지 않다는 점이다. 다섯째 이 선형 방식들은 기존 증폭기 업체들의 특허 내용이므로 국내업체들이 사용하는 것이 매우 어렵다는 점이다⁶⁾⁷⁾.

II. Pilot tone들을 사용하지 않는 자동적응 선형전력증폭기를 위한 주 신호 제거 회로

본 논문에서는 자동적응 선형전력증폭기에서 핵심부라 할 수 있는 주 신호 제거 회로를 구현하는데, Pilot tone들을 사용하지 않으므로 앞에서 언급한 기존 선형전력증폭기의 단점을 제거하면서 간단한 회로 구성을 갖는 주 신호 제거 회로 설계 방법을 제시하고자 한다. 이 주 신호 제거 회로는 선형전력증폭기의 핵심으로써, 주 신호 제거 특성에 따라 보정 증폭기(Correction Amplifier)의 최대 전력용량이 결정되며 전체적인 선형전력증폭기의 크기, 전력소모, 가격이 동반하여 변동되므로 매우 중요하다.

그림 2는 Pilot tone들을 사용하지 않는 자동적응 선형전력증폭기의 주 신호 제거 회로도이다. 그 동작 원리를 살펴보면 입력 단에 인가된 주 신호들은 분배기들을 거쳐 주 경로, 보조 경로 그리고 자동 출력 레벨 조정기(ALC : Automatic Level Controller)에 인가된다. 주 경로에 인가된 신호들은 감쇠기, 위상 변환기 그리고 주 증폭기를 거쳐 원하는 출력 레벨만큼 증



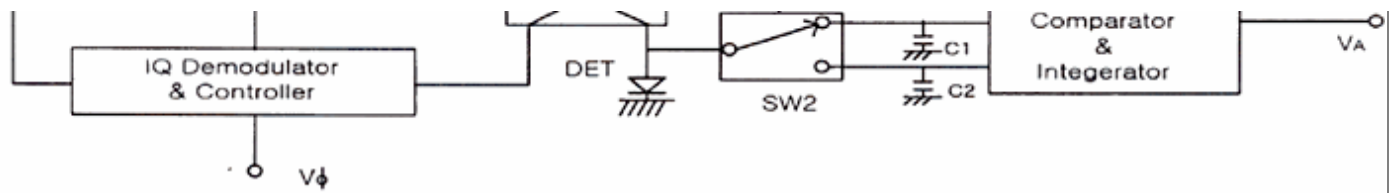
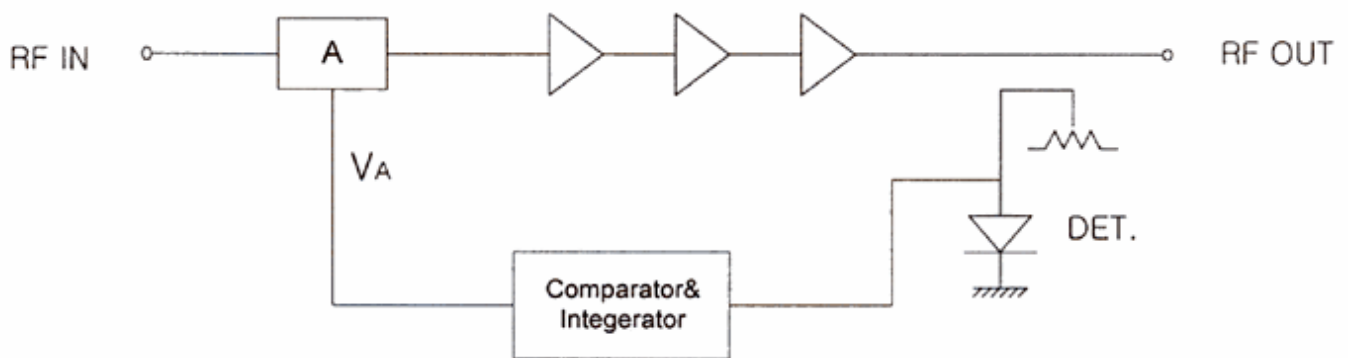


그림 2. Pilot tone을 사용하지 않는 자동적응 선형전력증폭기용 주신호 제거 회로 회로도
 Fig. 2 The block diagram of main carrier rejection circuit
 in adaptive LPA without pilot tones

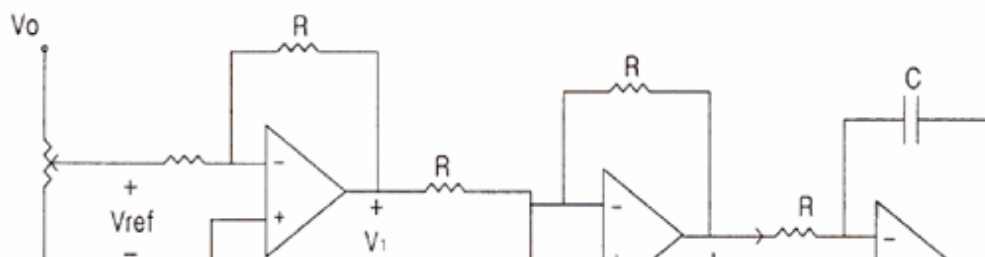
폭되며 이때 주 증폭기의 비선형 특성으로 인하여 주 신호이외에 혼변조 왜곡 신호들이 동반하여 출력된다. 출력된 신호들은 분배기 C3를 통해 출력 신호의 일부를 출력시키고 거의 모든 출력 신호들은 최종 출력단으로 진행할 것이나 본 논문에서는 주 신호 제거 회로에 초점을 맞추었으므로 50Ω 종단 저항으로 정합시켰다. 분배기 C3를 거친 주 신호는 분배기 C4를 통해 양분되어 빼기 회로와 RF 스위치 SW1에 인가된다.

한편 보조 경로에 인가된 입력 신호들은 군속도 지연기(Delay line)를 거쳐 군속도 지연된 후 분배기 C5에 인가되고, 분배기 C5는 신호를 양분하여 빼기 회로와 RF 스위치 SW1에 인가한다. 따라서 빼기 회로의 두 입력 단에 인가되는 신호들은 RF 스위치 SW1의 두 입력 단에 인가된 신호들과 같은 신호 정보를 갖게 된다. RF 스위치는 클럭 발생기에 의해 두 입력 단 중에 하나를 선택하여 출력단에 연결함으로써, 선택된 신호들은 분배기 C6에 인가되고, 분배기 C6는 IQ 복조기와 RF 신호 검출기 DET로 분기시킨다.

또한 입력 단에 인가된 신호들은 분배기 C1과 ALC 회로를 거쳐 IQ 복조기에 인가되는데, ALC 회로는 IQ 복조기 내부에 있는 혼합기의 LO 입력 신호전력을 일정하게 하기 위한 것으로 ALC 회로는 그림 3에 나타냈으며 그 동작 원리는 다음과 같다. ALC 회로에 입력된 RF 신호들은 감쇠기와 증폭기를 거쳐 출력되는데 출력 신호의 일부가 분기되어 신호 검출기에 인가됨으로써 DC 전압으로 변환시킨다. 즉 검출 전압 V_d 는 ALC 출력단에서 출력시키고자 하는 RF 신호 레벨에 대응하는 검출전압 V_{ref} 와 비교함으로써 현재 출력 신호 레벨이 목표 신호 레



(a)





(b)

그림 3. (a) ALC 회로도

(b) ALC 회로에 사용된 비교 및 적분기

Fig. 3 (a) ALC circuit diagram

(b) Comparator & Integrator in ALC

-5-

[ÀÀü](#) [ÙÀ½](#)

벨보다 작으면 감쇠기의 감쇠량을 줄이므로 출력 신호 레벨을 키우고, 검출 전압 V_d 가 비교 전압 V_{ref} 보다 크면 감쇠기의 감쇠량을 키우므로 출력 신호 레벨을 줄여서 출력 전력이 일정하게 되도록 한다. 이런 과정을 통하여 검출 전압 V_d 와 비교 전압 V_{ref} 이 같게 된다. ALC 회로의 수식적인 설명은 다음과 같다.

$$V_1 = \left(-\frac{R}{R}\right)V_{ref} = -V_{ref}$$

$$V_2 = \left(-\frac{R}{R}\right)(V_d - V_{ref}) = V_{ref} - V_d$$

$$I = \frac{V_2}{R} = -C \frac{dV_A}{dt}$$

$$V_A = -\frac{1}{RC} \int V_2 dt = -\frac{1}{RC} \int (V_{ref} - V_d) dt$$

한편 클럭 발생기는 클럭을 발생시켜 high, low 값에 따라 RF 스위치 SW1 과 나머지 DC 스위치들을 절체시킨다. 클럭 발생기에서 high 값일 때 RF 스위치 SW1이 보조 경로 쪽으로 연결된다면 보조 경로를 거친 신호들이 분배기 C6을 통해 IQ 복조기와 신호 검출기에 인가되고 신호 검출기에 인가된 신호들은 검출 전압으로 바뀌어 캐패시터 C1에 충전되어 입력 신호의 진폭 정보를 나타나게 된다.

그림 4는 IQ 복조기 및 그 제어기를 나타내고 있는데 ALC 회로 출력 신호들은 혼합기의 LO 단에, 결합기 C6로부터 입력되는 신호들은 혼합기의 RF 단에 입력되며 각각 $V_r \cos(\omega t)$ 와 $V_o \cos(\omega t + \theta)$ 라고 한다면 IF 단에서 출력되는 신호들은 다음과 같다^[8].

$$\begin{aligned} V_1 &= K_1 \frac{V_r}{\sqrt{2}} \cos \omega t \cdot \frac{V_o}{\sqrt{2}} \cos(\omega t + \theta) \\ &= \frac{K_1 V_r V_o}{2} \cos \omega t \cdot \cos(\omega t + \theta) \\ &= \frac{K_1 V_r V_o}{4} [\cos(2\omega t + \theta) + \cos \theta] \end{aligned}$$

$$\begin{aligned} V_Q &= K_2 \frac{V_r}{\sqrt{2}} \cos \omega t \cdot \frac{V_o}{\sqrt{2}} \cos(\omega t + \theta - 90^\circ) \\ &= \frac{K_2 V_r V_o}{2} \cos \omega t \cdot \cos(\omega t + \theta - 90^\circ) \\ &= \frac{K_2 V_r V_o}{4} [\cos(2\omega t + \theta - 90^\circ) + \cos(\theta - 90^\circ)] \end{aligned}$$

$$= \frac{K_2 V_r V_o}{4} [\cos(2\omega t + \theta - 90^\circ) + \sin \theta]$$

where K_1, K_2 : conversion factor

이때 동일한 혼합기를 사용하고 IF 출력 신호들이 매우 낮은 주파수 성분을 통과시키는 저역 통과 여파기를 통과한다면 V_1 와 V_0 는 각각

-6-

[ÀÀü](#) [ÛÀ½](#)

$$V_I \approx \frac{KV_r V_o}{4} \cos\theta$$

$$V_Q \approx \frac{KV_r V_o}{4} \sin\theta$$

이 되며 V_I 와 V_Q 는 IQ 복조기에 인가되는 두 신호들간의 상대 위상 정보를 제공한다. 이 위상 정보는 DC 스위치 SW3, SW4를 거쳐 각각 캐패시터 C3와 C5에 충전된다. 만약 클럭 발생기가 low 값을 가지면 RF 스위치는 주 경로 쪽을 선택하게 되고 그 주 경로 신호 레벨의 진폭에 해당되는 전압은 캐패시터 C2에, 그 위상정보는 IQ 복조기를 통해 캐패시터 C4, C6에 저장된다. 캐패시터 C1 ~ C6에 저장된 전압들은 ALC 회로에 사용된 비교 및 적분기와 동일한 회로의 각각 V_{ref} , V_d 단자에 인가되고 ALC 회로와 동일한 동작 원리에 의하여 서로 같은 값이 되도록 조정된다. 분배기 C4와 분배기 C5를 통과하여 빼기 회로에 인가되는 신호들이 서로 역위상이 되도록 보장된다면, ALC 회로에서의 제어 동작이 빼기 회로 출력단에서는 주 신호들이 제거되는 효과로 바뀔 것이다.

종전의 방식이 선형전력증폭기의 입력 단에 부과된 Pilot tone을 기준으로 하여 검출된 Pilot tone을 비교함으로써 주 신호 제거를 구현한 반면, 본 논문의 주 신호 제거 회로는 입력단의 신호 자체를 IQ 복조기의 LO 단에 인가하고 빼기 회로에 인가되는 주 경로 및 보조 경로 신호들의 LO 신호에 대한 상대 위상과 신호 진폭을 비교함으로써 주 신호 제거 효과를 얻는 것을 특징으로 한다.

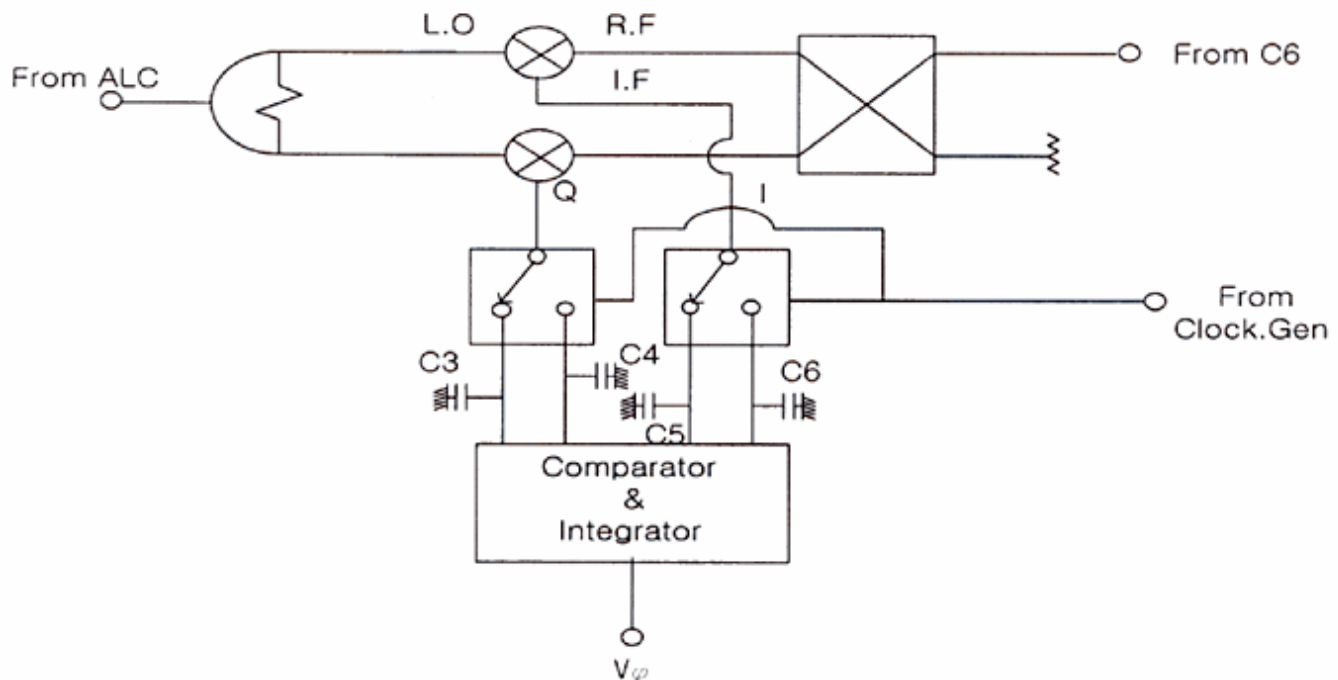


그림 4. IQ 복조기와 Controller

Fig. 4 I&Q Demodulator and Controller

III. 실험 및 결과

주 신호 제거 회로를 위해 설계된 주 증폭기는 DCS 셀룰라 이동전화 기지국의 송신 주파수 대역 869~894MHz에 맞추어 설계되었으며 그 line-up은 그림 5에 나타내었고 대역내 이득은 $58.4 \pm 0.2\text{dB}$, 반사 특성 -18dB 이하로 그 측정 결과는 그림 6에 나타내었다.

-7-

[ÀÀü](#) [_ÙÀ½](#)

가변 감쇠기 및 가변 위상 변환기는 좋은 반사 특성을 위하여 반사형 구조를 채택하였으며, 사용된 다이오드는 각각 Microsemi사의 UPP-9401과 Sony사의 1T362이다. 3dB 분배기는 RF Power사의 S03A888N1을 사용하였다. IQ 복조기를 구현하는데 사용된 혼합기는 Mini-circuit 사의 RMS-2L이며 빼기회로는 Wilkinson Combiner로 구현하였다.

주 신호 제거특성을 측정하기 위해 주 신호 제거 회로에 $f_1=877\text{MHz}$ 및 $f_2=882\text{MHz}$ 를 갖는 CW 신호들을 인가하였고 측정된 주 증폭기의 출력 특성을 표 1에 나타내었다. 이때 f_1 보다 작은 주파수 성분을 갖는 3차, 5차, 7차 혼변조 왜곡 신호들을 P_{-3} , P_{-5} , P_{-7} 로 표현하여 그 출력 레벨을 측정하였고, f_2 보다 큰 주파수 성분을 갖는 3차, 5차, 7차 혼변조 왜곡 신호들을 P_{+3} , P_{+5} , P_{+7} 로 표현하여 그 출력 레벨을 측정하였으며 동작 전압은 24V이다. 또한 주 증폭기에 인가된 동작 전압을 21V, 27V로 각각 했을 때의 특성도 측정하였다.

또한 빼기 회로의 출력단에서 측정된 주 신호 출력 특성을 표2에 나타내었다. 이때 출력 특성은 표1에 나타낸 주 증폭기의 출력 레벨에 따른 주 신호 제거 특성이다. 주 신호 제거 정도를 파악하기 위해 주 증폭기의 출력단과 빼기 회로 출력단에서 혼변조 왜곡 신호들 중에 제일 큰 신호 레벨을 갖는 $2f_1 - f_2$ 혼변조 신호 레벨에 대한 주 신호 레벨의 차를 구하여 비교하였다. 출력 레벨이 33.2dBm/ton e 일 때 주 증폭기 출력단에서는 $\text{IMD}_3=31.5\text{dBc}$ 이었으나 빼기

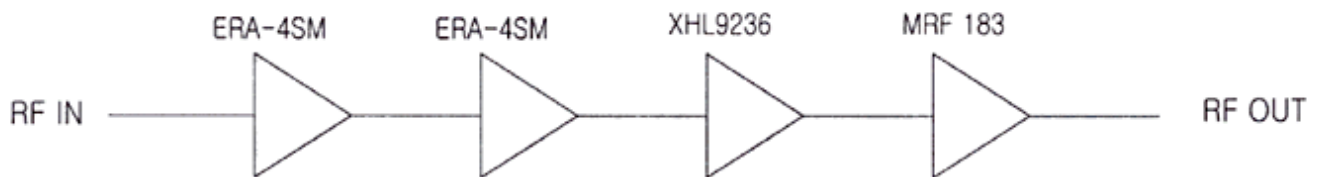
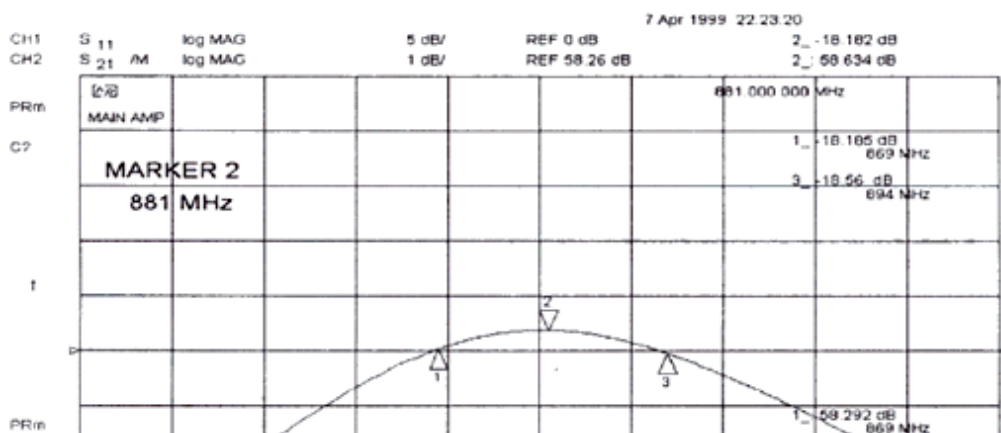


그림 5. 주 증폭기의 line-up
Fig. 5 The line-up of main amplifier



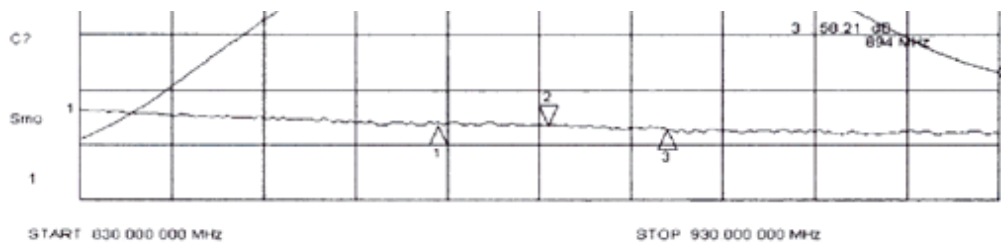


그림 6. 주 증폭기의 이득 및 반사 특성

Fig. 6 The gain and reflection characteristics of main amplifier

회로 출력단에서는 $IMD_3 = -0.17\text{dBc}$ 로 31.67dBc 의 주 신호 제거 특성을 보이고 있다. 그림 7은 주 증폭기의 출력에 따른 주 신호 제거 특성을 나타낸 것으로 $28.34\sim 34.66\text{dBc}$ 의 제거 특성을 보이고 있다. 상용 선형전력증폭기의 주 신호 제거 특성이 $25\sim 35\text{dBc}$ 의 제거 특성을 보이고 있으므로 본 논문의 주 신호 제거 특성은 실제 제품에 적용가능한 특성이라고 판단된다. 그림 8은 선형전력증폭기의 인가 전압이 24V 이며 $P_o = 33.2\text{dBm/ton}$ 일 때의 주 증폭기의 출력 특성과 빼기 회로의 출력 특성으로써 주 신호 제거 정도를 보이고 있다.

한편 선형전력증폭기의 동작 전압이 바뀌어도 주 신호 제거 회로가 정상적으로 동작함을 보이기 위해 인가 전압을 24V 에서 21V 및 27V 로 바꾸어 보았다. 표 1과 표 2에서 신호 레벨

표 1. 주 증폭기의 출력 특성

Table 1. The output characteristics of main amplifier [dBm/ton]

$V_c[V]$	P_{-7}	P_{-5}	P_{-3}	P_1	P_2	P_{+3}	P_{+5}	P_{+7}
24	-14.47	-6.13	9.53	36.2	36.2	-1.8	-4.47	-9.8
	-17.8	-9.13	6.87	35.2	35.2	-2.3	-9.13	-15.3
	-19.47	-11.47	4.2	34.2	34.2	-2.97	-9.43	-15.3
	-21.97	-13.97	1.7	33.2	33.2	-3.8	-11.8	-18.13
	-23.97	-16.6	-0.63	32.2	32.2	-4.8	-13.63	-20.3
	-29.0	-18.8	-2.97	31.2	31.2	-6.13	-15.8	-23.0
		-21.97	-5.3	30.2	30.2	-7.47	-19.13	-27.6
		-24.97	-7.97	29.2	29.2	-9.13	-21.97	-30.63
	-28.63	-10.97	28.2	28.2	-11.47	-25.3		
27	-23.8	-15.63	0.37	33.2	33.2	-5.97	-13.8	-19.13
21	-20.13	-11.97	3.7	33.2	33.2	-2.3	-9.47	-16.3

표 2. 빼기 회로의 출력 특성

Table 2. The output characteristics of subtractor [dBm/ton]

$V_c[V]$	$P_o[\text{dBm/ton}]$	P_{-7}	P_{-5}	P_{-3}	P_1	P_2	P_{+3}	P_{+5}	P_{+7}
	36.2	-60.17	-52.17	-36.5	-39.67	-38.17	-47.33	-50.5	-56.17
	35.2	-63.0	-55.31	-39.5	-41.17	-40.67	-48.67	-53.17	-58.83
	34.2	-64.67	-57.33	-41.83	-42.67	-42.67	-49.33	-55.17	-61.0

24	33.2	-66.83	-60.0	-44.0	-44.17	-45.0	-49.83	-57.33	-63.5
	32.2	-69.33	-61.33	-46.83	-49.0	-47.0	-50.83	-59.5	-66.17
	31.2	-74.5	-65.17	-49.0	-50.67	-49.33	-52.5	-63.0	-70.33
	30.2	-77.17	-68.0	-51.17	-52.17	-50.33	-53.83	-65.33	-72.17
	29.2		-70.33	-54.0	-51.0	-52.33	-55.67	-67.67	-76.33
	28.2		-73.67	-56.83	-46.33	-49.17	-57.83	-71.0	
27	33.2	-26.13	-19.13	- 3.63	- 2.13	- 3.47	- 9.63	-17.63	-23.47
21	33.2	-22.8	-15.3	- 0.13	- 1.97	- 3.13	- 6.13	-13.13	-19.63

-9-

ÀÀü ÙÀ½

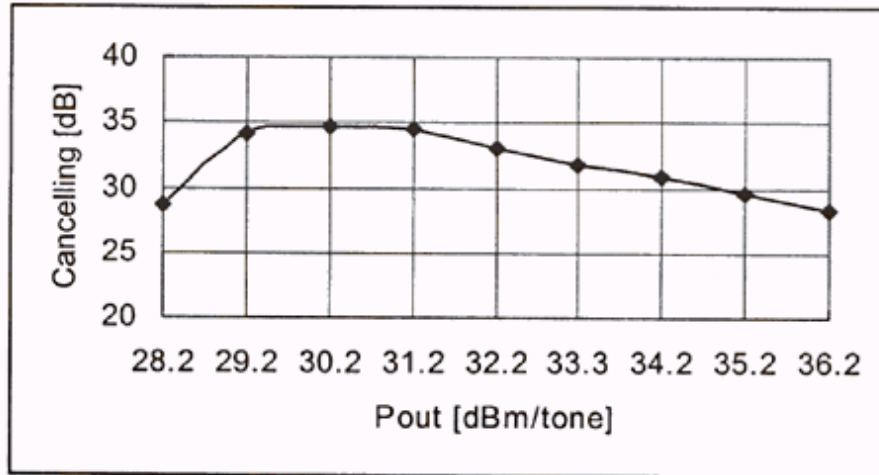
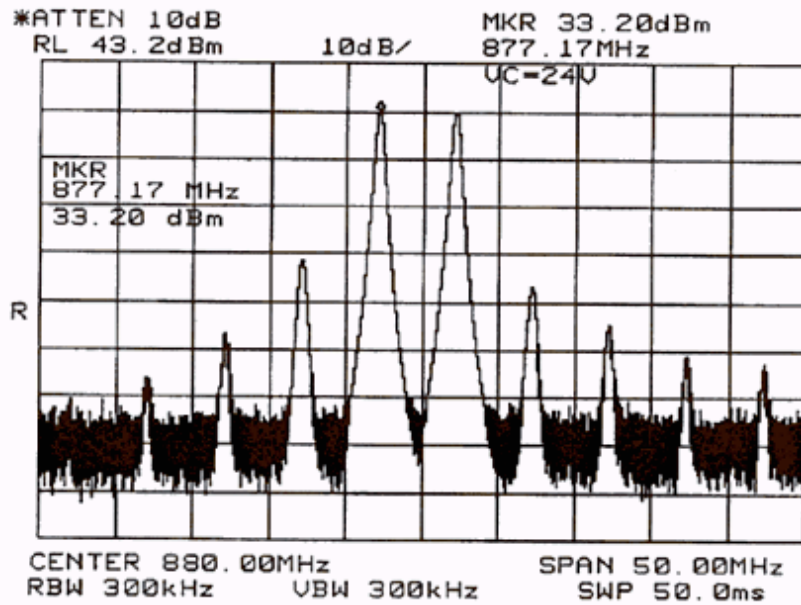
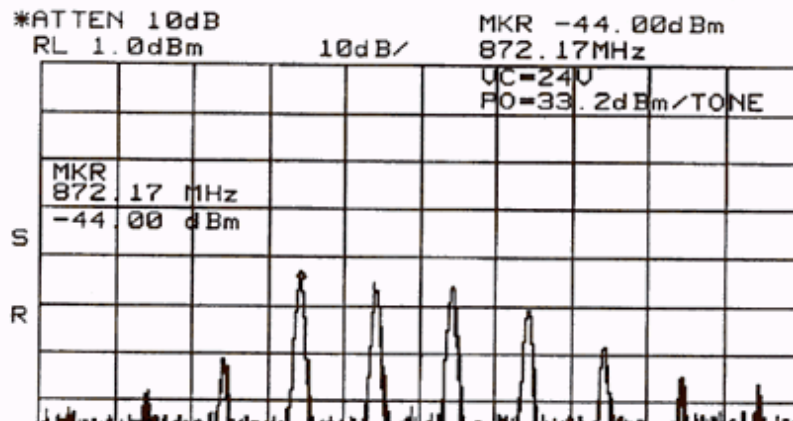


그림 7. 선형전력증폭기 출력에 따른 주 신호 제거 특성

Fig. 7 The main carriers rejection characteristics according to the output power levels of LPA



(a)



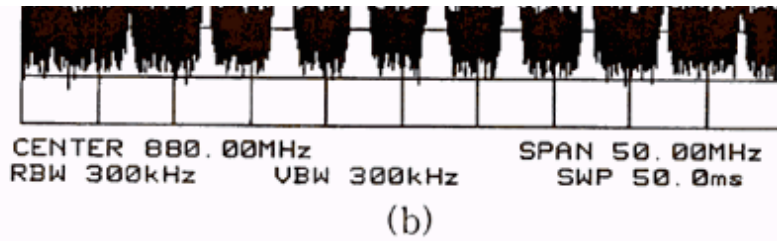


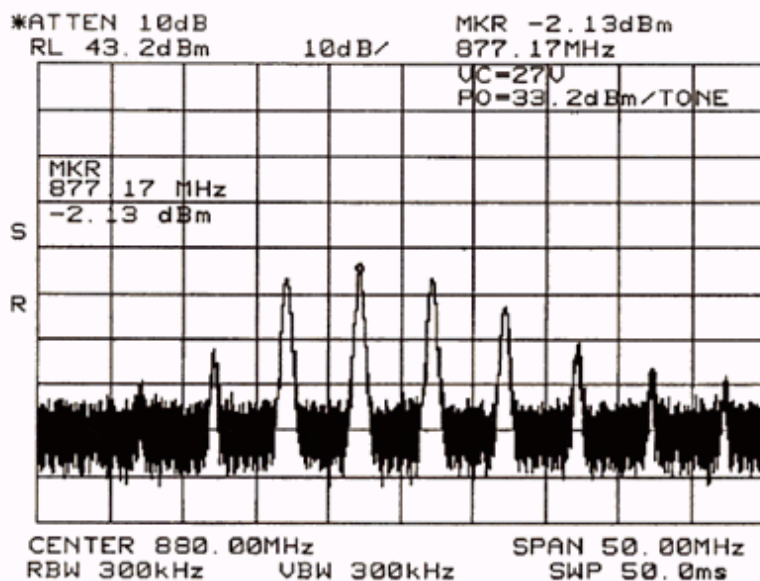
그림 8. (a) 주 증폭기 출력 특성 (@ $P_o=33.2\text{dBm}/\text{tone}$, $V_c=24\text{V}$)

(b) 자동적응 주 신호 제거 회로 특성 (@ $P_o=33.2\text{dBm}/\text{tone}$, $V_c=24\text{V}$)

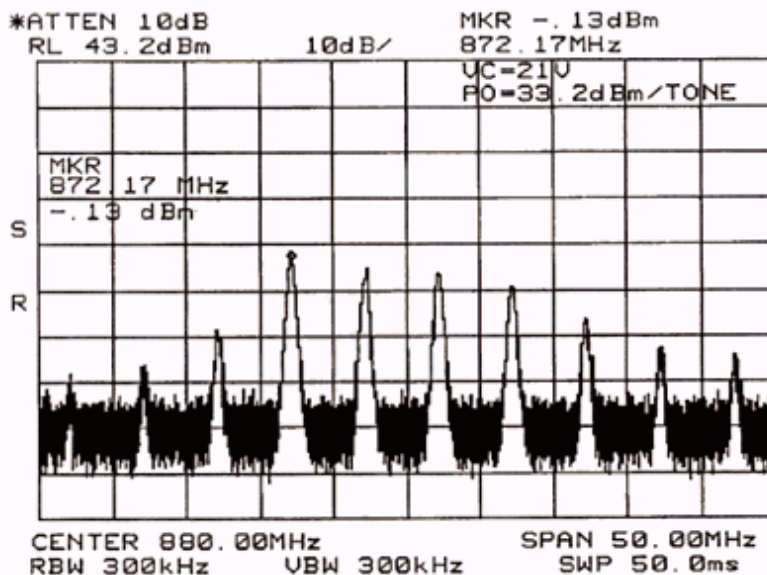
Fig. 8 (a) The output characteristics of main amplifier(@ $P_o=33.2\text{dBm}/\text{tone}$, $V_c=24\text{V}$)

(b) The output characteristics of adaptive main carriers rejection circuit
(@ $P_o=33.2\text{dBm}/\text{tone}$, $V_c=24\text{V}$)

들을 비교해 보면 각각 31.33dBc, 31.3dBc를 얻으므로 환경변화에 대해서도 자동적으로 적응되어 가면서 주 신호 제거 특성을 유지함을 볼 수 있다. 그림 9는 선형 전력 증폭기의 동작 전압을 27V 및 21V 로 바뀌었을 때의 주 신호 제거 특성이다.



(a)



(b)

- 그림 9. (a) 자동적응 주 신호 제거 회로 특성 (@ $P_o=33.2\text{dBm}/\text{tone}$, $V_c=27\text{V}$)
(b) 자동적응 주 신호 제거 회로 특성 (@ $P_o=33.2\text{dBm}/\text{tone}$, $V_c=21\text{V}$)

Fig. 9 (a) The output characteristics of adaptive main carriers rejection circuit(@ $P_o=33.2\text{dBm}/\text{tone}$, $V_c=27\text{V}$)
(b) The output characteristics of adaptive main carriers rejection circuit(@ $P_o=33.2\text{dBm}/\text{tone}$, $V_c=21\text{V}$)

[ÀÀü](#) [_ÙÀ½](#)

IV. 결 론

본 논문에서는 새로운 형태의 선형전력증폭기용 자동적용 주 신호 제거 회로 설계 방법을 제시하고 실험을 통해 검증하였다. 종전의 방법들은 주 신호 제거 특성을 얻기 위해 Pilot tone들을 사용하였지만 본 논문에서는 Pilot tone들을 사용함이 없이 빼기 회로에 인가되는 신호들의 진폭과 선형 전력 증폭기의 입력 단에 인가되는 최초 입력 신호에 대한 주 경로와 보조 경로의 신호들간의 상대 위상 정보의 비교로 주 신호 제거 특성을 얻을 수 있는 설계 방법을 제시하였다.

DCS 셀룰라 대역용 대전력 증폭기를 제작하였고 또한 주 신호 제거용 세부 회로를 제작하여 2-tone 실험을 해 본 결과 주 증폭기의 출력이 36.2~28.2dBm/tone일 때 28.34~34.66 dB의 주 신호 제거 특성을 얻을 수 있었으며, 선형전력증폭기의 동작 전압을 21~ 27V로 변환시켜도 거의 비슷한 주 신호 제거 특성을 얻었다.

이 설계 방법은 기존의 외국 선형 전력 증폭기 제작업체의 특허에 저촉되지 않으면서 실시간대에서 조정이 이루어지고 선형 전력 증폭기의 입력 레벨과 동작 전압 변화에 대해서도 자동적으로 조정이 이루어지는 자동적용 주 신호 제거 특성을 가짐을 확인하였고 산업계에서 즉시 사용 가능한 설계 방법이라고 판단된다.

V. 참고문헌

1. William C. Y. Lee, *Mobile Cmmunication Engineering*, McGraw-Hill Book Company, pp.235-272, 1982.
2. John L. B. Walker, *High Power GaAs FET Amplifier*, Artech House, pp.315-351, 1993.
3. Mahesh Kumar, James C. Whartenby, Herbert J. Wolkstein, "Predistortion Linearizer Using Dual Gate MESFET for TWTA and SSPA used in Satellite Transponders," *IEEE Trans* Vol. MTT-33, No.12, pp.1479-1488, Dec. 1985.
4. F. Perez, E. Ballesteros, J. Peres, "Linearization of Microwave Amplifiers using Active Feedback Network," *Electronics Letters*, Vol.21, No.1, pp.9-10, Jan. 1985.
5. H. Seidel, "A Feed-Forward Experiment Applied to an L-4 Carrier System Amplfier," *IEEE Trans. on Comm.*, Vol. COM-19, No.3, pp.320-325, June 1971.
6. Derek L. Tattersall, "Feed Forward Amplifier Network with Frequency Swept Pilot Tone," US Patent No. 5130663, 1992.
7. Shoichi Narahashi, Toshio Nojima, Makoto Maeta, "Feed-Forward Amplifier," US

Patent No. 5166634, 1993.

8. Walter Joswick, "I/Q Networks deliver Various Modulation Formats," Microwave & RF, Vol.33, pp.81-94, March. 1994.

-12-

[ÄÄü](#) [Ä³Ä½](#)