

# Feedforward 구조와 DGS를 이용하여 기본 신호와 3차 이상의 고조파 신호를 제거한 2차 주파수 체배기 설계

## A Novel Frequency Doubler using Feedforward Structure and DGS Microstrip for Fundamental and High-Order Components Suppression

황 도 경 · 임 종 식\* · 정 용 채

Do-Kyeong Hwang · Jong-Sik Lim\* · Yong-Chae Jeong



# Feedforward 구조와 DGS를 이용하여 기본 신호와 3차 이상의 고조파 신호를 제거한 2차 주파수 체배기 설계

## A Novel Frequency Doubler using Feedforward Structure and DGS Microstrip for Fundamental and High-Order Components Suppression

황도경 · 임종식\* · 정용채

Do-Kyeong Hwang · Jong-Sik Lim\* · Yong-Chae Jeong

### 요약

본 논문에서는 feedforward 구조와 DGS 마이크로스트립 전송선로를 이용한 새로운 2차 주파수 체배기를 제안하였다. Feedforward 구조는 기본 주파수 신호를 억압하는 역할을 하며, DGS 마이크로스트립 전송선로는 3차 이상의 고조파 신호들을 억압하는 데 사용된다. 제안된 2차 주파수 체배기는 불요파 신호들을 효과적으로 쉽게 억압할 수 있다. 실험적으로 제안된 방법을 1.87 GHz 신호를 3.74 GHz 신호로 체배하는데 적용하였다. 3.74 GHz( $2f_0$ )에서의 출력 전력이 -3 dBm일때, 기본 주파수 신호( $f_0$ )는 42.9 dB, 3차 고조파 신호( $3f_0$ )는 20.2 dB, 4차 고조파 신호( $4f_0$ )는 29.7 dB의 억압 특성을 얻었다. 100 MHz 대역폭에서 변환 손실은 -2.34 dB ~ -5.8 dB 였고, 위상잡음 특성은 -97.51 dB/Hz(@10 kHz)으로 나타났다.

### Abstract

In this paper, a novel design concept of frequency doubler using feedforward technique and DGS microstrip line is proposed. The feedforward loop plays a role of fundamental frequency suppression and DGS microstrip line suppresses over the 3rd order harmonic components. By using this new concept, the high suppression for the undesired signals could be achieved easily. The proposed technique is experimentally demonstrated in 1.87 GHz-to-3.74 GHz frequency doubler. The output power of -3 dBm at the frequency of 3.74 GHz( $2f_0$ ) is measured with 42.9 dB suppression of the fundamental frequency signal( $f_0$ ), 20.2 dB suppression of the 3rd harmonic signal( $3f_0$ ) and 29.7 dB suppression of the 4th harmonic signal( $4f_0$ ). The conversion loss of -2.34 dB ~ -5.8 dB at the bandwidth of 100 MHz, the phase noise of -97.51 dB/Hz(@10 kHz) were measured.

Key words : Doubler, Feedforward, DGS, Conversion Loss, Phase Noise

### I. 서론

마이크로파, 밀리미터파 통신 및 레이다 시스템에서는 높은 안정도와 저위상 잡음의 깨끗한 신호원을 요구한다. 이러한 신호원은 상대적으로 좋은

위상 잡음 특성을 가지고 있는 낮은 주파수의 신호원을 체배하여 얻을 수 있다.

일반적으로 능동 체배기는 낮은 차수의 하모닉 체배의 경우에 변환 이득을 얻을 수 있으며, 리액턴스 성분의 비선형 요소를 사용하여 하모닉을 발생

「본 연구는 한국과학재단 목적 기초연구(2000-1-30200-007-3) 지원으로 수행되었음.」

전북대학교 공과대학 전자정보공학부 및 정보통신연구센터(Division of Electronic & Information Engineering, Institute of Information & Communication, Chonbuk National University)

\*서울대학교 BK-21 정보기술개발단(Division of Information Technology, Brain Korea 21, Seoul National University)

· 논문 번호 : 20030123-018

· 수정완료일자 : 2003년 3월 7일



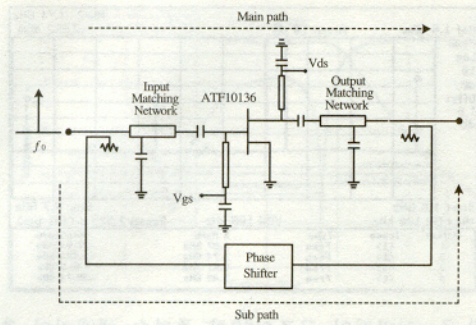


그림 3. Feedforward 구조를 적용한 2차 주파수 체배기 블록도

Fig. 3. Block diagram of frequency doubler using feedforward structure.

성분을 효과적으로 제거하는 기술로 널리 사용되고 있으며 다른 선형화 방식에 비해 넓은 주파수 특성과 발전 가능성이 거의 없다는 것이 특징이다. 본 논문에서는 기본 주파수 성분을 제거하기 위한 방법으로 사용되었으며 그림 3은 기본 주파수 신호 상쇄를 위해 사용된 feedforward 구조 2차 주파수 체배기의 블록도이다. 보통 능동 주파수 체배기는 체배 후에 기본 주파수 신호 레벨이 감소되므로, 체배기 전후에 있는 결합기의 결합계수와 가변 위상 변환기의 위상을 제어함으로써 원하지 않는 기본 주파수 신호 성분을 억압할 수 있다<sup>[4],[5]</sup>. 그러나 선형 전력증폭기를 feedforward 구조로 구현할 때, 주 신호 제거 루프에서는 주 신호만 제거되듯이 feedforward 구조를 적용한 2차 주파수 체배기에서는 3차 이상의 체배 신호들을 제거할 수 없게 된다.

### 2-3 DGS 마이크로스트립 전송선로

마이크로스트립 전송선로의 접지면을 일부 식각해 내는 DGS 마이크로스트립 전송선로는 전송선로 등가회로의 직렬 인덕턴스를 증가시키는 것과 같다. 따라서 접지면을 식각하지 않은 경우와 동일한 특성 임피던스를 유지하기 위해서는 DGS 마이크로스트립 전송선로의 폭이 넓어져야 하는데, 이는 전송선로의 단락 캐패시턴스를 증가시키는 것과 같다. 등가 직렬 인덕턴스와 단락 캐패시턴스의 증가는 위상 상수의 증가와 전파지연 효과를 유발한다. 따라서 DGS 마이크로스트립 전송선로는 회로 소형화에 기여할 수 있다<sup>[6]</sup>.

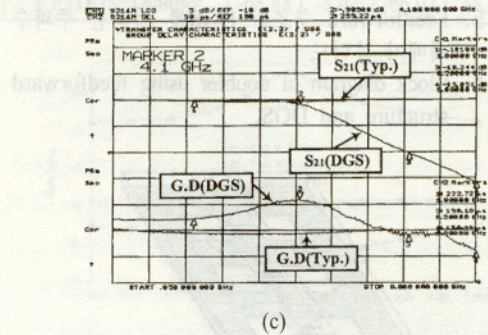
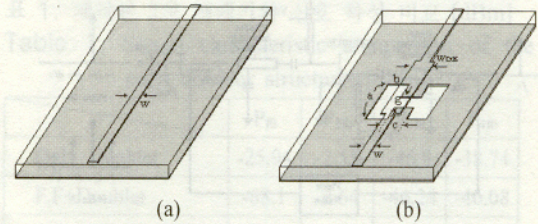


그림 4. (a) 마이크로스트립 전송선로 구조 (b) DGS방식 마이크로스트립 전송선로 구조 (c) 전달 및 전파지연 특성 비교

Fig. 4. (a) Layout of a standard microstrip line, (b) Layout of a DGS microstrip line, (c) Comparison of transfer characteristics and group delay.

그림 4는 일반적인 마이크로스트립 전송선로와 DGS 마이크로스트립 전송선로의 물리적 구조와 그 전기적 특성을 보이고 있다. 4 GHz 이하인 주파수 대역에서는 일반적인 마이크로스트립 전송선로와 DGS 마이크로스트립 전송선로의 전달 특성이 거의 같지만, 그 전파지연 특성은 다르게 나타남을 볼 수 있다. 즉 동작 주파수가 커질수록 다른 전파지연 효과가 나타남을 보이고 있다. 또한 4 GHz 이상에서는 신호 감쇄 특성이 강해져서 저역 통과 여파 특성이 나타남을 알 수 있다. 이때 DGS의 셀 파라미터 값을 조절함으로써 주파수 특성을 제어할 수 있다.

주파수 체배기의 출력단에 DGS 마이크로스트립 전송선로를 사용하여 그 저역 통과 여파 특성을 이용한다면, 주파수 체배기의 3차 이상 고조파 신호들을 효과적으로 제거할 수 있다.

### 2-4 Feedforward와 DGS를 사용한 2차 주파수 체배기

기본 주파수뿐만 아니라 3차 이상의 고조파 신호들을 억압시키기 위해서 본 논문에서는 feedforward



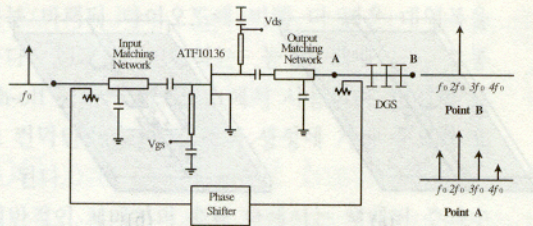


그림 5. Feedforward 구조와 DGS를 적용한 주파수 체배기 블럭도

Fig. 5. Block diagram of doubler using feedforward structure and DGS.

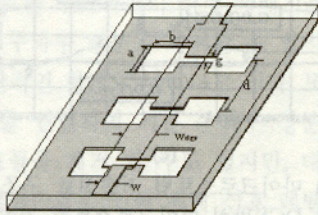


그림 6. DGS 마이크로스트립 선로의 구조  
Fig. 6. DGS microstrip line structure.

기법과 DGS 마이크로스트립 전송선로를 이용하였으며 그림 5는 그 구조도와 예상 주파수 스펙트럼을 보이고 있다. 그림 6은 설계된 DGS 마이크로스트립 전송선로의 구조를 나타내었으며, 식각된 결함의 크기는  $a=4$  mm,  $b=3.5$  mm,  $d=9.3$  mm,  $g=0.5$  mm,  $w=2.38$  mm,  $w_{dgs}=4.37$  mm이다. 식각된 접지면의 크기를 조절하여 2차 체배 주파수까지 저역통과 특성을 갖도록 설계하였으며 Ansoft사의 HFSS V.8이 사용되었다.

### III. 실험 및 결과

본 논문에서 제시하는 2차 주파수 체배기의 타당성을 보이기 위해 1.87 GHz의 신호원을 3.74 GHz로 체배하는 2차 주파수 체배기를 설계하였다. 사용된 트랜지스터는 HP사의 ATF10136 MESFET이고, 드레인 전압은 1.2 V, 게이트 전압은 -1.24 V로 하여 2차 고조파 성분이 가장 많이 발생하도록 B급과 C급 사이의 pinch-off전압 근처에서 동작하도록 하였다. 또한 입출력 정합점은 Load-pull 방법을 이용하여 추출하였고, Agilent사의 ADS를 이용하여 정합회로를 설계하고 구현하였다. 그림 7은 제작된 체배기의 출력 특성을 나타내는데 2차 체배 신호 이외

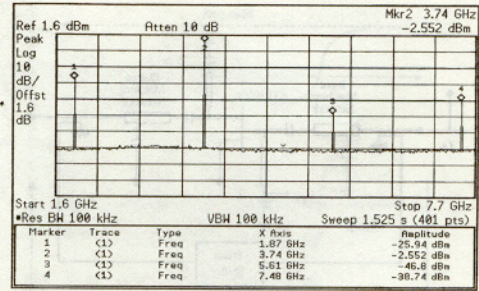


그림 7. 일반적인 구조의 2차 주파수 체배기의 출력 특성

Fig. 7. Output characteristic of the general frequency doubler.

에 기본 주파수 신호와 3차 이상의 고조파 신호들이 함께 나타난다. 이때 2차 체배 신호는 0 dBm의 기본과 입력 신호에 대하여 -2.55 dB의 변환 손실을 가지며 기본 주파수 신호의 크기는 -25.94 dBm이다.

그림 8은 제작된 체배기에 feedforward 구조를 적용하여 기본 주파수 신호를 억압한 체배기의 출력 특성으로 기본 주파수 신호가 42.2 dB 억압되었음을 관찰할 수 있다.

그림 9는 DGS 마이크로스트립 전송선로의 시뮬레이션 특성과 제작 특성을 보이고 있다. 2차 체배 주파수에서는 약 0.4 dB 정도의 삽입손실을 갖지만 3차 이상의 고조파 대역에서 23 dB 이상의 감쇄 특성을 얻음을 보이고 있다. 이는 체배기의 고조파 성분을 단락시킴을 보이는 것이다.

그림 10은 feedforward 구조와 DGS를 적용한 2차 주파수 체배기의 출력 특성이다. 0 dBm의 입력 신호에 대하여 체배된 2차 주파수 신호는 -3 dBm이

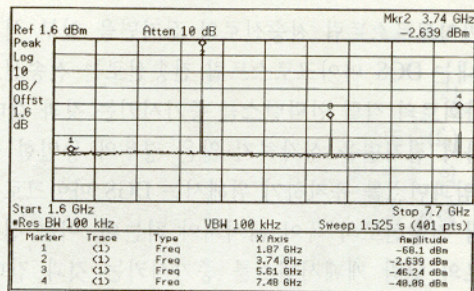


그림 8. Feedforward 구조를 적용한 2차 주파수 체배기 출력 특성

Fig. 8. Output characteristic of frequency doubler using feedforward structure.



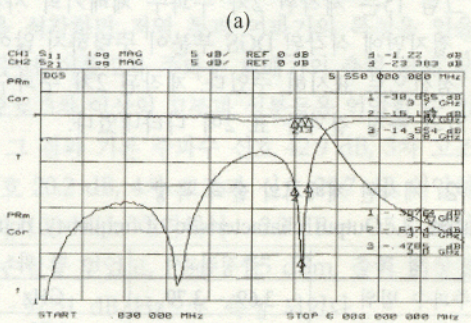
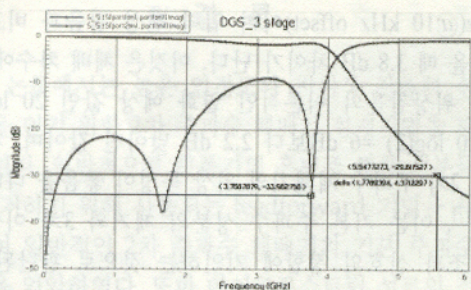


그림 9. (a) DGS 전송선로 시뮬레이션 특성  
(b) 제작된 DGS 전송선로의 특성  
Fig. 9. (a) Simulation characteristic of the DGS microstrip line simulation.  
(b) Characteristic of the fabricated DGS microstrip line.

며, 기본 주파수 신호는 42.9 dB, 3차 고조파 신호는 20.2 dB, 4차 고조파 신호는 29.7 dB 억압되었음을 관찰할 수 있다. 표 1은 제작된 2차 주파수 체배기의 신호 레벨들을 비교 요약한 것이다.

그림 11은 feedforward 구조를 사용했을 때 주파수 변화에 따른 기본 주파수 신호의 억압 특성을 나타낸 것이다. feedforward 구조를 사용하기 전과

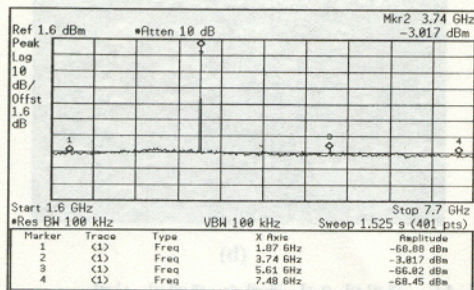


그림 10. Feedforward 구조와 DGS를 적용한 2차 주파수 체배기 출력 특성  
Fig. 10. Output characteristic of frequency doubler using feedforward structure and DGS.

표 1. 제작된 2차 체배기의 신호 특성 비교 [dBm]  
Table 1. Signal characteristic comparison of the each doubler structure. [dBm]

	$P_{f0}$	$P_{2f0}$	$P_{3f0}$	$P_{4f0}$
Only Doubler	-25.94	-2.55	-46.8	-38.74
F.F+Doubler	-68.1	-2.64	-46.24	-40.08
F.F+DGS+Doubler	-68.88	-3.02	-66.02	-68.45

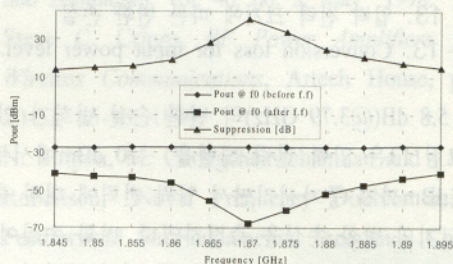


그림 11. 주파수 변화에 따른 기본 주파수 신호의 feedforward 구조에 의한 억압특성  
Fig. 11. fundamental signal suppression by feedforward structure for frequency sweep.

feedforward 구조를 사용한 후의 기본 주파수 신호 레벨과 억압된 양을 동시에 나타내었다. 중심 주파수에서 42.9 dB 억압에 비해 대역 양쪽 끝에서는 14 dB로 억압이 저조한 이유는 그림 3의 블럭도에서 주경로와 보조경로의 균지연 속도를 맞추었지만, 주경로의 균지연 특성의 평탄도와 기본파 신호의 변환 특성이 일정하지 않았기 때문이다.

그림 12는 주파수 변화에 따른 변환 손실을 측정 한 것이다. 즉 입력 주파수 신호의 크기에 대한 체배된 2차 주파수 신호의 크기를 나타낸 것이다. 3.74 GHz에서 -2.9 dB의 변환 손실을 가지며, 100 MHz 대역에서  $\pm 1.73$  dB, 즉 -2.34 dB(@3.71 GHz)

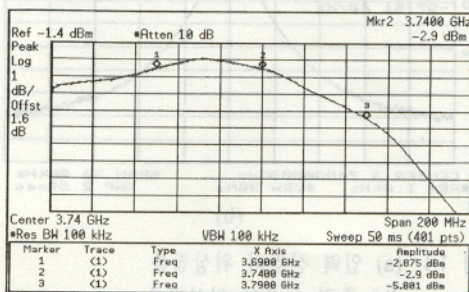


그림 12. 주파수에 따른 변환 손실  
Fig. 12. Conversion loss for frequency sweep.



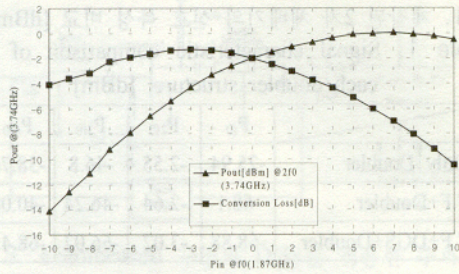
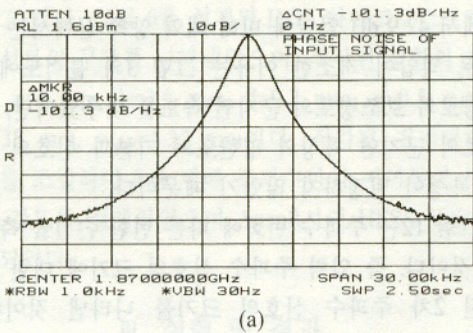


그림 13. 입력 전력 크기에 따른 변환 손실  
Fig. 13. Conversion loss for input power level.

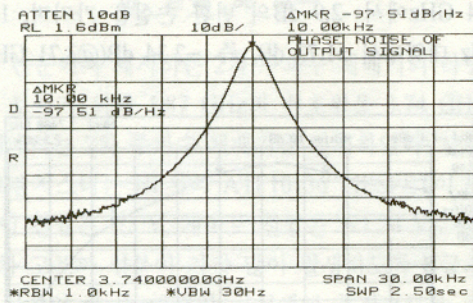
~ -5.8 dB(@3.79 GHz)의 변환 손실 변화가 있다.

그림 13은 입력 전력 레벨을 -10 dBm에서부터 +10 dBm까지 증가시키면서 입력 전력에 대한 출력의 크기와 변환 손실을 측정하였다. 변환 손실이 증가하다가 1 dB 감소하는 지점, 즉 입력 전력의 크기가 1 dBm일 때의 출력 전력의 크기인 -1.5 dBm을  $P_1$  dB 라고 할 수 있다.

그림 14는 2차 주파수 체배기의 입력 신호와 출력 신호의 위상 잡음을 측정된 것이다. 제작된 2차 주파수 체배기의 출력 위상 잡음 특성은 -97.51 dB/



(a)



(b)

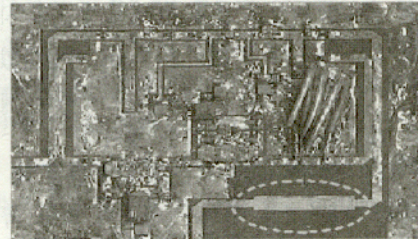
그림 14. (a) 입력 신호의 위상잡음  
(b) 출력 신호의 위상잡음  
Fig. 14. (a) Phase noise of input signal.  
(b) Phase noise of output signal.

Hz(@10 kHz offset)이며 입력 위상 잡음과 비교했을 때 3.8 dB 차이가 난다. 이것은 체배 차수에 따른 위상잡음의 이론적인 열화 예상 값인  $20 \log N = 20 \log(2) = 6$  dB보다 2.2 dB 낮아진 값이며, 제작된 2차 주파수 체배기의 위상 특성이 좋음을 나타낸다<sup>[7]</sup>. 이는 기본 주파수 성분의 제거와 3차 이상의 고조파 신호의 정합에 기인하는 것으로 판단된다.

그림 15는 제작된 2차 주파수 체배기의 사진이며, 접지면에 식각된 DGS 부분이 뚜렷하지 않아 흰색 점선으로 표시해 주었다. 제작된 2차 주파수 체배기의 측정 결과를 표 2에 나타내었다.

표 2. 제작된 체배기의 출력 특성  
Table 2. Output characteristic of frequency doubler.

항 목	측정결과	단 위
주파수 범위	3.69 ~ 3.79	GHz
주파수 대역	100	MHz
출력 전력	-2.34 ~ -5.8	dBm
변환 손실	-2.34 ~ -5.8	dB
$P_1$ dB	-1.5	dBm
위상잡음저하	3.8	dB
소비전류	14	mA
전원전압	1.2	V



(a)



(b)

그림 15. 제작된 2차 주파수 체배기 사진  
(a) 앞면, (b) 뒷면  
Fig. 15. Photographs of the fabricated frequency doubler.  
(a) Top view, (b) Bottom view



#### IV. 결 론

본 논문에서는 높은 안정도와 저위상 잡음의 신호원을 얻기 위한 2차 주파수 체배기 설계기법을 제시하였다. 일반적으로 증폭기의 혼변조 왜곡 성분들을 제거하기 위해 사용되는 feedforward 기법을 사용하여 일반적인 2차 주파수 체배기의 기본 주파수 성분을 억압하였다. 또한 마이크로스트립 선로의 접지면을 식각하면 저역 통과 여파기의 특성을 얻을 수 있는데 이를 2차 주파수 체배기의 출력단에 부착함으로써 3차 이상의 고조파 성분들을 억압할 수 있었다. 그 결과 기본 주파수 신호 42.9 dB, 3차 고조파 신호 20.2 dB, 4차 고조파 신호 29.7 dB 억압하였으며, 100 MHz 대역에서  $-2.3 \text{ dB} \sim -5.8 \text{ dB}$ 의 변환 손실을 얻었고,  $P_{1dB} = -1.5 \text{ dBm}$ , 출력 위상잡음은  $-97.51 \text{ dB/Hz}$ 로 측정 되었다.

본 논문에서 제시한 모든 회로들은 높은 Q값을 요구하지 않는 회로들로 구현되었으므로 모두 집적화가 가능하며 이를 집적회로화 한다면 시스템 소형화에 기여할 것으로 판단되며 향후 연구과제이다.

#### 감사의 글

본 연구의 시뮬레이션 소프트웨어를 협조해주신 한국 Agilent Technologies사와 Ansoft Korea에 감사드립니다.

#### 참 고 문 헌

[1] Donald G. Thomas, Jr. and G. R. Branner, "Optimization of Active Microwave Frequency

Multiplier Performance Utilizing Harmonic Termination Impedances", *IEEE Transactions on Microwave Theory and Techniques*, vol. 44, no. 12, Dec. 1996.

- [2] Staffan P. O. Bruce, "Design and Realization of a Millimeter-Wave Si/SiGe HBT Frequency Multiplier", *IEEE Transactions on Microwave Theory and Techniques*, vol. 46, no. 5, May 1998.
- [3] Steve C. Cripps, *RF Power Amplifiers for Wireless Communications*, Artech House, pp. 20-22, 45-50, 1999.
- [4] N. Siripon, M. Chongcheawchamnan and I. D. Robertson, "Novel Frequency Doubler using Feedforward for Fundamental Frequency Component Suppression", *2001 IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 20-22, 2001.
- [5] Y. C. Jeong, "A Feedforward Power Amplifier with Loops that can reduce RX Band Noises as well as Intermodulation Distortion Signals", *Microwave Journal*, vol. 45, no. 1, pp. 80-91, Jan. 2001.
- [6] Si-Gyun Jeong, Do-Kyeong Hwang, Yong-Chae Jeong and Chul-Dong Kim, "Amplifier design using  $\lambda/4$  High Impedance Bias Line with Defect Ground Structure (DGS)", *IEEE MTT-S Digest*, pp. 1161-1164, 2001.
- [7] 정미경, 홍성용, "8 GHz 대역 국부발진기용 주파수 3체배기 설계 및 제작", *한국전자과학회 논문지*, 13(4), pp. 379-385, 2002년.



황 도 경



2001년 2월: 전북대학교 정보통신 공학과 (공학사)  
2003년 2월: 전북대학교 정보통신 학과 (공학석사)  
[주 관심분야] 주파수 체배기 및 발 생기, 초고주파 회로 설계

정 용 채



1989년 2월: 서강대학교 전자공학 과 (공학사)  
1991년 2월: 서강대학교 전자공학 과 (공학석사)  
1996년 8월: 서강대학교 전자공학 과 (공학박사)  
1991년 2월~1998년 2월: 삼성전자 정보통신본부 선임연구원  
1998년 3월~현재: 전북대학교 전자정보공학부 조교수, 전북대학교 공학연구원 정보통신연구센터 연구원  
[주 관심분야] RF 및 Microwave 회로 해석 및 설계

임 종 식



1991년 2월: 서강대학교 전자공학 과 (공학사)  
1993년 2월: 서강대학교 대학원 전자 공학과 초고주파전공 (공학석사)  
1993년 2월~1999년 3월: 한국전자 통신연구원 위성통신기술연구단, 무선방송연구소 선임연구원

1999년 3월~2003년 2월: 서울대학교 전기공학부 전기컴 퓨터공학부 (공학박사)  
2003년 3월~현재: 서울대학교 BK-21 정보기술개발단 박사후 연수과정  
[주 관심분야] MIC, MMIC 초고주파 회로설계, 능동/수 동 소자 모델링, 위성중계기용 시스템 및 부품, 고출 력 증폭기, 전력분배기/합성기 설계, 주기 구조의 모델 링 및 회로 응용 등

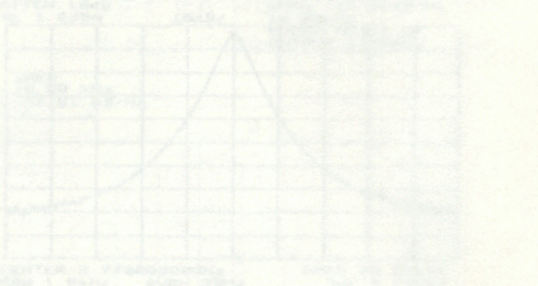


Figure 14. (a) Measured input-output power, (b) Measured insertion loss, (c) Measured return loss, (d) Measured transmission coefficient.



시키는 바랙터 다이오드에 비해 더 넓은 대역폭을 갖는다. FET를 이용하는 능동 체배기는 보통 pinch-off 근처의 바이어스에서 사용되며, 비선형 트랜스 컨덕턴스( $g_m$ )는 고조파 생성에 가장 중요한 요소가 된다.

일반적인 체배기의 출력 단에서는 체배된 주파수 성분 이외에 기본 주파수 성분과 기타 하모닉 성분들을 포함하고 있어서, 설계된 체배기를 다른 초고주파 회로(예: 혼합기, 증폭기 등)와 연결하면 여러 가지 문제를 일으킨다. 이를 위해 체배기의 출력단에  $N/4$  개방 선로를 부착하거나 평형 체배기를 사용함으로써 기본 주파수 성분을 제거할 수 있지만 25 dB 정도가 일반적인 한계로 나타나고 있다. 또한 대역통과 여파기를 연결하여 기본 주파수 성분과 여러 고조파 신호들을 제거 할 수도 있지만, 대역통과 여파기의 삽입손실로 인해 체배 신호 레벨의 감소와 전체 회로 크기의 증가를 일으키며, 전체 송수신기를 집적회로로 만들 경우 여파기로 인하여 제작이 불가능하게 된다<sup>[1][2]</sup>.

본 논문에서는 대역 통과 여파기를 사용하지 않고 체배기의 출력 단에서 발생하는 기본 주파수 성분과 3차 이상의 고조파 신호 성분들을 제거할 수 있는 새로운 구조를 제시하였다. 제안된 방법은 전력증폭기의 혼변조왜곡 성분들을 효과적으로 제거하는 방법인 feedforward 방식을 이용해서 기본신호를 제거하는 것이다. 또한 마이크로스트립 전송선로의 접지면의 일부를 식각함으로써 지역통과 전달특성을 갖는 DGS(Defected Ground Structure) 마이크로스트립 전송선로를 이용해서 3차 이상의 고조파 성분들을 제거하는 것이다.

## II. 설계 방법

### 2-1 일반적인 2차 주파수 체배기 설계

트랜지스터의 입력 전압에 대한 출력 전류 파형을 전도각에 따라 그림 1과 같이 나타낼 수 있다<sup>[3]</sup>. 바이어스에 의한 고조파 신호들의 발생 특성을 그림 1을 바탕으로 푸리에 시리즈를 이용하여 식 (1)과 식 (2)와 같이 일반적인 식으로 표현할 수 있는데, 이때  $\alpha$ 는 트랜지스터 입력 신호의 전도각(Conduction angle)을 나타낸다. 그림 2는 식 (1), 식

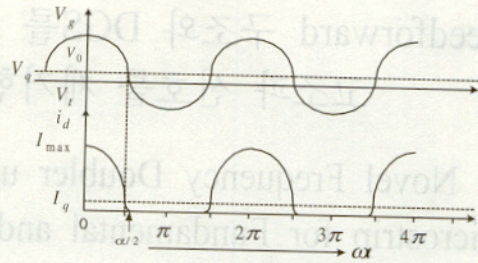


그림 1. 전도각에 따른 출력 전류 파형

Fig. 1. Output current for conduction angle.

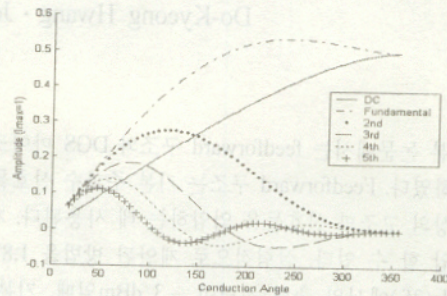


그림 2. 전도각에 따른 고조파 성분의 크기

Fig. 2. Amplitude comparison of the harmonic components for conduction angle.

(2)를 이용하여 전도각에 따른 dc 및 기본파와 5차까지의 고조파 신호의 진폭을 나타낸 것이다. 그림 2에서 2차 고조파 신호 진폭의 최대점은 전도각이 120°일 때이고, 전도각에 따라 그림 1의 출력 전류 파형이 결정되며, 트랜지스터의 바이어스를 B급과 C급 중간 지점인 pinch-off 전압 근처에서 동작시켜야 한다.

$$I_{dc} = \frac{1}{2\pi} \frac{I_{max}}{1 - \cos \frac{\alpha}{2}} \left( 2 \sin \frac{\alpha}{2} - \alpha \cos \frac{\alpha}{2} \right) \quad (1)$$

$$I_n = \frac{1}{\pi} \int_{-\frac{\alpha}{2}}^{\frac{\alpha}{2}} \frac{I_{max}}{1 - \cos \frac{\alpha}{2}} \left( \cos \omega t - \cos \frac{\alpha}{2} \right) \cos n \omega t \, d\omega \quad (2)$$

바이어스를 결정된 후, 입력 단은 기본 주파수( $f_0$ )에 대해 정합을 하되 출력 단에서 체배된 신호의 진폭이 최대가 되도록 정합을 하고, 출력 단은 체배된 주파수( $2f_0$ )에서 정합이 되도록 하였다.

### 2-2 Feedforward 구조를 사용한 2차 주파수 체배기

Feedforward 구조는 전력 증폭기의 혼변조 왜곡