

# 최적 전송 선로를 이용한 고효율 분산형 증폭기의 설계

## A Design of High Efficiency Distributed Amplifier Using Optimum Transmission Line

최흥재 · 유남식\* · 정용채 · 김철동\*\*

Heungjae Choi · Namsik Ryu\* · Yongchae Jeong · Chul Dong Kim\*\*

### 요 약

본 논문에서는 전송 선로 이론을 기반으로 분산형 증폭기의 역방향 전류 성분을 수식적으로 분석하고, 역방향 전류 성분을 상쇄시켜 최소화하기 위한 최적의 전송 선로의 길이를 구하는 방법을 제시하였다. 기존의 설계 방법에서는 역방향 전류 성분을 종단 부하를 통해 단순히 소모시키는 형태이므로 게이트와 드레인 전송 선로의 길이 결정 기준이 설계상에서 뚜렷하게 주어지지 않았지만, 제안하는 방법에서는 역방향 전류 성분들이 서로 상쇄가 일어나도록 하는 전송 선로의 길이를 결정하는 이론적 바탕을 제시함으로써 좀 더 체계적인 설계 방법을 제시하고 있다. 제안하는 이론의 검증을 위하여 회로 시뮬레이션을 수행하였고, pHEMT 트랜지스터를 이용하여 차단 주파수가 3.6 GHz인 최적 전송 선로를 이용한 분산형 증폭기를 제작하였다. 측정을 통해 얻은 결과로서 동작 주파수 범위 내에서 최대 이득은 14.5 dB, 최소 이득은 12.8 dB로 측정되었다. 또한, 제안하는 분산형 증폭기의 측정된 효율은 3 GHz에서 25.6 %로 기존의 일반적인 분산형 증폭기에 비해 약 7.6 % 개선되었다. 출력 전력은 일반적인 분산형 증폭기에 비해 약 1.7 dB 개선된 10.9 dBm을 얻었다. 이러한 성능 개선은 역방향 전류의 상쇄로 인한 것으로 분석된다.

### Abstract

In this paper, we propose a numerical analysis on reversed current of distributed amplifier based on transmission line theory and proposed a theory to obtain optimum transmission line length to minimize the reversed currents by cancelling those components. The reversed current is analyzed as being simply absorbed into the terminal resistance in the conventional analysis. In the proposed analysis, however, they are designed to be cancelled by each other with opposite phase by the optimal length of the transmission line. Circuit simulation and implementation using pHEMT transistor were performed to validate the proposed theory with the cutoff frequency of 3.6 GHz. From the measurement, maximum gain of 14.5 dB and minimum gain of 12.8 dB were achieved in the operation band. Moreover, measured efficiency of the proposed distributed amplifier is 25.6 % at 3 GHz, which is 7.6 % higher than the conventional distributed amplifier. Measured output power is about 10.9 dBm, achieving 1.7 dB higher output power than the conventional one. Those improvement is thought to be based on the cancellation of reversed current.

Key words : Distributed Amplifier, Transmission Line, Power Added Efficiency, Traveling Wave Amplifier

### I. 서 론

최근 대용량 데이터 전송의 필요성 증가에 따라 광대역 통신 시스템의 수요가 증가하고 있다. 특히

전북대학교 정보통신공학과 및 반도체설계교육센터(IDEC WG)(Dept. of Info. & Comm. Engineering, Chonbuk National University)

\*카이로넷(주)(XRONE, Inc.)

\*\*세원텔레텍(주)(Sewon Teletech, Inc.)

· 논문 번호 : 20070904-094

· 수정완료일자 : 2008년 1월 2일

넓은 주파수 대역에서 사용 가능한 광대역 증폭기는 각기 다른 주파수 대역에서 사용되는 여러 가지의 증폭기를 개발하는 것에 비하여 연구 개발의 효율성이 뛰어나므로 이에 대한 연구가 활발하게 진행되고 있다<sup>[1]~[4]</sup>.

광대역 증폭기 설계 방법 중 분산형 증폭기(Distributed Amplifier : DA)는 가장 대표적인 설계 방법이다. 분산형 증폭기는 1940년대 광대역 진공관 증폭기 설계에 사용되었고, 최근의 마이크로파 집적 회로와 소자 제조 기술의 발전으로 광대역 마이크로파 증폭기에 새로 사용되었다. 광대역의 특성을 갖는 반면 고이득이나 저잡음 지수를 얻을 수 없는 단점을 가지고 있다. 분산형 증폭기의 출력 신호는 FET 드레인 선로 상의 진행파를 형성한다. 게이트 선로와 드레인 선로의 전파상수와 길이는 동위상으로 되도록 정하고, 선로의 종단 임피던스는 역 방향으로 진행하는 파를 흡수하는 역할을 한다. 일반적으로 기존의 광대역 증폭기는 높은 주파수에서 10% 정도의 낮은 효율 특성을 가지고 있어서 이를 개선시키고자 많은 노력을 해 왔지만, 드레인 선로 종단 저항으로 흐르는 역 방향 전류 성분에 따른 효율 감소 특성을 해결하지 못했다<sup>[5]~[7]</sup>.

본 논문에서는 드레인 선로 종단 저항으로 제한되는 역 방향 전류를 수식적으로 분석하고, 분산형 증폭기의 각 단에서 발생하는 역 방향 전류가 상호 제거되는 새로운 설계 방법을 제안하였다. 제안된 최적 전송 선로를 이용한 분산형 증폭기(Distributed Amplifier using Optimum Transmission Line: DAOTL)는 차단 주파수 근처에서 기존의 분산형 증폭기(Conventional Distributed Amplifier: CDA)보다 더 높은 효율과 출력, 그리고 평탄한 이득을 얻을 수 있다.

## II. 최적 전송 선로를 이용한 분산형 증폭기(DA) 설계

### 2.1 전송 선로를 이용한 분산형 증폭기 이론

마이크로웨이브 DA의 기본적인 구성은 그림 1에 나타나 있다.  $N$ 개의 동일한 FET가 병렬로 연결되어 있으며, 게이트 사이에는 특성 임피던스  $Z_g$ , 길이  $l_g$  인 전송 선로로 연결되어 있고, 드레인 사이에는 특성 임피던스  $Z_d$ , 길이  $l_d$ 의 전송 선로로 연결되어 있

다. 이상적인 입출력단의 격리 특성을 위해 게이트-드레인 캐패시터를 무시한다면( $C_{gd}=0$ ), 그림 2와 같이 게이트 단과 드레인 단으로 나누어 단방향성 등가 회로를 이용하여 분석할 수 있다. 그림 3은 각각 게이트 선로와 드레인 선로의 단위 셀( $l_g, l_d$ )을 갖는 등가 회로를 나타내었다.

그림 3의 단위 셀 등가 회로에서 게이트 단의  $L_g$  와  $C_g$ , 드레인 단  $L_d$ 와  $C_d$ 는 전송 선로의 등가 인덕턴스와 커패시턴스를 나타내게 하여, FET의 기생 성분을 게이트 및 드레인 전송 선로의 한 부분으로 간주할 수 있다. 따라서 게이트와 드레인 선로의 특성 임피던스와 전파 상수를 구하기 위해 단위 셀의 직렬 임피던스와 병렬 어드미턴스는 각각 게이트 단은 식 (1), 드레인 단은 식 (2)에 나타냈다<sup>[1]</sup>.

$$Z = j\omega L_g$$

$$Y = j\omega C_g + \frac{j\omega C_{gs} / l_g}{1 + j\omega R_i C_{gs}} \quad (1)$$

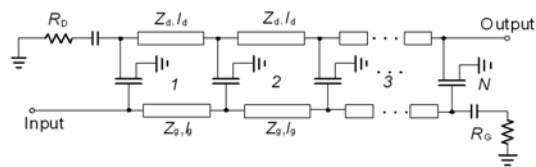
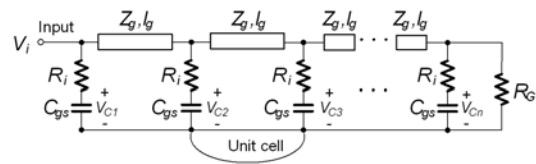
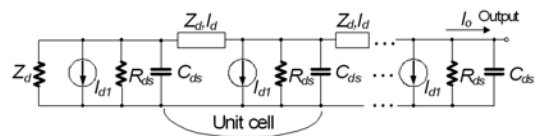


그림 1. 전송 선로를 이용한 기본적인 분산형 증폭기  
Fig. 1. Basic schematic of DA using transmission line.



(a) 게이트단  
(a) Gate stage



(b) 드레인단  
(b) Drain stage

그림 2. 분산형 증폭기의 등가 회로  
Fig. 2. The equivalent circuit of DA.

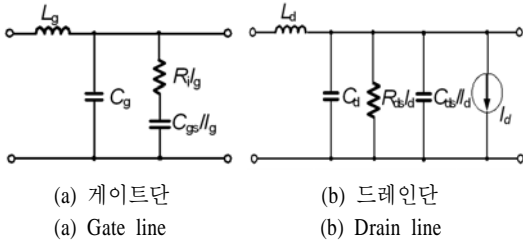


그림 3. 단위 셀의 등가 회로  
Fig. 3. The equivalent circuit of single unit cell.

$$Z = j\omega L_d$$

$$Y = \frac{1}{R_{ds}l_d} + j\omega(C_d + C_{ds}/l_d) \quad (2)$$

$$Z_{g,d} = \sqrt{\frac{Z}{Y}} = \sqrt{\frac{L_{g,d}}{C_{g,d} + C_{gs,ds}/l_{g,d}}} \quad (3)$$

$$\gamma_g = \alpha_g + j\beta_g \approx \frac{\omega^2 R_i C_{gs}^2 Z_g}{2l_g} + j\omega \sqrt{L_g(C_g + C_{gs}/l_g)} \quad (4)$$

$$\gamma_d = \alpha_d + j\beta_d \approx \frac{Z_d}{2R_{ds}l_d} + j\omega \sqrt{L_d(C_d + C_{ds}/l_d)} \quad (5)$$

식 (1)과 식 (2)를 이용하여 특성 임피던스를 식 (3)과 같이 구할 수 있고, 게이트 단과 드레인 단의 전파 상수는 각각 식 (4), (5)와 같이 저손실 근사법을 사용하여 구할 수 있다.

입력 전압  $V_i$ 가 주어졌을 때,  $N$ -번째 FET의 게이트-소스 커패시턴스에 인가되는 전압은 식 (6)으로 표현된다.

$$V_{cn} = V_i e^{-(n-1)\gamma_g l_g} \left( \frac{1}{1 + j\omega R_i C_{gs}} \right) \quad (6)$$

$N$ 개의 FET에서 발생된 전류가 드레인 선로에서 결합되어 출력 단 방향으로 나가는 총 전류 값은 식 (7)로 표현된다. 드레인 선로상의 출력 전류는 각 전류원이 양 방향으로  $-(1/2)I_{dn} e^{+\gamma_d z}$  형태의 파를 발생함을 인식하면 구할 수 있다.  $I_{dn} = g_m V_{cn}$ 이므로 드레인 선로의 최종 출력 단자에서 얻어지는 총 출력 전류는 식 (7)과 같이 각 트랜지스터에서 출력되는 드레인 전류의 합으로 나타낼 수 있다.

$$i_o^+ = -\frac{g_m V_i}{2} e^{-N\gamma_d l_d} e^{\gamma_g l_g} \sum_{n=1}^N e^{-n(\gamma_g l_g - \gamma_d l_d)} \quad (7)$$

드레인 선로에서 총 전류 값이 동위상 결합되기 위해서는  $\beta_d l_d = \beta_g l_g$ 이어야 하며, 이 경우에 식 (7)은 식 (8)처럼 간략화 시킬 수 있다<sup>[8]</sup>.

$$i_o^+ = -\frac{g_m V_i}{2} \frac{e^{N\gamma_g l_g} - e^{-N\gamma_d l_d}}{e^{\gamma_g l_g} - e^{-\gamma_d l_d}} \quad (8)$$

정합된 입력과 출력 단에 대하여 이득을 구하면 식 (9)와 같이 나타낼 수 있다.

$$G = \frac{P_{out}}{P_{in}} = \frac{g_m^2 Z_d Z_g}{4} \left| \frac{e^{-N\gamma_g l_g} - e^{-N\gamma_d l_d}}{e^{\gamma_g l_g} - e^{-\gamma_d l_d}} \right|^2 \quad (9)$$

$\beta_d l_d = \beta_g l_g$ 의 위상 동기 조건을 적용할 때, 이상적 무손실 분산형 증폭기의 경우, 이득은 식 (10)과 같이  $N^2$ 에 비례함을 알 수 있다<sup>[9]</sup>.

$$G = \frac{g_m^2 Z_d Z_g N^2}{4} \quad (10)$$

## 2-2 DAOTL의 이론적 분석

2-1절에서는 진행파 이론을 적용하여 출력 단자로 전달되는 전류를 분석하였다. 하지만 본 절에서는 기존에 고려하지 않았던 드레인 선로의 종단 저항( $R_D$ )에서 소모되는 역전류 성분을 트랜지스터의 개수  $N$ 과 전송 선로의 길이( $l$ )에 대하여 분석하고, 이러한 역전류 성분들을 상쇄시킬 수 있도록 단 수  $N$ 에 따른 최적의 전송 선로의 길이( $l$ )를 구하는 방법을 제시한다. 이는 드레인 선로의 종단 저항에서 소모되는 역전류 성분이 설계 시 최적 길이의 전송 선로에 의하여 상쇄된다면, 효율 및 출력 전력이 개선될 것이라는 가설에 기반한다. 일반적으로 DA에서 각 단의 FET에서 발생하는 전류는 드레인 선로에서 양 방향으로 1/2씩 나뉘어 반은 출력 단자에 흐르는 전류에 더해지게 되고, 나머지 1/2의 전류는 역 방향으로 흘러 종단 저항에서 소모된다. 그림 4는 DA에서 역 방향 전류가 종단 저항에서 소모되는 것을 도식하고 있다.

$N$ -단 FET에서 발생시키는 역 방향 전류는 수식으로 식 (11)과 같이 표현된다. 게이트 단과 드레인 단의 길이에 따라  $N$ -단 증폭기에서는 식 (11)의 역 방향 전류의 위상 변화가 나타나고, 만약 게이트 단과 드레인 단의 전파 정수가 같고 길이가 같은 경우( $\gamma_d$

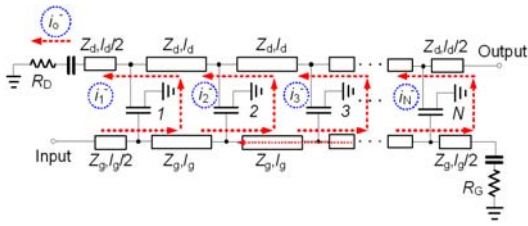


그림 4. N-단 DA의 역 방향으로 흐르는 전류  
Fig. 4. Backward traveling currents at RD in N-stage DA.

$l_d = \gamma_g l_g = \gamma l$ 에 대해서는 식 (12)와 같이 간략화된 수식을 이끌어 낼 수 있다.

$$i_n^- = -\frac{1}{2} g_m V_i e^{-\gamma_g (n-\frac{1}{2}) l_g} e^{-\gamma_d (n-\frac{1}{2}) l_d} = -\frac{g_m V_i}{2} e^{(\gamma_g l_g + \gamma_d l_d) / 2} e^{-n(\gamma_g l_g + \gamma_d l_d)}, \quad n = 1, 2, 3, \dots, n \quad (11)$$

$$i_n^- = -\frac{g_m V_i}{2} e^{\gamma l (1-2n)}, \quad n = 1, 2, 3, \dots, n \quad (12)$$

결과적으로, 모든 역 방향 전류는 종단 드레인 저항( $R_D$ )에서 식 (13)과 같이 나타낼 수 있다.

$$i_o^- = i_1^- + i_2^- + i_3^- + \dots + i_N^- = -\frac{g_m V_i}{2} \sum_{n=1}^N e^{\gamma l (1-2n)} \quad (13)$$

감쇄 상수를 제외한 위상 상수만을 고려한 무손실 전송 선로를 가정하면 식 (13)은 식 (14)와 같이 표현할 수 있다.

$$i_o^- = -\frac{g_m V_i}{2} \sum_{n=1}^N e^{j\beta l (1-2n)} \quad (14)$$

위의 식에서 보면 알 수 있듯이 역방향 전류는 각 단에서 발생한 역방향 전류들의 총 합으로 표현된다. 따라서 저항에서 소모되는 이 성분들의 위상을 의도적으로 맞추어서 총 합이 0이 되도록 각 단에서 발생하는 역방향 전류의 위상 조건을 분석하였다.

그림 5는 역 방향 전류 제거를 위한 위상 조건을 보여준다. 2단의 경우, 역 방향 전류  $i_1^-$  와  $i_2^-$  사이의 위상 차이가  $\pi$ 일 때 두 전류 성분은 상쇄된다. 그리고 이를 일반화시키면 임의의 N-단에서 발생하는 역 방향 전류를 상쇄시키기 위한 위상 차이는  $2\pi/N$ 가 되어야 한다. 그러므로 게이트와 드레인 선

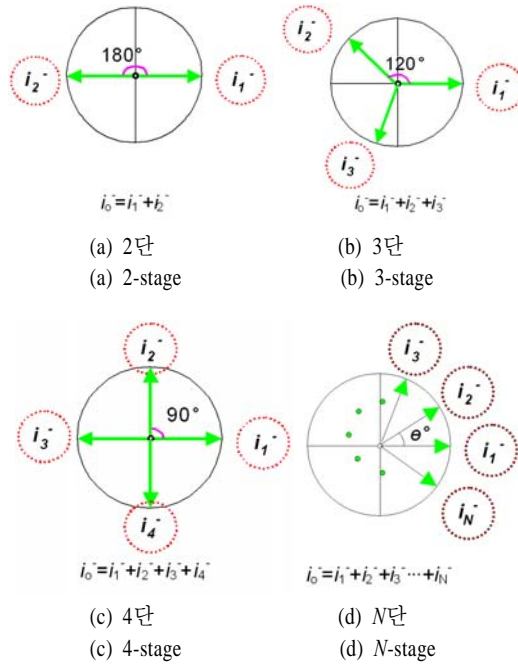


그림 5. 상쇄 조건을 만족시키기 위한 역방향 전류가 가져야 할 위상 차이값  
Fig. 5. The phase deviation for cancellation condition.

로 길이는 식 (15)와 같이 N-단의 상쇄 조건을 만족해야 한다.

$$-\beta l - (-3\beta l) = \frac{2\pi}{N} \quad \therefore \beta l = \frac{\pi}{N} \quad (15)$$

전파 상수의 식 (4), (5)와 N-단의 상쇄 조건 식 (15)에 의해서 역 방향 전류의 제거를 위한 최적의 전송 선로 길이를 식 (16)과 같이 구할 수 있다.

$$l = \frac{\pi}{N} \cdot \frac{1}{\omega \sqrt{L_{g,d} (C_{g,d} + C_{gs,ds}) / L_{g,d}}} \quad (16)$$

이와 같은 결과를 이용하여 DA의 드레인 종단 저항( $R_D$ )에 의한 역 방향 전류의 소모를 제거함으로써 효율과 출력 전력의 개선을 얻고자 한다.

### III. DAOTL의 구현과 측정 결과

제안하는 DAOTL의 타당성을 보이기 위해 p-HEMT ATF-36077을 이용한 4단 DA를 설계하였고, 유전율( $\epsilon_r$ )이 2.2인 RT-Duroid5880 PCB상에 제작하였다. 회로 시뮬레이션은 Agilent사의 ADS를 이용하

였다. 트랜지스터의 입출력 기생 커패시턴스 성분이 정해지고, 전송 선로의 등가 인덕턴스는 추가의 정합 회로 없이 입출력 단의 50 Ω 정합을 얻어내기 위해서 식 (3)에 의해 정할 수 있다. DA의 차단 주파수는 식 (17)에 주어진 것과 같이 임의의 선로의 차단 주파수에 의해 결정된다<sup>[1]</sup>.

$$f_{3dB} = \frac{1}{\pi \sqrt{L_{g,d}(C_{g,d} + C_{gs,ds})/l_g}} \quad (17)$$

본 논문의 타당성을 보이기 위해 일반적인 분산형 증폭기(CDA)와 본 논문에서 제안하는 DAOTL을 제작하였다. 식 (17)에 의해 본 논문에서 제작된 DA의 동작 주파수 대역은 0.4~3.6 GHz이다. DAOTL의 효율 개선을 위한 차단 주파수를 3 GHz로 정하였고, 이에 맞는 최적의 전송 선로 길이를 적용하여 설계하였다. CDA의 선로의 길이와 특성 임피던스는 각각 28°와 110 Ω(@3.0 GHz)으로 설계하였고<sup>[10]</sup>, 제안된 DAOTL는 각각 45°와 98 Ω(@3.0 GHz)으로 설계하였다. 그림 6은 제안된 DAOTL의 시뮬레이션 회로도도를 보여주고, 그림 7은 CDA와 DAOTL의 시뮬레이션 결과를 보여주고 있다.

제작된 DAOTL과 CDA의 바이어스는 넓은 동작 대역으로 인해 외부에서 바이어스-T를 이용하여 인가하였다. CDA와 DAOTL 각각에 대하여 같은 바이어스 조건을 제공하였으며, 입력 단 바이어스( $V_{gs}$ )는 -0.35 V, 출력 단 바이어스( $V_{ds}$ )는 1.5 V를 인가하였다. 이때 드레인 DC 전류( $I_d$ )는 30 mA이다.

CDA와 DAOTL의 이득 측정 결과는 그림 8에 나타나 있다. 동작 주파수 대역에서 CDA와 제안된 DAOTL의 이득 평탄도는 각각 1.6 dB와 1.8 dB이다.

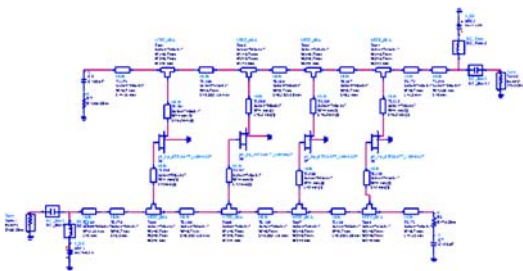


그림 6. 제안된 DA의 시뮬레이션 회로도  
Fig. 6. Simulation schematic of the designed DA.

그림 7의 시뮬레이션 결과와 그림 8의 측정 결과가 거의 일치함을 알 수 있으며, CDA에 비해 DAOTL의 이득이 약간 증가하였다. 그림 9에서는 동작 주파수에서 출력 전력과 효율 특성을 CDA와 DAOTL을 비교하여 나타내었다. 출력 전력과 효율 측정 결과에서 DAOTL의 출력 전력은 CDA보다 1.7 dB 개선된 10.9 dBm의 출력 전력을 얻을 수 있었고, 효율은 기존보다 7.6 % 개선된 25.6 %의 효율을 얻을 수 있었다. 동작 주파수에서 출력 전력과 효율이 개선된 것은 종단 저항을 통해 소모되는 역방향 전류가 상쇄되고, 그로 인한 잔여 에너지가 출력쪽으로 전달되었기 때문이라고 생각된다.

CDA와 DAOTL과의 측정된 결과를 비교하여 표

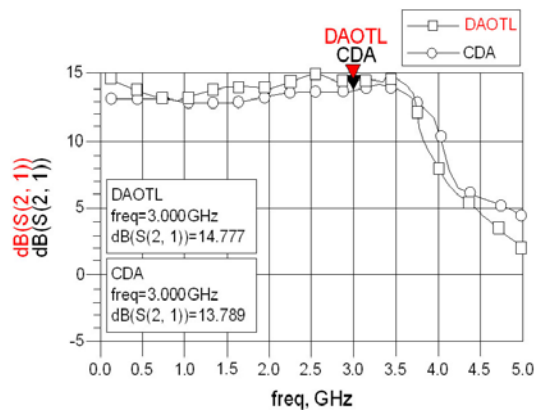


그림 7. CDA와 DAOTL의 시뮬레이션 결과  
Fig. 7. Simulation result of CDA and DAOTL.

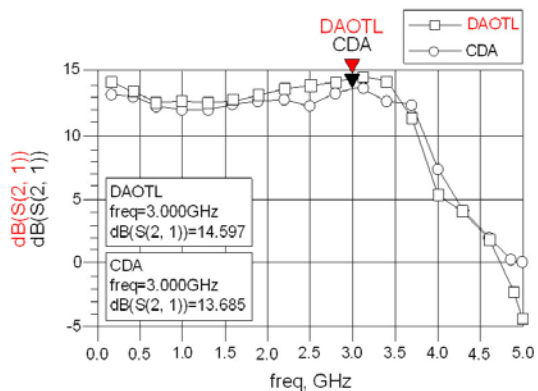
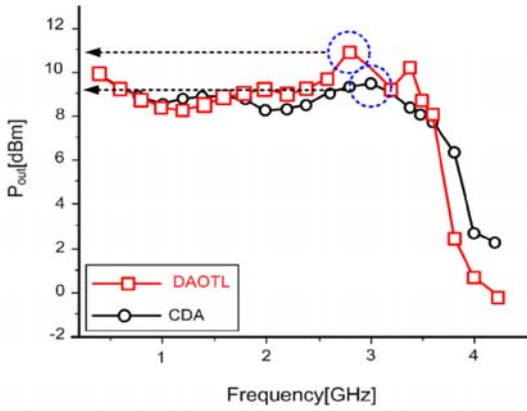
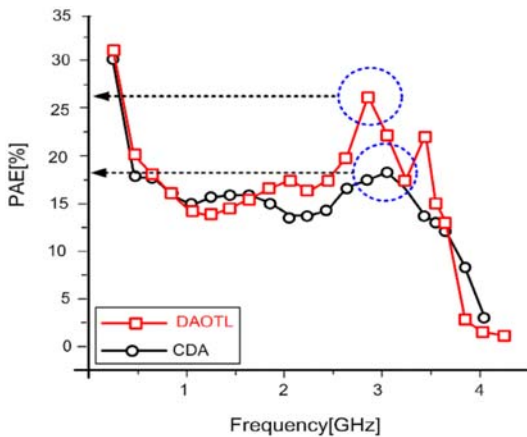


그림 8. CDA와 DAOTL의 이득 측정 결과  
Fig. 8. Gain measurement result of CDA and DAOTL.



(a) 출력 전력  
(a)  $P_{out}$



(b) 효율  
(b) PAE

그림 9. CDA와 DAOTL의 측정 결과  
Fig. 9. Measurement result of CDA and DAOTL.

표 1. CDA와 DAOTL의 특성 비교  
Table. 1. Comparison of CDA and DAOTL.

	CDA	DAOTL
이득 [dB]	12.1~13.7	12.7~14.5
$S_{11}$ [dB]	-18 dB 이하	-18 dB 이하
$S_{22}$ [dB]	-8 dB 이하	-6 dB 이하
$S_{12}$ [dB]	-20 dB 이하	-22 dB 이하
평탄도[dB]	1.6	1.8
최소 출력 전력 [dBm]	8	8.2
최대 출력 전력 [dBm]	9.2	10.9
최소 효율 [%]	14(@2.2 GHz)	14(@1 GHz)
최대 효율 [%]	18(@3.2 GHz)	25.6(@3 GHz)



그림 10. 제작된 DAOTL(57×32 mm)  
Fig. 10. The fabricated DAOTL(57×32 mm).

1에 요약하여 나타냈다. 이론적 분석을 통해서 역방향 전류를 상쇄시킴으로써 출력 전력이 개선되고 효율이 증가하였다는 사실을 유추할 수 있으나, 표의 결과에 나타난 것처럼 DAOTL의 이득이 증가된 현상과  $S_{22}$ 가 2 dB 악화된 점은 추가적인 연구를 통해 더욱 정확한 분석이 필요하다.

그림 10은 실제 제작된 DAOTL의 사진을 보여주고 있다.

#### IV. 결 론

넓은 대역폭을 갖는 CDA는 일반적으로 역방향 전류에 의하여 차단 주파수 부근에서 낮은 효율 특성을 가지고 있다. 본 논문에서는 역방향 전류를 상쇄하기 위한 최적의 전송 선로의 특성 임피던스와 길이를 구하는 수학적 접근 방법을 제시하였다. 제안된 DAOTL이 동작 주파수 대역에서 높은 효율을 얻을 수 있도록 적합한 전송 선로의 특성 임피던스와 길이를 구하여 시뮬레이션과 실제 제작을 하였다. 시뮬레이션과 측정 결과는 기존의 일반적인 분산형 증폭기에 비해 제안된 최적 전송 선로를 이용한 분산형 증폭기의 경우에 출력 전력은 1.7 dB 개선된 10.9 dBm, 효율은 7.6 % 개선된 25.6 %의 특성으로 더 향상된 결과를 얻었다.

본 논문에서는 역방향 전류의 상쇄에 의한 잔여 에너지가 출력쪽으로 전달됨으로써 효율이 개선될 것이라는 가설을 증명하기 위한 설계 방법을 제시하였으며, 결과에서 나타난 것과 같이 효율 및 출력 전력 증가 매커니즘에 관한 수식적인 분석이 필요하다.

며, 이득의 증가나  $S_{22}$ 의 악화, 그리고 분산형 증폭기의 취약점인 잡음지수와 같은 특성에 대한 정확한 분석은 추후 과제로 남아 있다. 또한, 현재는 상용 트랜지스터와 분산 소자를 이용하여 구현하였으나, 향후에는 RFIC나 MMIC 형태로 구현하여 더 높은 주파수에까지 확장하는 연구가 필요하다.

### 참 고 문 헌

- [1] David M. Pozar, *Microwave Engineering*, Second Edition, John Wiley & Sons, N.Y., 1998.
- [2] J. Aguirre, C. Plett, and P. Schvan, "A 2.4 Vp-p output, 0.045~32.5 GHz CMOS distributed amplifier", *IEEE Radio Frequency Integrated Circuits Symposium*, pp. 427-430, Jun. 2007.
- [3] S. Olson, B. Thompson, and B. Stengel, "Distributed amplifier with narrowband amplifier efficiency", *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 155-158, Jun. 2007.
- [4] D. E. Meharry, W. Kong, "Reduction of noise in wideband distributed amplifiers", *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 2099-2102, Jun. 2007.
- [5] B. M. Ballwebber, R. Gupta, and D. J. Allstot, "A fully integrated 0.5~5.5-GHz CMOS distributed amplifier", *IEEE J. Solid-State Circuits*, vol. 35, no. 2, pp. 231-239, Feb. 2000.
- [6] J. B. Beyer, S. N. Prasad, R. C. Becker, J. E. Nordman, and G. K. Hohenwarter, "MESFET distributed amplifier design guidelines", *IEEE Trans. on Microwave Theory Tech.*, vol. 32, no. 3, pp. 268-275, Mar. 1984.
- [7] P. N. Shastry, A. S. Ibrahim, "Design guidelines for a novel tapered drain line distributed power amplifier", *36th European Microwave Conference*, pp. 1274-1277, Sep. 2006.
- [8] C. C. Yen, H. R. Chuang, "0.25 um 20-dBm 2.4 GHz CMOS power amplifier with an integrated diode linearizer", *IEEE Microwave and Guided Wave Letter*, vol. 13, no. 11, pp. 1927-1937, Nov. 2004.
- [9] T. Lee, *The Design of CMOS Radio-frequency Integrated Circuits*, Cambridge Univ., Jan. 1998.
- [10] R. C. Liu, K. L. Deng, and H. Wang, "A 0.6~22 GHz broadband CMOS distributed amplifier", *IEEE Radio Frequency Integrated Circuits Symposium*, pp. 103-106, Jun. 2003.

### 최 흥 재



2004년 2월: 전북대학교 전자공학과 (공학사)  
 2006년 2월: 전북대학교 정보통신공학과 (공학석사)  
 2006년 2월~현재: 전북대학교 정보통신공학과 박사과정  
 [주 관심분야] Wideband Amplifier,

High Efficiency Amplifier, Linearizer

### 유 남 식



2005년 2월: 전북대학교 전자공학과 (공학사)  
 2007년 2월: 전북대학교 정보통신공학과 (공학석사)  
 2007년 2월~현재: 카이로벳(주) 연구원  
 [주 관심분야] Wideband amplifier,

RFIC

정 용 채



1989년 2월: 서강대학교 전자공학과 (공학사)

1991년 2월: 서강대학교 전자공학과 (공학석사)

1996년 8월: 서강대학교 전자공학과 (공학박사)

1991년 2월~1998년 2월: 삼성전자 정보통신본부 선임연구원

1998년 3월~현재: 전북대학교 전자정보공학부 부교수 및 IDEC WG 참여교수

[주 관심분야] RF 및 Microwave 회로 해석 및 설계

김 철 동



1971년 2월: 서울대학교 전자공학과 (공학사)

1985년 5월: 미국 Wisconsin-Madison 전기공학과 (공학박사)

1985년~1990년: 미국 AT&T Bell Labs. MTS

1990년 2월~1997년 11월: 삼성전자 정보통신사업본부 상무이사

1997년 3월~현재: 세원텔레텍(주) 대표이사

[주 관심분야] 선형증폭기 설계, 초고주파 회로설계, 이동통신시스템 기술