

군지연 시간 정합 CMOS 마이크로파 주파수 체배기

Group Delay Time Matched CMOS Microwave Frequency Doubler

송경주 · 김승균 · 최흥재 · 정용채

Kyungju Song · Seunggyun Kim · Heungjae Choi · Yongchae Jeong

요 약

본 논문에서는 변형된 시간 지연 기법을 이용한 마이크로파 2차 주파수 체배기가 제안되었다. 제안된 주파수 체배기에서는 입력 신호와 지연된 신호 사이에 발생하는 군지연 시간 부정합을 전압 제어 지연 선로(VCDL)를 이용하여 보상하였다. 가변 슈미트 트리거를 이용한 군지연 시간 정합과 신호 파형의 성형(waveform shaping)으로 인해 원하지 않는 기본 주파수(f_0)와 3, 4차 고조파 성분들이 충분히 제거할 수 있었다. 결과적으로 출력 단자에서는 오직 2 배배된 주파수 성분($2f_0$)만이 우세하게 나타난다. 제안된 주파수 체배기는 1.15 GHz의 기본 주파수에서 설계되었고 TSMC 0.18 μm 공정을 이용하여 제작되었다. 입력 신호 전력을 0 dBm 증가하였을 때, 2차 체배된 출력 주파수 성분의 측정된 전력은 2.67 dBm이었다. 2차 체배된 주파수 성분에 대해 f_0 , $3f_0$, 그리고 $4f_0$ 성분의 제거율은 각각 43.65, 38.65, 그리고 35.59 dB이다.

Abstract

In this paper, a frequency doubler using modified time-delay technique is proposed. A voltage controlled delay line (VCDL) in the proposed frequency doubler compensates the group delay time mismatching between input and delayed signal. With the group delay time matching and waveform shaping using the adjustable Schmitt triggers, the unwanted fundamental component(f_0) and the higher order harmonics such as third and fourth are diminished excellently. In result, only the doubled frequency component($2f_0$) appears dominantly at the output port. The frequency doubler is designed at 1.15 GHz of f_0 and fabricated with TSMC 0.18 μm CMOS process. The measured output power at $2f_0$ is 2.67 dBm when the input power is 0 dBm. The obtained suppression ratio of f_0 , $3f_0$, and $4f_0$ to $2f_0$ are 43.65, 38.65 and 35.59 dB, respectively.

Key words : Frequency Doubler, Duty Cycle, Schmitt Trigger, Voltage Controlled Delay Line

I. 서 론

현대 통신 시스템에서는 고속의 데이터 전송을 위해 안정되고 낮은 위상 잡음을 갖는 높은 주파수의 신호원이 요구된다. 이를 위해 기존의 마이크로파 통신 시스템에서는 높은 주파수를 발생시킬 수 있는 오실레이터를 연구하고 개발하였다. 그러나 동작 주파수가 높아질수록 안정도와 위상 잡음 특성이

나빠져서 전체 통신 시스템의 성능을 저하시킨다. 이 때문에 높은 안정도와 낮은 위상 잡음을 가지는 저주파 신호원을 체배하여 원하는 고주파 신호원을 얻는 방법들이 검토되었고, 근래에는 이를 이용한 주파수 체배에 대한 여러 가지 방법들이 수행되었다^{[1]~[6]}. 주파수 체배기 설계시 주로 이용되는 방법 중에 하나가 트랜지스터의 비선형성을 이용하는 것인데, 그 이유는 트랜지스터의 주기적인 고조파 응답

전북대학교 정보통신공학과 및 반도체설계교육센터(IDECC WG)(Dept. of Info. & Comm. Engineering, Chonbuk National University)

· 논문 번호 : 20080429-055

· 수정완료일자 : 2008년 6월 30일

특성으로 인해 기본파(f_0)의 정수배에 해당하는 원하지 않는 고조파 성분을 얻을 수 있기 때문이다^{[2],[3]}. 그러나 이러한 방법은 입, 출력 임피던스 정합을 통해 최대 크기의 원하는 고조파 성분을 얻을 수 있으나, 원하지 않는 고조파 성분의 제거를 위해 대역 통과 여파기와 같은 부가적인 회로가 필요하다. 따라서 본 논문에서는 변형된 시간 지연 기법을 이용해 입력 주파수를 체배하는 설계 방법을 제안하였다^{[4]~[6]}. 주파수 체배시에 경로간의 균지연 시간 정합을 통해 체배 주파수를 높일 수 있었고, f_0 및 원하지 않는 고조파 성분들의 진폭을 충분히 억제할 수 있었다.

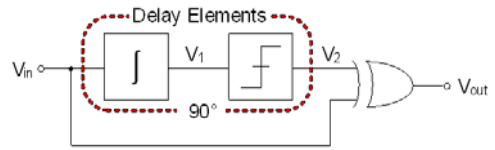
II. 제안된 주파수 체배기 설계

그림 1은 기존의 시간 지연 기법을 이용한 2차 주파수 체배기의 블록도이다. 주기(T)를 갖는 입력 구형파 V_{in} 은 적분기를 거치면서 삼각파(V_1)로 변환되고, 비교기에 의해 $T/4$ 만큼 위상이 지연된 신호(V_2)로 변환되어 기존의 입력 신호와 함께 XOR 게이트의 입력으로 공급되게 된다. 두 입력 신호는 XOR 게이트 동작에 의해 체배된 주파수 신호(V_{out})를 발생하게 된다. 그러나 시간 지연 기법을 사용하는 기존의 주파수 체배기는 동작 주파수의 증가에 따라 두 가지 문제점을 갖게 된다.

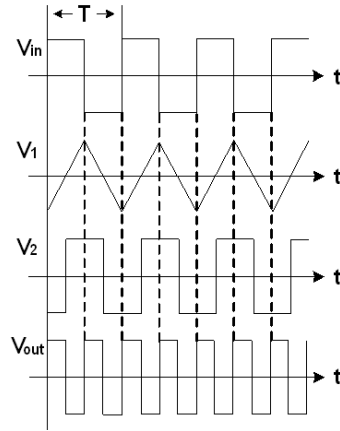
첫째로, 그림 1에서는 입력 신호를 구형파로 가정하였지만 동작 주파수가 높아질수록 정현파가 일반적인데, 단순한 인버터 구조로는 입력 정현파를 정확한 구형파로 변환할 수 없기 때문에 동작 주기(duty cycle)를 일정하게 유지하기가 어렵다. 본 논문에서는 이러한 문제점을 동작 주기 오차라 정의한다.

둘째로 동작 주기 오차가 없다고 가정하여도 최초 입력 신호가 지연 소자(delay elements)를 거치면서 균지연 시간에 따른 위상 지연이 발생하여, 기준 입력 신호와 위상 지연이 정확히 $T/4$ 만큼 유지되지 못하는데, 본 논문에서는 이러한 오차를 시간(timing) 오차라 정의한다. 동작 주파수가 커질수록 주기가 짧아져서 시간 오차가 주파수 체배 능력을 제한하게 된다. 이 두 가지 문제점은 결국 회로의 성능에 악 영향을 미친다.

본 논문에서 제안한 CMOS 마이크로파 2차 주파수



(a) 블록도
(a) Block diagram



(b) 각 단의 파형
(b) Waveform on nodes

그림 1. 시간 지연 기법을 이용한 기존 2차 주파수 체배기

Fig. 1. The conventional frequency doubler using time-delay technique.

수 체배기는 위의 문제점을 해결하기 위해 변형된 시간 지연 기법을 적용하였다.

이는 동작 주기 오차와 시간 오차를 제거하기 위한 슈미트 트리거(Schmitt trigger)와 전압 제어 지연 선로(Voltage Controlled Delay Line: VCDL)를 각각 적용하였다^{[7]~[9]}.

그림 2는 제안된 마이크로파 CMOS 2차 주파수 체배기의 블록도이다. 본 구조의 동작 원리는 우선

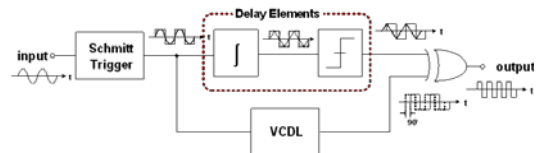


그림 2. 제안된 마이크로파 CMOS 주파수 체배기의 블록도

Fig. 2. Block diagram of the proposed microwave CMOS frequency doubler.

슈미트 트리거를 통해 구형파로 변환된 입력 정현파는 각각 적분기와 비교기로 구성된 지연 소자와 VC-DL 경로로 나뉘어 입력된다. 지연 소자로 입력된 신호는 적분기에 의해 삼각파로 변환되며, 다시 비교기에 의해 최초 입력된 구형파에 비해 90° 위상 지연된 구형파를 발생시킨다.

여기서 식 (1)과 같이 정의된 적분기의 시정수(time constant)는 회로의 입력 단에 특정 크기를 갖는 전압이 인가될 때, RC 적분기의 커패시터가 인가된 전압의 약 출력 신호에 대한 펄스 응답 특성을 결정하는 파라미터로써 입력 신호의 90° 위상 지연을 결정지므로 중요하다.

$$\tau = RC \tag{1}$$

반면에 VCDL은 기준 입력 신호가 지연 선로를 통과한 신호와 정확한 90° 위상차를 유지할 수 있도록 균지연 시간을 보상해준다. 이 두 회로를 통과한 입력 신호는 최종 XOR 게이트 동작에 의해 원하는 출력 주파수를 만들게 된다.

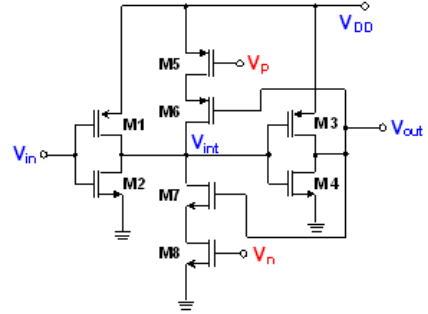
2.1 슈미트 트리거

그림 3(a)는 제어 전압(V_p , V_n)을 변화시킴으로써 동작 주기가 조절 가능한 가변 슈미트 트리거의 회로도이다. 이때 출력 신호는 제어 전압에 의해 상승 시간과 하강 시간이 서로 다른 히스테리시스 특성을 가진다.

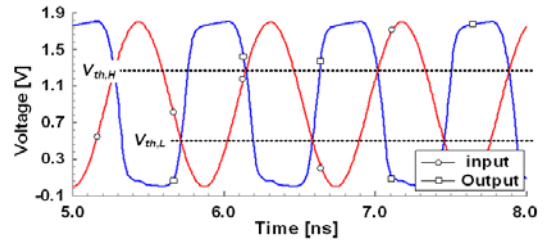
즉, 출력 신호는 입력 신호가 기준 문턱 전압보다 높은 문턱 전압($V_{th,H}$)을 초과할 때 낮은 신호 레벨로 전이되고, 반대로 입력 신호가 기준 문턱 전압보다 낮은 문턱 전압($V_{th,L}$)에 작아질 때 출력 신호는 높은 신호 레벨로 전이된다.

그러므로 슈미트 트리거는 $V_{th,L} \sim V_{th,H}$ 사이에서 발생하는 잠음에 대한 저항력을 가지는 비교기의 일종으로 사용되었으며, 출력 파형은 일정한 동작 주기를 가지는 구형파가 될 수 있다.

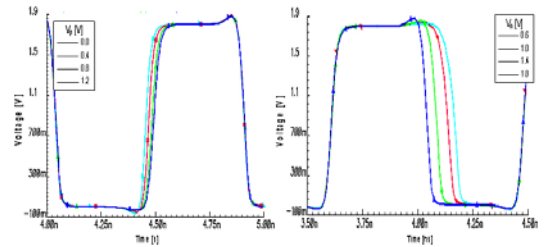
그림 3(b)는 두 개의 인버터와 4개의 궤환 트랜지스터로 구성된 슈미트 트리거의 입력 정현파 신호와 그 출력 구형파 신호를 나타내고, 그림 3(c)는 제어 전압 V_p 와 V_n 의 변화에 따른 출력 파형의 상승 시간과 하강 시간의 변화 추세를 나타내며, 각각의 범위는 식 (2), (3)과 같이 결정된다.



(a) 전체 회로도
(a) Overall schematic



(b) 입/출력 전압 파형 특성
(b) Input/output voltage waveform characteristics



(c) 조절 전압에 따른 히스테리시스 특성(V_p 와 V_n)
(c) Hysteresis characteristics by control voltage V_p and V_n

그림 3. 가변 슈미트 트리거

Fig. 3. Adjustable Schmitt trigger.

$$V_{th,inv} \leq V_{th,H} \leq \frac{1}{4}(V_{DD} - V_p) \tag{2}$$

$$V_{th,inv} - \frac{n}{4}(V_{DD} - V_n) \leq V_{th,L} \leq V_{th,inv} \tag{3}$$

2-2 VCDL

VCDL은 시간 오차를 보상해 주기 위한 것으로서 이때 신호의 지연 시간은 식 (4)와 같이 표현할 수 있고, 수식에 의해 부하 커패시턴스(C_L)와 전압 제어 지연단의 전원 전압(V_{DD})에 비례함을 알 수 있기 때문에 이를 조절하기 위해 출력단에 부가적인 트랜지

스터를 연결하였다^[10].

$$t_d \approx \frac{2}{\mu C_{ox}(W/L)} \cdot \frac{C_L \cdot V_{DD}}{(V_{DD} - V_{th})^2} \quad (4)$$

시뮬레이션을 통해 제어 전압(V_{ctrl})에 따라 조정 가능한 구형파의 지연 시간은 약 0.15 nsec임을 예상할 수 있었다. 만약 입력 신호의 주파수를 1.15 GHz로 한다면, 이 신호의 한 주기가 약 0.87 nsec인 것을 감안할 때 본 논문에서 설계한 VCDL은 입력 신호에 대해 17.2 % 정도의 시간을 지연시킬 수 있다. 그리고 이 상태에서 입력 주파수를 변화시켜 체배 가능한 입력 주파수 범위를 확인해 볼 필요가 있는데, 본 논문에서는 0.75~1.55 GHz 사이의 범위 내에서 체배 가능성을 확인할 수 있다.

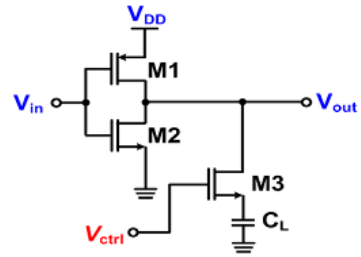
그림 4는 각각 VCDL의 단위 셀 구조, 시뮬레이션에 사용된 5단 VCDL, 그리고 시뮬레이션 결과를 나타내며, 그림 5에서는 입력 주파수를 변화시켜가며 체배 특성을 확인한 시뮬레이션 결과이다.

III. 측정 결과

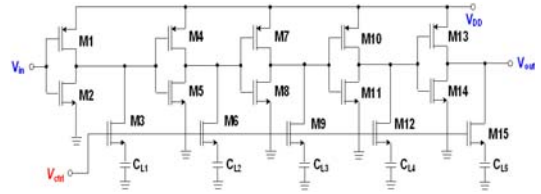
제안된 2차 주파수 체배기의 유효성을 입증하기 위해 주파수가 1.15 GHz인 입력 신호를 2.3 GHz의 출력 신호로 체배시키는 회로를 설계하였다. 설계된 마이크로파 2차 주파수 체배기는 TSMC 0.18 μm 공정을 이용하여 제작되었으며, 그림 6은 제작된 회로의 현미경 사진이다. 회로의 코어 크기는 0.8x0.5 mm²이며, 본딩 패드를 포함한 전체 회로의 크기는 약 1.1x0.7 mm²이다. 이때 공급 전압은 1.8 V이고, 전류 소모량은 약 40 mA이다.

그림 7은 제작된 마이크로파 2차 주파수 체배기의 출력 스펙트럼에 대한 시뮬레이션과 측정 결과이다. 0 dBm의 입력 전력을 인가했을 때, 측정된 출력 신호($2f_0$)의 전력은 2.67 dBm이며, $2f_0$ 에 대한 f_0 및 고조파 $3f_0$ 와 $4f_0$ 의 제거율은 각각 43.65, 38.65, 그리고 35.59 dB를 나타냈다.

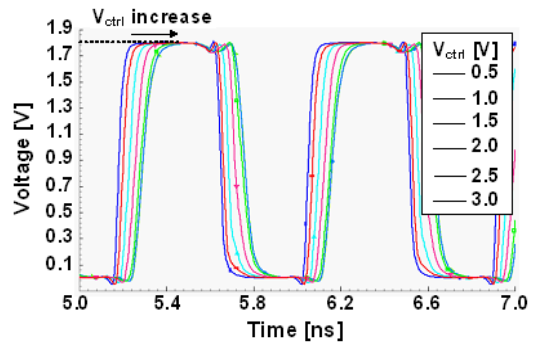
그리고 입력 f_0 가 중심 주파수에서 10 kHz, 100 kHz, 500 kHz 이격된 지점에서 각각 -102.2 dBc/Hz, -118.5 dBc/Hz, -121.7 dBc/Hz의 위상 잡음을 가질 때, 출력 $2f_0$ 의 위상 잡음은 10 kHz, 100 kHz, 500 kHz의 이격 지점에서 각각 -97.01 dBc/Hz, -109.7



(a) 단위 셀
(a) Unit cell



(b) 5 단 VCDL
(b) 5-stages VCDL



(c) V_{ctrl} 에 따른 출력 파형
(c) Output waveform according to V_{ctrl}

그림 4. 전압 제어 지연 선로

Fig. 4. Voltage controlled delay line.

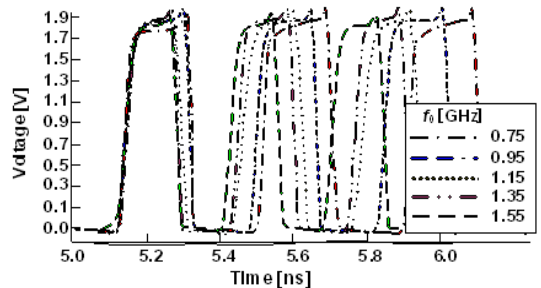


그림 5. 입력 주파수 변화에 따른 출력 특성

Fig. 5. Output characteristics for variation of input frequency.

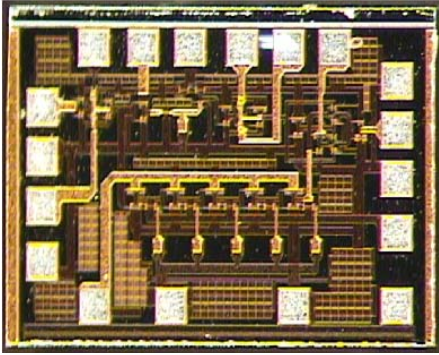
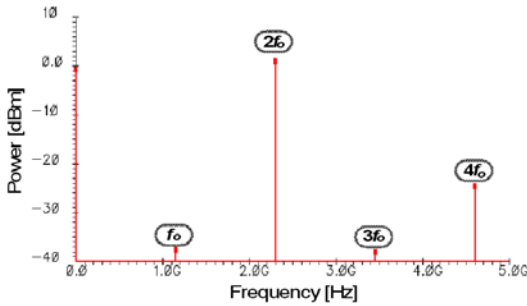
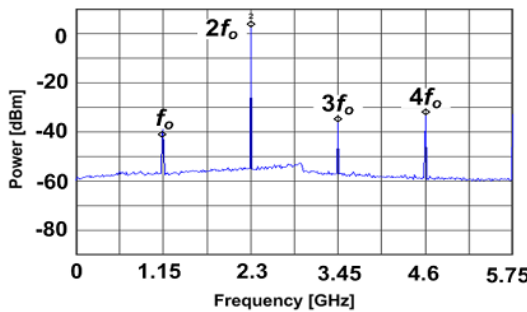


그림 6. 제작된 마이크로파 2차 주파수 체배기의 현미경 사진
 Fig. 6. The microscopic photograph of the fabricated microwave frequency doubler.



(a) 시뮬레이션 결과
 (a) Simulation result



(b) 측정 결과
 (b) Measurement result

그림 7. 제안된 마이크로파 주파수 2차 체배기의 출력 결과(@ $f_0=1.15$ GHz, $P_m=0$ dBm)
 Fig. 7. Output spectrum of the proposed frequency doubler(@ $f_0=1.15$ GHz, $P_m=0$ dBm).

dBc/Hz, -115.5 dBc/Hz인 결과를 얻었다. 특히, 측정된 주파수 체배기의 위상 잡음은 중심 주파수에서 10 kHz의 이격 지점에서의 이론적 위상 열화 값인

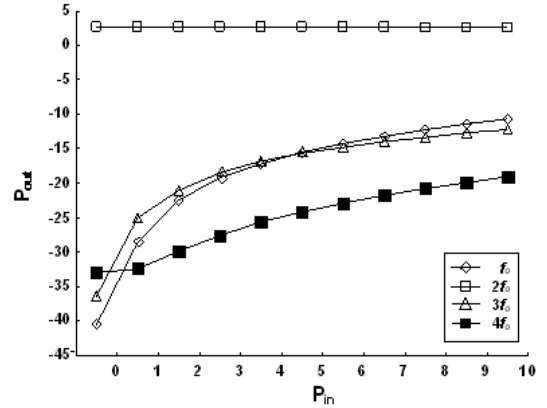


그림 8. 입력 전력 변화에 따른 제작된 주파수 체배기의 출력 스펙트럼 특성
 Fig. 8. The spectrum results of the fabricated microwave frequency doubler according to input power sweep.

$20 \log(2)=6$ dB보다 개선된 결과를 보이고 있는데, 이는 기본파 및 원하지 않는 고조파의 차단 특성에 기인한다.

그림 8은 제작된 체배기에 대해 입력 전력 레벨 변화에 따른 출력 신호들의 전력 레벨을 측정된 결과이다. 입력 레벨을 0~10 dBm 사이에서 변화시키면서 출력 신호들을 측정하면, f_0 및 $3f_0$ 와 $4f_0$ 의 신호 크기는 입력 레벨이 증가함에 따라 증가하지만 $2f_0$ 은 거의 동일한 출력 값이 나타나는 것을 확인하였다. 만약 입력 신호 레벨을 0 dBm 이하로 인가하여 제작된 2차 주파수 체배기를 운용한다면 불요파가 거의 없는 안정된 신호원이 될 것이다.

표 1은 참고논문 [4]에서 나타난 기존의 주파수 체배기와 제안된 주파수 체배기의 성능을 요약 비교한 것이다. 참고논문 [4]는 시간 지연 기법을 이용해 제작된 주파수 체배기 중 가장 최근의 측정 자료이지만, 앞서 소개한 동작 주기 오차와 시간 오차로 인해 측정된 체배 주파수가 1.2 GHz이었다. 따라서 본 논문에서는 슈미트 트리거와 VCDL을 이용해 기존보다 거의 2배 높은 동작 주파수를 가지는 주파수 체배기를 제작하여 개선된 고조파 제거율을 얻을 수 있었다. 불요파 제거율은 기존보다 8.6~21.6 dB의 개선 특성을 가지며, 특히 $4f_0$ 의 고조파 제거 개선율은 21 dB 이상이다.

표 1. 기존의 회로와 제안된 회로의 성능 비교
Table 1. Performance comparison between the conventional and the proposed frequency doubler.

		Ref. ^[4]	This work	
			Sim.	Meas.
f_0 [GHz]		0.6	1.15	
$2f_0$ [GHz]		1.2	2.3	
P_{in} [dBm] at f_0		5	0	
P_{out} [dBm] at f_0		4	0.87	2.67
V_{DD} [V]		1.8	1.8	1.8
Current[mA]		5	40	40
P_{diss} [mW]		9	72	72
Harmonic suppression [dB]	f_0	30	36.74	46.6
	$3f_0$	30	37.31	38.6
	$4f_0$	14	23.82	35.6
Phase noise [dBc/Hz] (@100 kHz offset)		-109	-100.5	-109.7

IV. 결 론

기존의 시간 지연 기법을 이용한 주파수 체배기는 입력 신호에 대해 90° 만큼 위상 지연된 신호와 기준 입력 신호를 비교하여 2차 주파수 체배기를 구현하였다. 하지만 동작 주파수를 증가시키면, 지연 소자의 동일한 군지연 시간에 대해서도 한 신호 주기에 대한 군지연 시간 부정합 효과가 커져서 체배 가능 주파수의 한계가 발생하고, 여러 가지의 잡음과 왜곡이 발생하게 되어 결국 전체 회로의 성능에 악영향을 미치게 된다. 또한, 기존의 시간 지연 기법을 이용한 주파수 체배기는 입력 신호를 구형파로 가정하였고, 정현파 신호 입력시의 문제점들을 간과하였다.

본 논문에서는 기존의 주파수 체배기의 문제점을 보완하기 위한 새로운 주파수 체배기를 제안하였다. 제안한 마이크로파 2차 주파수 체배기는 슈미트 트리거를 이용하여 각 회로를 거치며 불안정해지는 신호의 동작 주기를 제어 전압 조절로서 신호의 상승 시간과 하강 시간을 임의로 변화시킬 수 있었고, 그 결과 일정한 동작 주기를 갖는 신호로 만들어낼 수 있었다. 또한, 주파수 체배를 위해 XOR 게이트로 인가되는 지연 신호의 군지연 시간을 VCDL로 제어함

으로 XOR 게이트의 두 입력 신호간의 위상 오차를 조절할 수 있었다.

제작된 2차 주파수 체배기는 기존의 체배기에 비해 탁월한 전기적 특성을 가지고 있으며, 입력 신호가 구형파일 경우에는 입력단에 배치시킨 슈미트 트리거 회로를 제거할 수 있어 회로의 크기와 전력 소모량을 상당량 줄일 수 있으면서 더 개선된 출력특성을 얻을 수 있을 것으로 기대된다.

또한, 제안된 마이크로파 주파수 체배기의 구조를 이용하여 3, 4차 주파수 체배기의 설계도 가능할 것으로 예상되며, 이것은 추후 연구 과제이다. 제안된 주파수 체배기를 RFIC 시스템에 적용한다면, 기존 체배기보다 우수하면서 안정된 시스템 특성을 제공할 것으로 확신한다.

참 고 문 헌

- [1] F. Ellinger, "Ultracompact SOI CMOS frequency doubler for low power applications at 26.5~28.5 GHz", *IEEE Microwave and Wireless Components Letters*, vol. 14, no. 2, Feb. 2004.
- [2] S. K. Park, N. S. Ryu, H. J. Choi, Y. C. Jeong, and C. D. Kim, "A novel design of frequency multiplier using feedforward technique and defected ground structure", *36th European Microwave Conference Proceedings*, pp. 224-227, Sep. 2006.
- [3] S. J. Seo, Y. C. Jeong, J. S. Lim, B. Gray, and J. S. Kenney, "A novel design of frequency tripler using composite right/left handed transmission line", *IEEE IMS Proceedings*, pp. 2185-2188, Jun. 2007.
- [4] B. R. Jackson, C. E. Saavedra, "An L-band CMOS frequency doubler using a time-delay technique", *Silicon Monolithic Integrated Circuits in RF Systems*, Jan. 2006.
- [5] F. Cheng, C. Chen, and O. Choy, "A 1.0 um CMOS all digital clock multiplier", *Proc. IEEE 40th Midwest Symposium on Circuits and Systems*, vol. 1, pp. 460-462, Aug. 1997.
- [6] Y. Lee, S. Choi, S. Kim, J. Lee, and K. Kim, "Clock multiplier using digital CMOS standard cells for high-speed digital communication systems", *Elect-*

ronics Letters, vol. 35, no. 24, pp. 2073-2074, Nov. 1999.

- [7] Z. Wang, "CMOS adjustable Schmitt triggers", *IEEE Transactions on Instrumentation and Measurement*, vol. 40, no. 3, Jun. 1991.
- [8] M. Styeyaert, W. Sansen, "Novel CMOS Schmitt trigger", *Electronics Letters*, vol. 22, no. 4, pp. 203-204, Feb. 1986.

- [9] A. Pfister, "Novel CMOS schmitt trigger with controllable hysteresis", *Electronics Letters*, vol. 28, no. 7, pp. 639-641, Mar. 1992.
- [10] I. A. Young, J. K. Greason, and K. L. Wong, "A PLL clock generator with 5 to 110 MHz of lock range for microprocessors", *IEEE Journal of Solid-State Circuits*, vol. 27, no. 11, Nov. 1992.

송 경 주



2007년 2월: 원광대학교 전기전자공학부 (공학사)
 2007년 2월~현재: 전북대학교 전자정보공학부 석사과정
 [주 관심분야] Passive Circuit, RF-ICs

최 흥 재



2004년 2월: 전북대학교 전자정보공학부 (공학사)
 2006년 2월: 전북대학교 정보통신공학과 (공학석사)
 2006년 2월~현재: 전북대학교 정보통신공학과 박사과정
 [주 관심분야] Wideband Amplifier, High Efficiency Amplifier, Linearizer

김 승 균



2008년 2월: 전북대학교 전자정보공학부 (공학사)
 2008년 2월~현재: 전북대학교 전자정보공학부 석사과정
 [주 관심분야] Passive Circuit, Negative Group Delay Time

정 용 채



1989년 2월: 서강대학교 전자공학과 (공학사)
 1991년 2월: 서강대학교 전자공학과 (공학석사)
 1996년 8월: 서강대학교 전자공학과 (공학박사)
 1991년 2월~1998년 2월: 삼성전자 정보통신본부 선임연구원
 2006년 7월~2007년 12월: 미국 Georgia Institute of Technology 방문연구교수
 1998년 3월~현재: 전북대학교 전자정보공학부 부교수 및 IDEC WG 참여교수
 [주 관심분야] RF 및 Microwave 회로 해석 및 설계