

결함 접지 구조를 이용한 유사 E급 전력 증폭기의 소형화 Size Reduction of a Quasi Class-E High Power Amplifier Using Defected Ground Structure

최흥재 · 정용채 · 임종식* · 정영배** · 엄순영** · 김철동***

Heungjae Choi · Yongchae Jeong · Jongsik Lim* · Young-Bae Jung** ·
Soon-Young Eom** · Chul Dong Kim***

요 약

본 논문에서는 접지 결함 구조(Defected Ground Structure: DGS)를 이용하여 기지국용 고효율 E급 전력 증폭기의 성능을 유지하면서 크기를 소형화 할 수 있는 방안을 제안하였다. E급 전력 증폭기에서 요구되는 고조파 임피던스는 아령형 DGS와 나선형 DGS를 사용함으로써 만족시켜 주었다. 제안하는 유사 E급 전력 증폭기의 DGS 부하 회로는 가장 큰 고조파 성분인 2차 고조파 대역에서 개방, 나머지 고차 고조파 임피던스는 단락에 가까운 고조파 임피던스를 갖는다. 제안하는 구조를 통하여 제작된 전력 증폭기는 출력 전력이 43.1 dBm, 포화 전력 이득이 12.7 dB일 때 70.2 %의 전력 부가 효율(Power Added Efficiency: PAE)을 가지며, 이는 비교 대상인 E급 증폭기와 거의 유사한 값이다. 회로 크기의 관점에서 보면 각각의 고조파 성분 정합을 위해 여러 개의 스테브가 장착되어 있는 비교 대상인 E급 증폭기에 비해 전체 크기를 50 %로 소형화시킬 수 있었다.

Abstract

In this work, a reduced size 20W quasi class-E Power Amplifier(PA) with defected ground structure load-network is presented for WCDMA base station application. Harmonic impedances required for the class E operation are satisfied by applying the dumbbell and the asymmetric spiral DGS. Open impedance for 2nd harmonic frequency which has the highest power and nearly short impedances for other higher order harmonics are provided by the proposed DGS load-network. The maximum Power Added Efficiency(PAE) of 70.2 % at the output power of 43.1 dBm with the saturated power gain of 12.7 dB is achieved by the proposed quasi class-E PA, which is comparable to the performance of the reference class-E PA. Total size of the proposed class-E PA is only 50×50 mm² and much smaller than the conventional class-E PA that is loaded with a number of open stubs.

Key words : Class-E, Power Amplifier, Defected Ground Structure

I. 서 론

무선 통신 시스템에 있어서, 기지국 또는 이동국의 여부에 상관없이 대부분의 열은 전력 증폭기

(Power Amplifier: PA)에서 발생한다^[1]. 고용량 음악, 사진, 게임, 그리고 다양한 멀티미디어 스트리밍 기능과 같이 사용자의 흥미를 위하여 장착되는 어플리케이션의 수가 증가함에 따라, 무선 통신망을 통한

「본 연구는 지식경제부 및 정보통신연구진흥원의 IT원천기술개발사업의 일환으로 수행하였음[2007-F-041-03, 지능형 안테나 기술 개발].」
전북대학교 정보통신공학과 및 반도체설계교육센터(IDEC WG)(Dept. of Info. & Comm. Engineering, Chonbuk National University)

*순천향대학교 전기통신공학과(Dept. of Electric. and Comm. Engineering, Soonchunhyang University)

**한국전자통신연구원 안테나연구팀(Antenna Technology Research Team, Electronics and Telecommunications Research Institute(ETRI))

***세원텔레텍(주)(Sewon Teletech, Inc.)

· 논문 번호 : 20091023-121

· 교신저자 : 정용채(e-mail : ycjeong@moak.chonbuk.ac.kr)

· 수정완료일자 : 2009년 12월 28일

고용량 데이터 전송이 점점 큰 비중을 차지하고 있으며, 그로 인하여 소모되는 배터리의 수명을 연장시키기 위해 고효율 증폭기가 필수적인 요소가 되었다.

E급 증폭기와 같은 고효율 증폭기는 상대적으로 간단한 회로 구조와 높은 효율 특성으로 인하여 현재의 무선통신 환경에 있어서 매우 바람직한 해결책으로 자리잡아왔다. N. O. Sokal과 A. D. Sokal에 의해 처음 소개된 이후로^[2], E급 증폭기에 관한 이론적인 해석 및 설계 식^[3], 최적화된 부하 회로의 설계 방법 등 방대한 이론 및 실험적인 연구가 이루어져 왔다^{[4],[6]}. 그러나 5차 이상의 고조파 성분까지 고려하는 E급 증폭기의 경우, 기존의 연구에서는 정합 소자 외에 최소 4개의 개방 스테브와 두 개의 직렬 전송 선로 소자를 필요로 한다. 초고주파 대역에서 전송선로 소자들의 물리적 길이가 상대적으로 작기는 하지만, 여러 개의 스테브와 직렬 전송 선로는 여전히 많은 공간을 차지하며, 그로 인하여 회로의 크기와 복잡성이 증가된다는 문제점을 안고 있다.

본 연구에서는 소형화된 접지 결함 구조(Defected Ground Structure: DGS) 부하 회로를 갖는 유사 E급 전력 증폭기를 제안하였으며, 실험을 통하여 제안하는 구조에 대한 타당성을 검증하였다. 기존의 구조가 갖는 고조파 차단 및 고효율 특성이 저하되지 않으면서도 기존 회로의 크기와 복잡성을 감소시키기 위하여, 유사 E급 증폭기의 부하 회로로서 DGS $\lambda/4$ 바이어스 선로와 DGS 전송 선로를 이용하였다. 최적의 바이어스 레벨과 다양한 입력 주파수에 대하여 이득, 출력 전력 및 전력 부가 효율(Power Added Efficiency: PAE) 특성을 제시하였다.

II. DGS 부하회로 설계

일반적으로 E급 증폭기 동작을 위하여 트랜지스터 등가회로의 전류원 단면에서 모든 고차 고조파 임피던스가 개방 종단되어야 한다^[2]. 그림 1(a)는 WCDMA 기지국($f_0=2.14$ GHz)용 E급 증폭기의 일반적인 전송 선로 부하 회로를 보여주고 있다. 분산 소자를 이용한 부하 회로는 고조파 성분을 차단하기 위한 다수의 개방 스테브로 이루어져 있다. 게다가, 2차 고조파 성분을 차단하는 성질이 있는 $\lambda/4$ 바이어스 라인도 전류 허용량과 메모리 효과 감소의 장

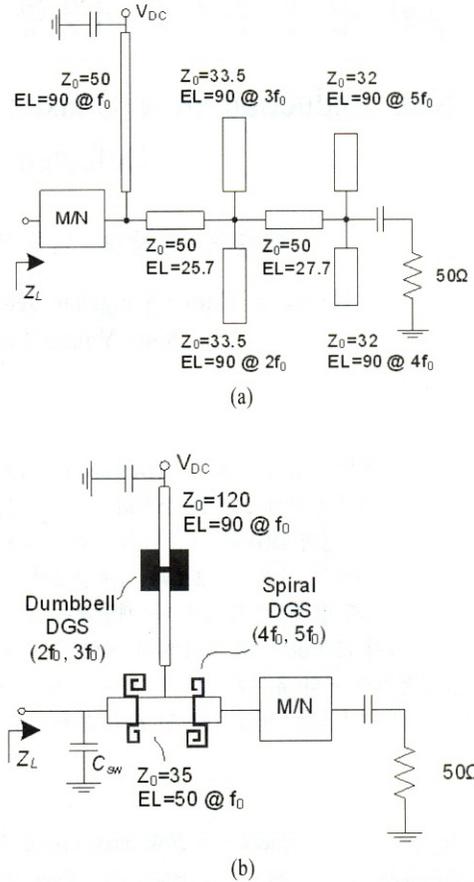


그림 1. (a) 일반적인 전송선로 부하 정합 회로 구조의 E급 증폭기, $100 \times 50 \text{ mm}^2$ ^[5], (b) 제안하는 유사 E급 증폭기에 사용된 DGS 부하 정합 회로

Fig. 1. (a) Conventional transmission line load-matching network topology, $100 \times 50 \text{ mm}^2$, from [5], and (b) The proposed DGS load-matching network for quasi class-E power amplifier.

점으로 인하여 초크 인덕터 대신에 대부분의 전력 증폭기에서 사용되고 있다. 이러한 분산 소자로 이루어진 모든 회로 구성요소들을 고려할 경우 더 작은 모듈로의 집적화는 매우 달성하기 어려운 목표가 될 것이다.

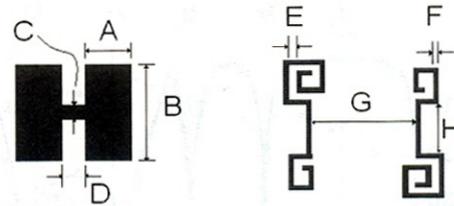
DGS는 마이크로스트립 선로의 접지 면에 기하학적 패턴을 식각하여 구현한다. DGS의 주요한 장점으로는 물리적 한계로 인하여 구현할 수 없는 높은 특성 임피던스를 갖는 선로의 구현(예를 들어, $Z_0=200 \Omega$), 전파 지연 효과(slow wave effect)로 인한

크기 감소 효과, 그리고 고조파 차단으로 인한 전력 증폭기의 성능 개선 등을 들 수 있다^{[7]-[9]}.

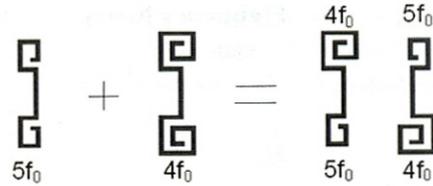
본 연구에서 제안하는 부하 정합 회로를 그림 1(b)에 제시했다. 일반적인 E급 부하 정합 회로에 장착된 고조파 차단 스테브에 대하여 등가적인 동작을 위하여 출력 정합 회로에 포함되는 성분으로써, 2차 및 3차 고조파 성분을 차단하는 아령 형태의 DGS가 장착된 $\lambda/4$ 바이어스 라인과 4차 및 5차 고조파 성분을 차단하는 비대칭 나선형 DGS가 장착된 전송선로(전기각 50°)가 혼합된 회로를 제안하였다. 일반적인 E급 부하 회로에서 사용되는 $\lambda/4$ 바이어스 라인과, 이 바이어스 라인을 연결하기 위해 필요한 직렬 전송선로 부분을 이용하였고, DGS 패턴은 접지면에 식각되므로 기존의 회로에 추가적인 전송선로 성분이 추가되지 않으면서 고조파 차단을 위한 스테브들을 제거할 수 있다. 제조사가 제공할 수 있는 트랜지스터 고출력 소자 모델의 드레인-소스 캐패시턴스(C_{ds})가 주어지지 않았기 때문에 스위칭 캐패시턴스(C_{sw})는 로드-풀 시뮬레이션을 통하여 최적의 효율 특성을 얻을 수 있는 값으로 사용하였다.

그림 2(a)와 (b)는 3차원 전자기(Electro-Magnetic: EM) 시뮬레이터인 Ansoft HFSS v11을 이용하여 얻은 최적화된 아령 및 나선형 단위 DGS의 물리적 모양과 크기들을 나타내고 있다. 비대칭 나선형 DGS 선로의 설계에 있어서, 단위 DGS의 둘레 길이와 턴수는 공진주파수에 반비례하는 경향이 있다. 따라서 비대칭 나선형 단위 DGS 중 작은 나선형 DGS를 5차 고조파 주파수에, 큰 나선형 DGS를 4차 고조파에 최적화 시켰다. 이 두 나선형 DGS를 하나의 단위 셀에 집적화하여 그림 2(c)와 같이 구현하면 두 고조파 대역에서 동시에 전달 차단 효과를 얻을 수 있었다. 두 개의 비대칭 나선형 DGS 셀을 사용하여, 4, 5차 고조파 대역에서 차단 효과를 증가시키고자 하였다.

EM 시뮬레이션과 측정 결과가 그림 3에 나타나 있다. 본 연구에서는 한국의 WCDMA 기지국 하향 주파수인 2.14 GHz를 중심 주파수로 정하였으며, E급 동작을 위한 고조파 임피던스 제어에 있어서 5차 고조파 성분까지 고려하였다. 시뮬레이션 및 실험에는 Rogers 사의 RT/Duroid 5880($\epsilon_r=2.2$) 기판을 사용하였다.



(a) 아령모양 DGS(A=3, B=5.9, C=0.6, D=1.2 mm) (b) 나선형 DGS(E=0.4, F=0.4, G=6.4, H=4 mm)
 (a) Dumbbell DGS(A=3, B=5.9, C=0.6, D=1.2 mm) (b) Spiral DGS(E=0.4, F=0.4, G=6.4, H=4 mm)

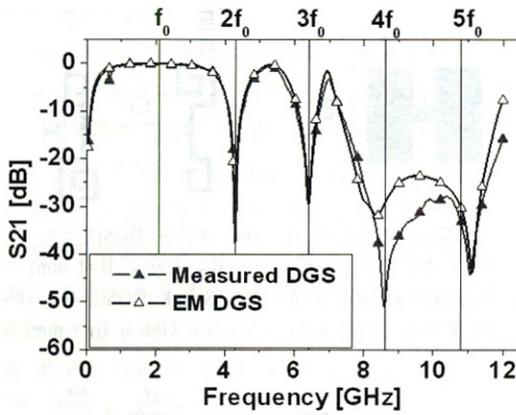


(c) 비대칭 나선형 DGS 설계 과정
 (c) Design procedure of asymmetric spiral DGS

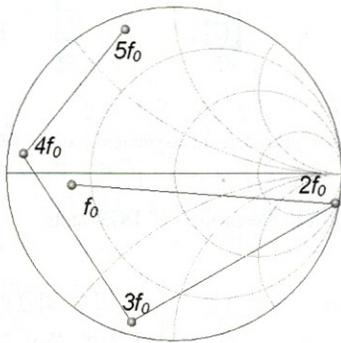
그림 2. 단위 DGS의 물리적 크기
 Fig. 2. Physical dimensions of DGS units.

그림 3(a)는 제안하는 고조파 정합 회로만의 전달 특성을 나타내고 있다. 제시된 것과 같이 본 연구에서 제안하는 DGS 고조파 정합 회로의 중요한 장점 중의 하나는 2, 3, 4, 5차 고조파 대역의 전달 특성이 -37.2 , -26.7 , -49.5 , -32.4 dB이면서 기본파 대역의 삽입손실은 0.05 dB로 매우 작다는 점이다. 이러한 저 손실 특성은 제안하는 구조가 더욱 높은 출력 전력을 갖는 어플리케이션에 적용될 수 있도록 한다.

그림 3(b)는 출력 정합 회로를 포함한 소형화된 DGS 고조파 정합 회로의 측정된 임피던스를 도시화하고 있다. 본 연구에서 ‘유사’ E급 증폭기라는 표현을 사용한 이유를 이 그림에서 유추해 볼 수 있다. 이상적인 E급 증폭기의 경우에는 모든 고조파 대역에서 개방 임피던스로 종단되어야 하지만($|Z_{n\omega_0}| \approx \infty, n=2 \sim 5$), 제안하는 부하 회로는 고조파 성분 중에서 가장 전력 레벨이 크고 효율 특성에 영향도 큰 2차 고조파 주파수에서는 이상적인 경우와 동일한 개방 임피던스를($Z_{2\omega_0} \approx \infty$), 그 이외의 영향이 작은 고차 고조파 성분에 대해서는 순수한 용량성 또는 단락에 가까운 임피던스($|Z_{n\omega_0}| \approx 0, n=3 \sim 5$)를 제공



(a)



(b)

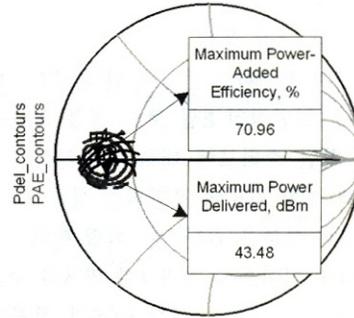
그림 3. (a) 제안하는 고조파 정합 회로만의 시뮬레이션 및 측정된 광대역 전달 특성, (b) 제안하는 DGS 고조파 정합 회로의 기본파 및 고조파 대역의 입력 임피던스

Fig. 3. (a) Simulated and measured transmission characteristics of the proposed DGS harmonic termination network, and (b) Measured input impedance of the proposed DGS harmonic termination load-matching network.

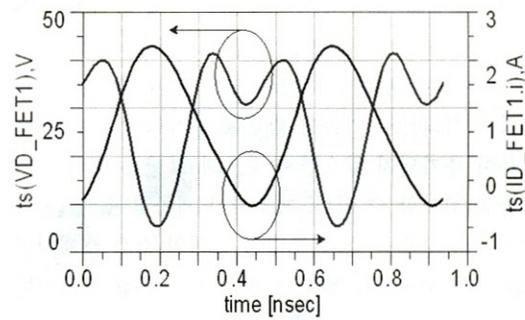
하고 있다. 제안하는 회로의 2차 고조파를 제외한 성분이 이상적인 고조파 임피던스와 대조되는 값을 가짐에도 불구하고 효율의 측면에서 기존의 E급 증폭기와 유사한 특성을 얻을 수 있기 때문에 유사 E급 증폭기라고 정의하였다.

Ⅲ. DGS 부하회로를 장착한 E급 증폭기의 설계

최대 출력 전력이 25 W인 Nitronex사의 Gallium



(a)



(b)

그림 4. (a) DGS 부하 회로를 이용한 로드풀 시뮬레이션 결과, (b) 전압 및 전류 파형

Fig. 4. Simulated (a) load pull contour with DGS load network for class E operation, (b) simulated voltage and current waveform.

Nitride High Electron Mobility(GaN HEMT) 소자 NPTB 00025를 사용하여 유사 E급 전력 증폭기를 설계하였다. 최적의 효율 특성을 얻기 위하여 제조사에서 제공하는 고출력 시뮬레이션 모델과 HFSS에서 수행된 EM시뮬레이션 결과를 이용하여 로드-풀 시뮬레이션을 수행하였다. Agilent사의 ADS2008a를 이용하여 해당 트랜지스터의 전압-전류 곡선을 도시화한 후, 이를 바탕으로 B~C급 동작에 대한 게이트 전압을 결정하였다. 또한 최대 효율을 얻을 수 있도록 입력 전력 레벨을 조절하였으며, 이 때 초기 조건으로써 모든 고조파 임피던스는 개방 조건을 이용하였다. 시뮬레이션 한 결과가 그림 4(a)에 제시되어 있다. 부하로 전달되는 최대 출력 전력(0.5 dB 간격)과 최대 PAE(4 % 간격)를 표현하였으며, DGS 부하 정합 회로를 이용하여 달성 가능한 최대 효율은 출력 전력이 42.43 dBm일 때 70.96 %로 나타났다. 이 때

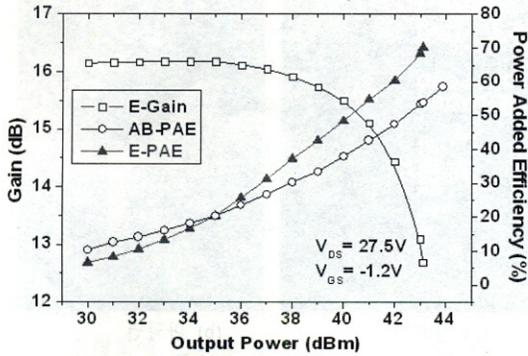


그림 5. 유사 E급 증폭기의 출력 전력에 따라 측정된 이득(E-gain)과 효율(E-PAE), AB급 증폭기의 효율(AB-PAE)

Fig. 5. Measured gain(E-gain) and efficiency(E-PAE for class-E PA, AB-PAE for class-AB PA) according to output power back-off.

바이어스 조건은 $V_{GS} = -2.2$ V, $V_{DS} = 28$ V이며, 최대 효율을 얻을 수 있는 스위칭 캐패시터는 0.68 pF로 결정하였다. 그림 4(b)는 전압 및 전류 파형을 보이고 있다. 제조사에서 제공되는 고풍력 시뮬레이션 모델의 정확한 정보가 주어지지 않아 이상적인 스위칭 동작을 확인할 수는 없으나, 전압과 전류 파형의 교차가 상당히 줄어들어 있으며, 그로 인하여 DC 전력 소모가 감소할 것이라는 판단을 할 수 있다.

IV. 제작 및 측정 결과

동일한 트랜지스터를 이용하여 제안하는 연구에 대한 비교 대상으로 $V_{DS} = 28$ V와 $I_{DS} = 225$ mA의 바이어스 조건을 갖는 AB급 전력 증폭기를 제작하였다. AB급 동작을 위한 최적의 부하 임피던스는 $Z_L = 7.65 - j0.68$ Ω 이었다. 본 연구에서 제안하는 유사 E급 증폭기와 비교대상 AB급 증폭기의 효율 특성이 그림 5에 제시되어 있다. AB급 증폭기의 최대 출력 전력은 43.9 dBm이었으며, 이 때 이득과 PAE는 각각 12.6 dB, 58.5%로 측정되었다. 제안하는 부하회로를 이용한 유사 E급 증폭기의 선형 이득과 최대 출력 레벨에서의 포화 전력 이득은 각각 16.2 dB와 12.7 dB로 측정되었으며, 최대 전력 레벨은 43.1 dBm이었다. 제안하는 유사 E급 증폭기의 드레인 효율과 PAE는 각각 74.1%와 70.2%로 측정되었으며, 이 값은 로드

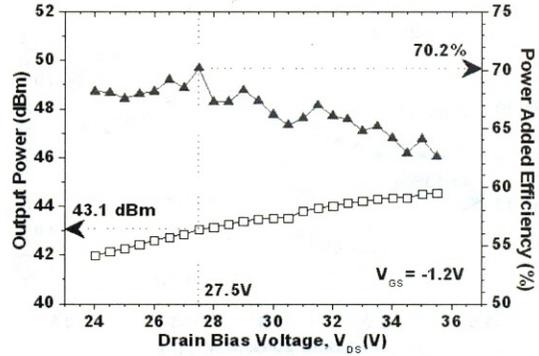


그림 6. 게이트 전압 고정 및 드레인 전압 변화에 따른 출력 전력과 PAE 변화 추세

Fig. 6. Output power and PAE with respect to drain bias voltage.

-폴 시뮬레이션을 통하여 얻은 결과와 거의 일치하는 값을 확인할 수 있다.

그림 6은 $V_{GS} = -1.2$ V이고, 입력 전력이 30.4 dBm인 조건하에서 드레인 전압을 변화시켜가며 효율 및 출력 전력의 변화 양상을 측정된 결과이다. $V_{DS} = 30 \pm 6$ V의 범위에서 PAE는 63% 이상을 유지하고 있으며, $V_{DS} = 27.5$ V일 때 70.2%의 최대 PAE를 달성하였다. 드레인 전압 변화에도 높은 효율을 유지하고 있기 때문에 드레인 바이어스 변조 기법에 적용했을 때에도 좋은 효율 특성을 얻을 수 있을 것이라 기대된다.

그림 7은 V_{DS} 와 입력 전력을 각각 27.5 V와 30.4 dBm으로 고정한 상태에서 게이트 전압을 변화시켜가며 효율 변화 양상을 관찰한 결과이다. $V_{GS} = -1.2 \pm 0.7$ V의 범위 내에서 효율은 65% 이상의 값을 유지하였고, 최대 PAE는 $V_{GS} = -1.2$ V일 때 70.2%를 나타냈다. 이러한 추세를 볼 때, 일반적으로 디바이스의 온도 변화에 의하여 성능이 저하되지만 게이트 전압의 변화에도 높은 효율 특성이 유지되므로, 온도 변화가 일어나더라도 높은 효율을 유지할 수 있을 것으로 기대된다.

그림 8은 입력 주파수의 변화에 따른 출력 전력 및 효율 특성을 측정된 결과이다. WCDMA 하향 대역(2.11~2.17 GHz)에 대해서, 제안하는 유사 E급 증폭기의 효율은 56.5% 이상으로 유지되었으며, 중심 주파수에서 최대 효율은 70.2%이다. 통과 대역 내

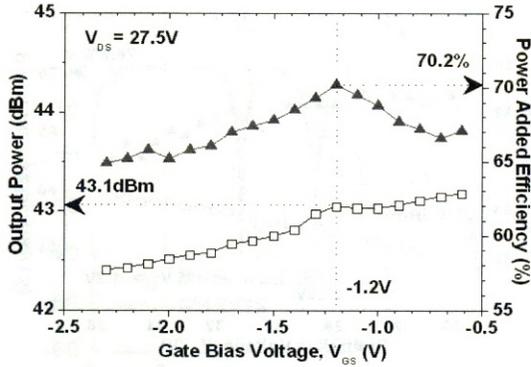


그림 7. 드레인 전압 고정 및 게이트 전압 변화에 따른 출력 전력과 PAE 변화 추세
 Fig. 7. Output power and PAE with respect to gate bias voltage.

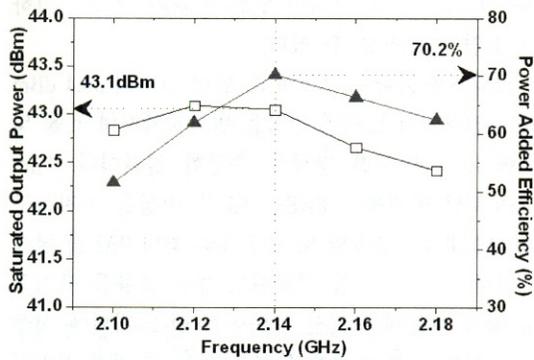
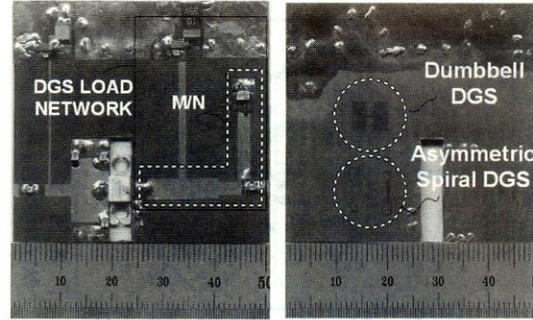


그림 8. 입력 주파수 변화에 따른 출력 전력 및 PAE 측정 결과
 Fig. 8. Measured output power and PAE for various input CW frequency.

에서 제안하는 증폭기의 최저 효율 값이 56.5% 이상이며, 이는 통과 대역 내에서 AB급 증폭기의 중심 주파수에서 최대 효율값과 거의 유사한 값이다.

본 연구에서 제안하는 유사 E급 증폭기의 최대 장점은 DGS 전송선로의 전파 지연 및 고조파 차단 효과로 인한 회로 크기 감소이다. 그림 9는 제작된 증폭기의 실물 사진이다. 그림 9(a)와 (b)는 각각 신호면과 접지면을 나타내며, 입/출력 정합회로를 포함한 회로 전체 크기는 $50 \times 50 \text{ mm}^2$ 이다. 이는 그림 1(a)의 일반적인 E급 증폭기($100 \times 50 \text{ mm}^2$)의 50%에 해당하는 크기이다.

그림 10은 출력 전력의 증가에 따라 기본파와 고



(a) 신호면 (b) 바닥면
 (a) Top pattern (b) Bottom pattern

그림 9. 제안하는 DGS 부하 정합 회로를 적용하여 제작된 유사 E급 증폭기의 실물 사진

Fig. 9. Photographs of the fabricated quasi Class-E PA with DGS load-matching network.

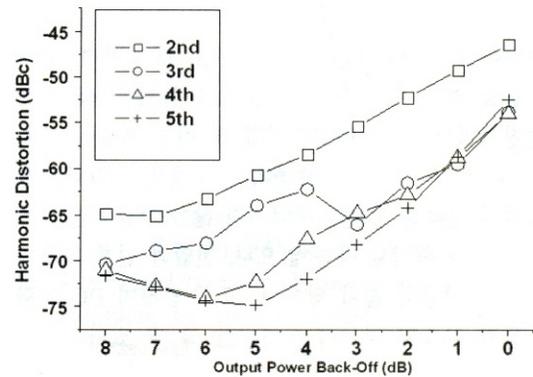


그림 10. 기본파 대비 고차 고조파 성분의 측정 전력 레벨

Fig. 10. Measured higher order harmonics level relative to fundamental.

차 고조파 전력 레벨의 크기 차이를 나타낸 것이다.

2차 고조파 성분은 46 dBc의 차이를 보이며, 3~5차 고조파 성분은 52 dBc 이상의 차이를 보인다. 출력 전력이 증가할수록 고조파 성분이 증가하지만 기본파 성분에 비해 전력 레벨이 상당히 낮은 것을 알 수 있다.

V. 결 론

본 연구에서는 새로운 DGS 부하 정합 회로와 이를 전력 증폭기의 적용하여 유사 E급 증폭기를 설계 방법을 제안하였다. 전력 레벨이 가장 큰 2차 고조

과 주파수에서는 동일하게 개방 임피던스를 가지면서, 일반적인 E급 전력 증폭기의 고조파 임피던스와는 달리 제안하는 DGS 부하 회로는 3차 이상의 고차 고조파 성분에 대해서는 단락에 가까운 임피던스를 제공한다. 실험적인 관찰을 통하여 위와 같은 고조파 임피던스를 갖는 부하 회로를 이용한 경우에도 비교 대상의 E급 증폭기와 거의 유사한 효율 특성을 갖는 것을 알 수 있었다. 또한 전체 회로의 크기를 50 %로 줄일 수 있으므로, 기지국용 고효율 HPA 모듈의 소형화에 기여할 수 있을 것으로 기대한다.

참 고 문 헌

- [1] S. C. Cripps, *Advanced Techniques in RF Power Amplifiers Design*, Norwood, MA, Artech House, 2002.
- [2] N. O. Sokal, A. D. Sokal, "Class E - A new class of high-efficiency tuned single-ended switching power amplifiers", *IEEE Journal of Solid-State Circuits*, vol. SC-10, no. 3, pp. 168-176, Jun. 1975.
- [3] F. H. Raab, "Idealized operation of the class E tuned power amplifier", *IEEE Trans. Circuits and Systems*, vol. CAS-24, no. 12, pp. 725-735, Dec. 1977.
- [4] A. J. Wilkinson, J. A. Everard, "Transmission-line load-network topology for class-E power amplifiers", *IEEE Trans. Microw. Theory Tech.*, vol. 49, no. 6, pp. 1202-1210, Jun. 2001.
- [5] Y. S. Lee, Y. H. Jeong, "A high-efficiency class-E GaN HEMT power amplifier for WCDMA applications", *IEEE Microw. Wireless Compon. Lett.*, vol. 17, no. 8, pp. 622-625, Aug. 2007.
- [6] H. Choi, S. Shim, Y. Jeong, J. Lim, and C. -D. Kim, "A compact DGS load-network for highly efficient class-E power amplifier", in *Proc. 39th European Microw. Conf.*, pp. 492-495, Sep. 2009.
- [7] Y. C. Jeong, S. G. Jeong, J. S. Lim, and S. Nam, "A new method to suppress harmonics using $\lambda/4$ bias line combined by defected ground structure in power amplifiers", *IEEE Microw. Wireless Compon. Lett.*, vol. 13, no. 12, pp. 538-540, Dec. 2003.
- [8] J. S. Lim, Y. C. Jeong, D. Ahn, and S. Nam, "Improvement in performance of power amplifiers by defected ground structure", *IEICE Trans. Electron.*, vol. E87-C, no. 1, pp. 52-59, Jan. 2004.
- [9] H. J. Choi, J. S. Lim, and Y. C. Jeong, "A new design of Doherty amplifiers using defected ground structure", *IEEE Microw. Wireless Compon. Lett.*, vol. 16, no. 12, pp. 687-689, Dec. 2006.

최 흥 재



2004년 2월: 전북대학교 전자공학과 (공학사)
 2006년 2월: 전북대학교 정보통신공학과 (공학석사)
 2006년 2월~현재: 전북대학교 정보통신공학과 박사과정
 [주 관심분야] High Efficiency and

Linear Power Amplifier, Negative Group Delay Circuit and its RF Application

정 용 채



1989년 2월: 서강대학교 전자공학과 (공학사)
 1991년 2월: 서강대학교 전자공학과 (공학석사)
 1996년 8월: 서강대학교 전자공학과 (공학박사)
 1991년 2월~1998년 2월: 삼성전자

정보통신본부 선임연구원
 2006년 7월~2007년 12월: 미국 Georgia Institute of Technology 방문연구교수
 1998년 3월~현재: 전북대학교 전자정보공학부 교수 및 IDEC WG 참여교수
 [주 관심분야] RF 및 Microwave 회로 해석 및 설계

임 종 식



1991년 2월: 서강대학교 전자공학과 (공학사)
1993년 2월: 서강대학교 전자공학과 (공학석사)
2003년 2월: 서울대학교 전기컴퓨터공학부 (공학박사)
1993년 2월~2005년 2월: 한국전자

통신연구원 선임연구원
2005년 3월~현재: 순천향대학교 전기통신공학과 조교수
[주 관심분야] 초고주파 무선 회로/부품 설계, 능동/수동 소자 모델링 및 회로 응용, 주기 구조의 모델링 및 회로 응용 등.

엄 순 영



1988년 2월: 연세대학교 전자공학과 (공학사)
1990년 2월: 연세대학교 전자공학과 (공학석사)
2003년 2월: 연세대학교 전기전자공학과 (공학박사)
1990년 2월~현재: 한국전자통신연

구원 책임연구원
2007년 7월~2008년 7월: 미국 조지아공대 국제공동개발
1991년 8월~1993년 7월: 이탈리아 Alenia Spazio사와 VS-AT(DAMA-SCPC) 시스템 국제공동개발
[주 관심분야] 초고주파 수동/능동 부품 및 시스템, 위상 배열 안테나, 위성/이동 통신 안테나 및 RF 시스템 등

정 영 배



1999년 2월: 광운대학교 전파공학과 (공학사)
2001년 2월: 한국정보통신대학교 전자공학부 (공학석사)
2009년 8월: 한국과학기술원 정보통신공학과 (공학박사)
2001년 2월~현재: 한국전자통신연

구원 선임연구원
[주 관심분야] 초고주파 수동 및 능동 부품 설계, 이동 통신용 안테나, 위성통신용 위상 배열 안테나 시스템

김 철 동



1971년 2월: 서울대학교 전자공학과 (공학사)
1985년 5월: 미국 Wisconsin-Madison 전기공학과 (공학박사)
1985년~1990년: 미국 AT&T Bell Labs. MTS
1990년 2월~1997년 11월: 삼성전자 정보통신사업본부 상무이사

1997년 11월~현재: 세원텔레텍(주) 대표이사
[주 관심분야] 선형증폭기 설계, 초고주파 회로 설계, 이동 통신시스템 기술