

가유전체 기판과 결함접지구조가 결합된 가지선로 하이브리드 커플러의 설계

권경훈*, 임종식**, 정용채***, 한상민****, 안달*

Design of a Branch Line Hybrid Coupler Using Artificial Dielectric Substrate and Defected Ground Structures

Kyunghoon Kwon*, Jongsik Lim**, Yongchae Jeong***, Sang-Min Han****, and Dal Ahn*

본 논문은 정부(교육과학기술부)의 재원으로 한국과학재단의 지원을 받아 수행된 연구결과임.
(2010-0009211)

요 약

가유전체 기판구조와 결함접지구조를 이용하여 가지선로 하이브리드 결합기를 소형화하여 설계한 결과에 대하여 기술한다. 가유전체 기판구조에서는 유효유전율과 단위 길이당 등가의 커패시턴스가 크게 증가한다. 결함접지구조는 기하학적 패턴 때문에 단위 길이당 등가의 인덕턴스가 증가하는 효과를 갖는다. 이 두 구조는 각각 단위 길이당 등가 회로 소자값들을 증가시키므로 상보적인 효과에 의하여 전송선로의 특성 임피던스를 크게 변화시키지 않으면서도 회로의 소자값들을 동시에 줄이는 효과를 갖는다. 본 논문에서는 적용예로 종래 구조보다 크기가 크게 줄어든 가지선로 하이브리드 커플러를 설계, 제작 및 측정된 결과를 제시한다. 가유전체 기판과 결함접지구조를 적용하여 설계된 회로는 가유전체만을 삽입했을 때와 결함접지구조만을 삽입했을 때에 비하여 각각 68%, 54%의 크기를 갖는다. 중심주파수에서 측정된 전력분배와 위상차는 각각 -3.08dB, -3.87dB, 93°인데, 이는 가유전체 기판과 결함접지구조를 이용한 소형화 이후에도 성능상의 큰 열화가 없음을 보여준다.

Abstract

A design of size-reduced branch line hybrid coupler(BLHC) with an artificial dielectric substrate(ADS) and defected ground structure(DGS) is described in this paper. The effective dielectric constant and equivalent capacitance per unit length increase on ADS structure. The equivalent inductance per unit length of DGS line increases due to its geometric patterns. So, ADS and DGS complementarily play a role of length-reduction of transmission line together with a critical change of the characteristic impedance. A size-reduced BLHC is designed, fabricated, and measured as an example by applying ADS and DGS to the normal circuit. The designed BLHC circuit is compared to the circuits with only ADS and DGS, and the reduction ratio are 68%, and 54%, respectively. The measured power dividing ratios and phase difference are -3.08dB, -3.87dB, and 93°, respectively. This means any critical degradation in performances is not observed even after the size-reduction by applying ADS and DGS.

Keywords

branch line hybrid coupler, artificial dielectric substrate, defected ground structure

* 순천향대학교 전기공학과
** 순천향대학교 전기공학과(교신저자)
*** 전북대학교 전자정보공학부
**** 순천향대학교 정보통신공학과
· 접수 일: 2014년 08월 13일
· 수정완료일: 2014년 09월 25일
· 게재확정일: 2014년 09월 28일

· Received: Aug. 13, 2014, Revised: Sep. 25, 2014, Accepted: Sep. 28. 2014
· Corresponding Author: Jongsik Lim
Dept. of Electrical Engineering, Soonchunhyang University,
Soonchunhyang-ro 22, Shinchang-myeon, Asan, Chungnam, 336-745, Korea
Tel.: +82 41 530-1332, Email: jslim@sch.ac.kr

1. 서 론

초고주파 대역 회로를 구성하는데 가장 널리 사용되는 전송선로 유형은 마이크로스트립 구조이다. 이 구조는 유전체 기판층의 윗면에 전송선로나 회로 패턴이 구현되고, 바닥의 넓게 도포된 도체면이 접지면으로 구성된다. 따라서 상대적으로 제작이 쉬워서 양산이 가능하고 제작비용도 저렴하다[1][2]. 마이크로스트립 전송선로의 특성을 얻기 위하여 복잡한 전자기학적 해석이나 수치해석 단계를 거치지 않더라도, 전송선로의 특성 임피던스가 단위 길이당 등가 인덕턴스와 커패시턴스의 상호비의 제곱근에 비례($Z_0 = \sqrt{L/C}$)함이 선행 문헌을 통해 이미 널리 알려져 있다[3].

표준형 마이크로스트립 전송선로에 몇 가지의 외란(Perturbation) 구조를 삽입하면 단위 길이당 인덕턴스와 커패시턴스가 증가하여 특성 임피던스가 변하고 전파지연효과(Slow-Wave Effect)가 발생하여 전기적 길이가 증가함이 이미 널리 알려져 있다. 대표적으로 포토닉 밴드갭(Photonic Band Gap, PBG), 결함접지구조(Defected Ground Structure, DGS), 가유전체 기판(Artificial Dielectric Substrate, ADS) 구조 등이 있다[4]-[6].

이중 ADS 구조는 두 개의 유전체 기판층을 사용하는데, 먼저 아래 유전체층에 다수의 도금화된 비어홀(Via-Hole)을 삽입하고, 윗면의 금속면은 제거하고 바닥면에 금속 도체면을 도포하여 접지면으로 사용한다. 위 유전체층의 아랫면의 금속면을 제거하여 바닥 유전체층의 윗면과 맞닿도록 하고, 윗면에 원하는 전송선로나 회로패턴을 구현하는 구조를 갖는다. 이렇게 하면 다수의 비어홀에 의한 추가적인 커패시턴스가 추가되어, 결과적으로 구현되는 전송선로의 단위 길이당 커패시턴스와 전기적 길이가 크게 증가한다. 따라서 동일한 전기적 길이를 맞추기 위하여 전기적 길이를 줄이면 이에 따라서 물리적 길이도 감소하게 되어, 이런 원리에 의하여 회로의 크기나 전송선로의 길이를 줄일 수 있게 한다 [6][7].

DGS는 한 기판층을 사용하는데, 바닥 접지면에 식각된 기하학적 패턴에 의한 등가의 인덕턴스가

크게 증가하여 위에서 설명한 ADS와 유사한 기능을 한다. 어느 경우가 되던 표준형 전송선로에 삽입된 외란구조에 의하여 전송선로의 전기적 길이가 공통적으로 증가하게 된다.

그런데 ADS와 DGS에 의한 공통적인 효과와는 다르게, 전송선로의 특성 임피던스를 결정짓는 특성식에 의하면, ADS와 DGS는 단위 길이당 추가적인 C와 L을 각각 부가시켜 주므로 특성 임피던스의 변화방향은 서로 반대임을 알 수 있다. 만약에 ADS와 DGS를 모두 표준형 마이크로스트립 전송선로에 결합시키면 추가적인 L과 C가 서로 상보적으로 작용하여 특성 임피던스의 변화폭을 줄이면서도 공통적으로 전송선로의 전기적 길이를 증가시키는 특징이 있다. 따라서 전기적 길이를 기준으로 설계되는 초고주파 대역 회로의 크기를 크게 줄일 수 있다는 장점이 있다.

본 논문에서는 ADS와 DGS를 동시에 적용하여 얻을 수 있는 위와 같은 장점을 검증하기 위한 사례 연구로서, 초고주파 대역 무선시스템에 널리 사용되는 가지선로 하이브리드 커플러(Branch Line Hybrid Coupler, BLHC)의 소형화 설계에 대하여 기술하고자 한다. 표준형 BLHC 회로의 구조, 해석 및 설계법은 너무 널리 알려져 있어서 본 논문에서는 따로 언급하지 않고, 다만 대표적인 선행 연구 자료를 소개하는 것으로 같음하고자 한다[8].

본 논문에서는 비교 대상으로 삼기 위하여 먼저 ADS와 DGS중 어느 한 가지만 적용하여 설계한 회로를 제시한 후, ADS와 DGS를 모두 적용한 결합기 회로의 설계 결과를 보인다. 설계된 결합기 회로들이 서로 유사한 특성을 가지고 있어야 상호간의 크기 비교가 의미가 있으므로, 동일한 주파수에서 설계한 결과를 이용한다. 최종적으로 소형화된 회로를 직접 제작하고 성능을 측정한 결과를 제시하여 그 타당성을 함께 보인다.

II. 가유전체 기판만을 이용한 BLHC의 설계

본 장에서는 표준형 BLHC의 구조에 가유전체 기판을 적용하여 설계한 BLHC에 대하여 기술한다. 가유전체 구조는 그림 1과 같이 비유전율이 ϵ_r 인 유

전체 기판이 두 층으로 구성되는데, 두께가 H1인 제 1기판의 상면에 마이크로스트립 전송선로와 회로 패턴이 구현되고, 하면의 도체는 제거된다. 또한 두께가 H2인 제 2기판의 상면 도체도 제거되고, 대신 제 2기판에 다수의 도금된 비어홀이 간격 p만큼 이격되어 주기적으로 분포한다. 지름은 d인 비어홀들은 제 2기판 하면 접지도체면과 서로 연결되는 구조를 취하고 있다[6].

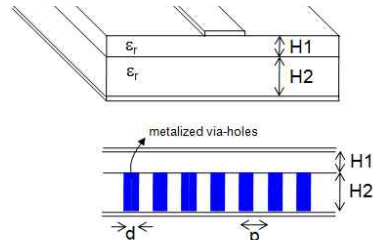
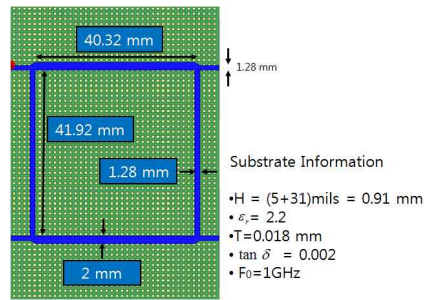


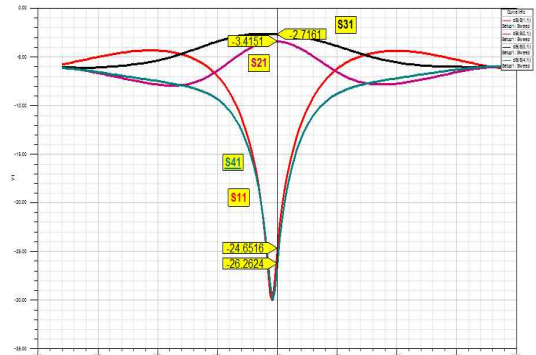
그림 1. 마이크로스트립 선로와 가유전체 기판 구조
Fig. 1. Structures of microstrip lines and artificial dielectric substrate

이러한 가유전체 기판이 갖는 대표적인 효과로는 단위 길이당 커패시턴스 증가에 따른 유효유전율의 증가를 들 수 있다. 매질 내에서 표준형 전송선로의 전파 진행 속도는 잘 알려진 것처럼 $1/\sqrt{\mu_n \epsilon_n}$ 인데, 이것이 가유전체 기판 구조에서는 $1/\sqrt{\mu_n(\epsilon_n + \epsilon_{add})}$ 이 되는 것이다. 여기에서 μ_n 과 ϵ_n 는 각각 표준형 기판에서의 유효투자율과 유효유전율이고, ϵ_{add} 는 가유전체 기판 구조에 의하여 증가한 유효유전율을 의미한다. 유효유전율이 증가하므로 주어진 물리적 길이 대비 전기적 길이가 증가하므로, 결국에는 동일한 전기적 길이를 유지하기 위하여 물리적 길이를 줄일 수 있게 되며, 이것이 바로 소형화의 원리가 된다.



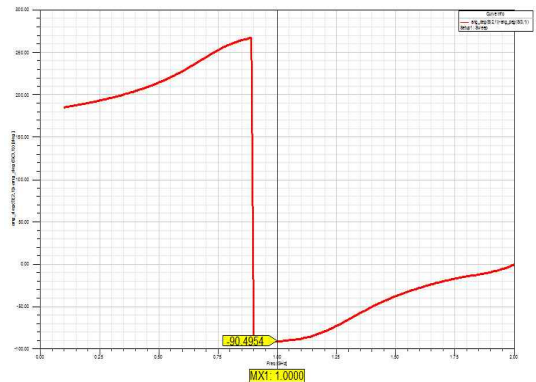
(a) 레이아웃 (Layout)

본 연구에서는 가유전체 기판을 이용하여 BLHC 회로를 설계하여 보았다. 가유전체 기판을 구성하기 위하여 비유전율이 2.2이고, 두께가 5mil인 기판을 제 1유전체 기판으로 선택하였고, 같은 비유전율에 두께가 31mil인 기판을 제 2유전체 기판으로 선택하였다. 가유전체 기판구조를 위하여 그림 1에서 $d=0.8\text{mm}$, $p=1.3\text{mm}$ 를 사용하였다. 설계 주파수는 크기 비교가 쉽도록 의도적으로 1GHz로 하였다. 그리고 가유전체 기판에서 BLHC 설계에 필요한 50Ω 과 35.35Ω 마이크로스트립 선로의 선폭과 $\lambda/4$ 의 길이를 결정하기 위하여 종래에 이미 연구된 결과를 활용하였다[9].



(b) S-Parameter 성능 (S-parameters)

그림 2는 가유전체 기판으로 설계한 중심 주파수 1GHz의 BLHC 회로의 레이아웃과, Ansys사의 HFSS (High Frequency Structure Simulator)로 예측한 시뮬레이션 특성을 보여준다. 입력 단자로 입사된 신호는 두 출력 단자에서 1/2씩 전력이 분배되며, 두 출력단자간에는 서로 90°의 위상차를 갖는다.



(c) 출력단자간 위상차 특성 (Phase-difference characteristics)

그림 2. 가유전체 기판으로 설계한 BLHC 회로
Fig. 2. Designed BLHC using artificial dielectric substrate

그림 2(a)에 의하면, 50Ω 선로의 폭은 1.28mm이고, 1GHz에서 $\lambda/4$ 의 길이는 41.92mm이며, 35.35Ω 선로의 경우 폭과 $\lambda/4$ 의 길이는 각각 2mm와 40.32mm이다. 그림 2(b)는 HFSS에 의한 시뮬레이션 특성을 나타낸 그림이다. S21과 S31에 약간의 불균형이 존재하지만 -3dB 근처에서 전력 분배가 이루어지고 있으며, 단자정합도와 격리도 특성이 모두 -24dB 이하임을 알 수 있다. 또한 그림 2(c)를 통하여 두 출력단자간의 위상차가 90도로 정확함을 알 수 있다.

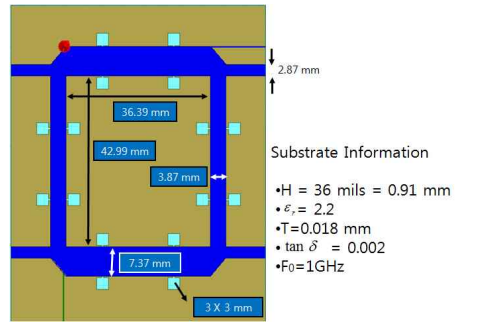
III. 결합접지구조만을 이용한 BLHC의 설계

여기서는 결합접지구조만을 갖는 BLHC의 설계에 대하여 기술하고자 한다. 결합접지구조는 마이크로스트립 전송선로 패턴의 바로 아래에 있는 접지면에 일정한 기하학적인 패턴을 식각하고, 이것에 의하여 유발된 등가회로 성분에 의하여 전송특성에 영향을 주는 것으로, 대표적인 패턴은 아령형 패턴이다. 결합접지구조의 대표적인 효과로, 단위 길이당 인덕턴스가 크게 증가하기 때문에 특성 임피던스의 증가와 더불어 동일한 물리적 길이 대비 전기적 길이가 증가하는 현상을 들 수 있다. 즉 표준형 전송선로의 특성 임피던스는 잘 알려진 것처럼 $\sqrt{L_n/C_n}$ 으로 표현할 수 있는데, 결합접지구조가 삽입되면 $\sqrt{(L_n + L_{add}) / (C_n + C_{add})}$ 으로 변한다. 여기에서 L_n 과 C_n 는 각각 표준형 기판에서 전송선로의 단위 길이당 증가의 인덕턴스와 커패시턴스이고, L_{add} 와 C_{add} 는 결합접지구조에 의하여 부가되는 단위길이당 인덕턴스와 커패시턴스이다. 특히 결합접지구조의 경우 C_{add} 의 증가보다는 L_{add} 의 증가가 두드러지는 특성이 있다. 따라서 같은 선폭일 때 더 높은 임피던스의 선로가 구현되고, 또 구현 가능 임피던스의 상한값이 증가하게 된다[10]. 또한 가유전체 기판에서와 마찬가지로 동일한 전기적 길이 대비 물리적 길이를 짧게 할 수 있기 때문에 소형화에도 유리하다[11].

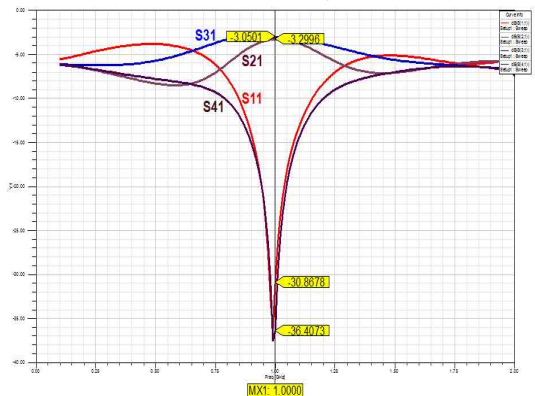
본 연구에서는 비교 대상으로서의 역할을 위하여, 결합접지구조를 이용하여 BLHC 회로를 설계하여 보았다. 가유전체 기판을 이용한 경우와 비교하

고 또 나중에 가유전체 기판과 동시에 적용하기 위하여, 위와 동일한 두께인 36mil 기판을 이용하였다. 사용한 기판의 비유전율과 설계 주파수는 비교를 위하여 같은 값으로 하였다.

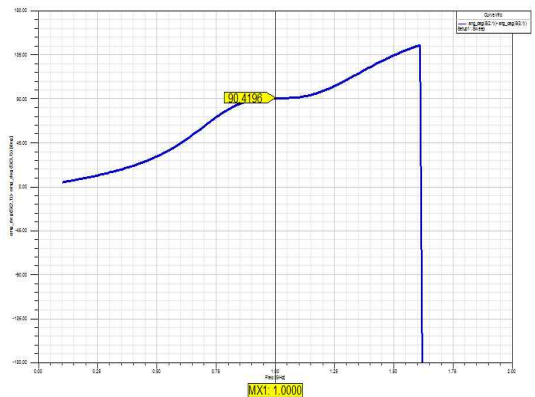
그림 3은 결합접지구조를 적용하여 설계한 BLHC 회로와 시뮬레이션 특성을 보여주고 있다.



(a) 레이아웃 (Layout)



(b) S-Parameter 성능 (S-parameters)



(c) 출력단자간 위상차 특성 (Phase-difference characteristics)

그림 3. 결합접지구조를 이용하여 설계한 BLHC 회로
Fig. 3. Designed BLHC using defected ground structure

사용된 결합접지구조의 정사각형 결합은 3mm×3mm의 크기이며, 연결슬롯의 폭은 0.5mm이다. 그림 3(a)에 의하면, 50Ω 선로의 폭은 2.87mm이고, 1GHz에서 $\lambda/4$ 의 길이는 42.99mm이며, 35.35Ω 선로의 경우 폭과 $\lambda/4$ 의 길이는 각각 7.37mm와 36.39mm이다. 그림 3(b)에 의하면, HFSS에 의한 시뮬레이션 결과 두 출력 단자로의 전력 분배가 잘 이루어지고 있으며, 단자정합도와 격리도 특성이 모두 우수함을 알 수 있다. 또한 그림 3(c)를 통하여 두 출력단자간의 위상차 특성도 우수함을 알 수 있다.

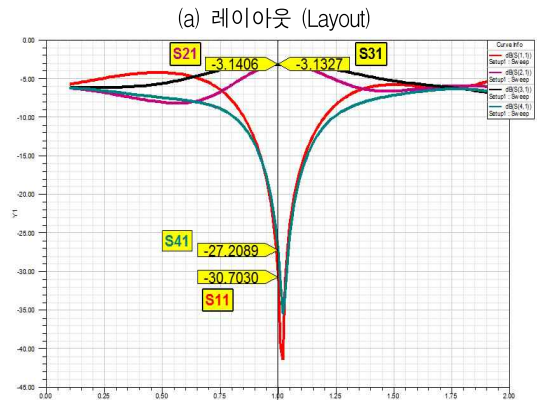
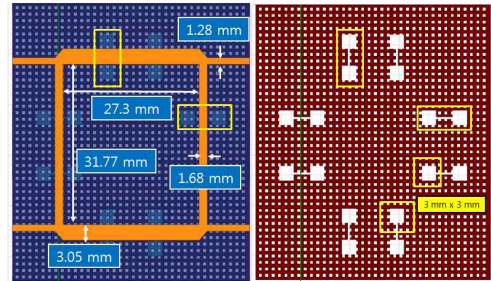
결합접지구조를 이용한 설계의 경우를 보면, 가유전체 구조를 이용하는 경우에 비하여 동일한 선로 임피던스일 때 선폭이 매우 넓은을 알 수 있다. 그림 3(a)를 자세히 보면, 네 단자의 연결부 50Ω 표준형 전송선로의 선폭이 2.87mm인데 비하여, BLHC 회로내의 50Ω 선로의 선폭은 3.87mm로 더 넓어졌다는 것인데, 이 현상은 위의 그림 2(a)에서는 볼 수 없는 것이다. 이것은 결합접지구조의 뛰어난 장점 가운데 하나인데, 동일한 특성 임피던스일 때 선폭이 넓어지므로, 높은 임피던스 값에서 표준적인 마이크로스트립 선로의 선폭이 너무 좁아서 구현이 어려울 때, 결합접지구조를 삽입하면 선로의 구현가능성이 더 높음을 의미한다.

IV. 가유전체 기판과 결합접지구조를 결합한 BLHC의 설계

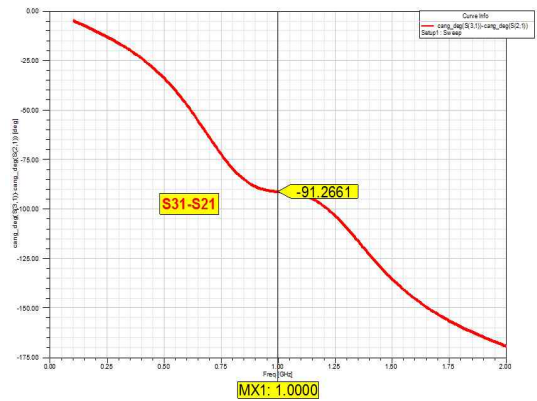
위에서는 가유전체 기판과 결합접지구조 중 어느 한 가지만을 적용하여 설계한 BLHC 회로에 대하여 기술하였다. 두 가지 경우의 공통점은 표준형 전송선로에 등가의 커패시턴스나 인덕턴스가 부가되므로 모두 길이의 소형화가 가능하다는 것이었다. 그래서 본 장에서는 두 구조를 결합시켜 회로설계에 적용할 경우 더 길어진 전기적 길이로 인하여 소형화 효과를 더 크게 얻을 수 있음을 보이고자 한다.

그림 4는 가유전체 기판과 결합접지구조를 동시에 적용하여 설계한 BLHC 회로의 레이아웃과 시뮬레이션 특성을 보여주고 있다. 그림 4(a)에 의하면, 네 연결 단자 부분의 50Ω 선로의 폭은 그림 2(a)와 같으므로 1.28mm이지만, 결합접지구조가 삽입된 BLHC 내의 50Ω 선로의 폭은 1.68mm로서 그림 2(a)

에서보다 더 넓어졌음을 알 수 있다. 이것은 결합접지구조에 의한 효과로 위의 그림 3(a)에서 보았던 것과 동일한 현상이다.



(b) S-Parameter 성능 (S-parameters)



(c) 출력단자간 위상차 특성 (Phase-difference characteristics)

그림 4. 가유전체 기판과 결합접지구조를 이용하여 설계한 BLHC 회로

Fig. 4. Designed BLHC using ADS and DGS

1GHz에서 $\lambda/4$ 의 길이는 31.77mm이며, 35.35Ω 선로의 경우 폭과 $\lambda/4$ 의 길이는 각각 3.05mm와 27.3mm이다. 그림 2(a)에서 35.35Ω 선로의 폭이 2mm이었던 것에 비하면 역시 결합접지구조의 효과로 인하여 선폭이 3.05mm로 넓어졌음을 알 수 있다.

그림 4(a)에서 특히 주목할 것은 BLHC의 레이아웃을 구성하는 $\lambda/4$ 의 길이가 앞의 두 경우에 비하여 현저하게 줄어들었다는 것이다. 이것은 앞에서도 설명했듯이 가유전체 기판과 결합접지구조가 공통적으로 갖는 길이 감소 효과가 더욱 극대화된 결과라 할 수 있다.

그림 4(b)에 의하면, HFSS에 의한 시뮬레이션 결과 두 출력 단자로의 전력 분배 특성, 단자정합도 및 격리도 특성이 모두 우수함을 알 수 있다. 또한 그림 4(c)에서 출력단자간의 위상차 특성도 앞의 두 경우에 비하여 전혀 손색이 없음을 알 수 있다.

위의 세 가지 BLHC의 크기 비교를 쉽게 하기 위하여 그림 5처럼 세 개의 레이아웃을 겹쳐서 표시하여 보았다. 50Ω 전송선로로 연결되는 네 연결 단자 부분을 제외한 순수한 BLHC 회로 부분인 가장자리 사각형의 면적을 살펴보았더니, 결합접지구조만을 이용한 경우, 가유전체 기판만을 이용한 경우, 그리고 두 구조를 모두 이용한 경우의 순서대로 각각 2548mm², 1969mm², 1373mm²이었다. 두 구조를 모두 이용한 경우의 면적은 결합접지구조만을 이용한 경우에 비하여 불과 54%의 크기를 가졌고, 가유전체 기판만을 이용한 경우에 비하여 불과 68%의 크기를 가졌다. 따라서 두 구조를 결합하여 회로설계에 응용한 경우 현저하게 크기가 줄어든 회로를 설계할 수 있음을 알 수 있다.

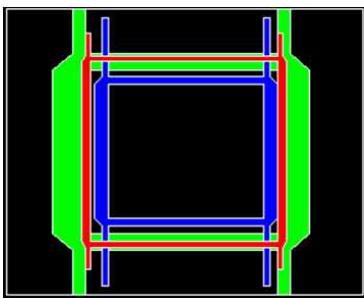


그림 5. 세 BLHC의 크기 비교를 위한 겹쳐진 레이아웃
Fig. 5. Overlapped layouts of three BLHC for comparison of size

표 1은 본 논문에서 회로설계 과정에서 필요한 세 가지 마이크로스트립 전송선로의 선폭과 길이를 비교한 것이다. 가유전체 기판과 결합접지구조를 모두 사용한 경우에 가장 짧은 길이를 가짐을 알 수 있다.

표 1. 세 가지 전송선로 구조에서 길이와 선폭 비교
Table 1. Comparison of length and line width in three transmission structures

전송선로구조	특성 임피던스 [Ω]	$\lambda/4@1\text{GHz}$ [mm]	선폭 [mm]
가유전체기판	50	41.92	1.28
	35.35	40.32	2
결합접지구조	50	42.99	2.87
	35.35	36.39	7.37
가유전체구조 +결합접지구조	50	31.77	1.68
	35.35	27.3	3.05

V. 회로의 제작 및 측정 결과

이제 본 장에서는 가유전체 기판과 결합접지구조를 결합시켜 소형화하여 설계한 BLHC 회로의 제작 및 측정 결과에 대하여 기술하고자한다.

그림 6은 제작과 조립 과정에서 필요한 레이아웃의 CAD(Computer Aided Design) 작업 결과이다. 이 과정을 통하여 제작에 필요한 필름을 얻고, 또 상, 하면 레이아웃의 위치가 정확한지를 확인한다.

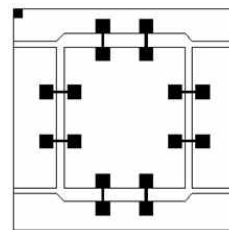


그림 6. BLHC 회로의 제작용 레이아웃
Fig. 6. Layout of BLHC for fabrication

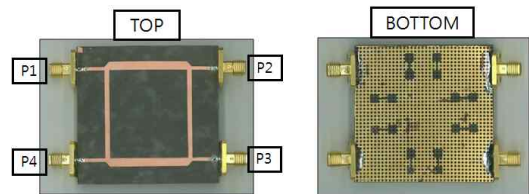


그림 7. 제작한 BLHC 회로의 실제 사진
Fig. 7. Photograph of the fabricated BLHC

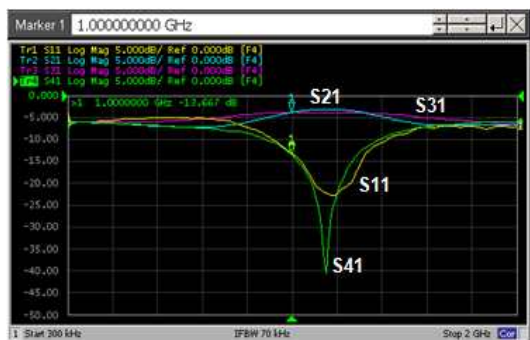
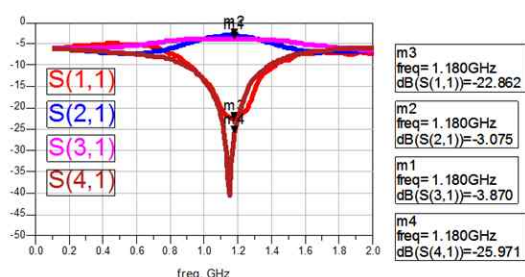
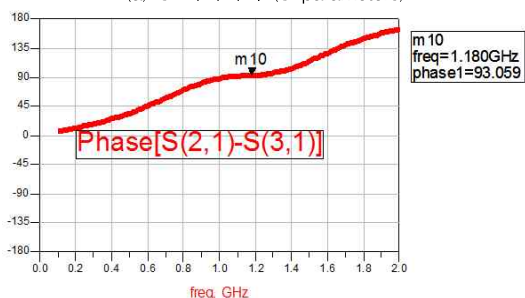


그림 8. 제작한 BLHC 회로의 측정 결과
Fig. 8. Measured S-parameters of the fabricated BLHC



(a) S-파라미터 (S-parameters)



(b) 위상차 특성 (Phase-difference characteristics)

그림 9. 제작한 BLHC 회로의 성능
Fig. 9. Measured performances of the fabricated BLHC

그림 7은 실제로 제작한 BLHC 회로의 제작 사진을 보여준다. 상면과 하면의 레이아웃은 상기 그림 4(a)에 보인 것과 같다. 사용한 기판은 위에서 이미 설명한 바와 같다.

그림 8은 제작한 BLHC 회로를 벡터 회로망 분석기(Vector Network Analyzer)로 S-파라미터를 측정하는 실제 화면을 보여주고 있다. 측정된 S-parameter의 가독성을 좋게 개선하기 위하여 이를 그래프로 다시 그린 것을 그림 9에 다시 보였다. 측정 결과 중심 주파수에서 약간의 주파수 이동 현상이 보이지만, 두 출력단에서의 전력 분배(S21, S31)

는 각각 -3.08dB, -3.87dB이며, 단자 정합(S11)과 격리도(S41)는 각각 -22.9dB와 -26dB로 측정되었다. 단자 정합과 격리도의 경우 보통 -20dB를 기준으로 하여 그 이하일 경우 우수한 결과로 받아들여지는데, 현재 측정된 값은 -20dB보다 더 우수한 결과임을 알 수 있다. 또한 두 출력단자간 위상차도 동작 주파수에서 3°로 양호한 특성을 보이고 있음을 알 수 있다.

주파수 이동 현상과 위상차에 있어서 약간의 오차는 다수의 비어홀과 DGS의 상대적 위치와 제작 과정에서 두 기판의 접합이 설계에서처럼 이상적이지 않은 것에 기인하는 것으로 판단된다. 실제 제작 과정에서 마이크로스트립 선로와 DGS 및 개개 비어홀의 상대적 위치 관계는 그림 4(a)에 보인 것과는 다소 다르게 임의의 위치가 가능하기 때문이다. 또한 두 기판의 접합 과정에서도 그림 4(a)에 보인 것과 같은 위치가 정확하게 보장되기는 다소 어렵기 때문이다. 그럼에도 불구하고 측정된 성능들은, 가유전체 기판과 결합접지구조를 결합하여 소형화 시킨 BLHC가 그 이전에 비하여 현저하게 작아졌으면서도 성능상의 큰 열화(Degradation)가 없음을 알려준다.

VI. 결 론

본 연구에서는 가유전체 기판과 결합접지구조를 결합하여 소형화 설계한 BLHC에 대하여 기술하고, 실제로 제작하여 그 동작 특성까지 측정하여 제시하여 설계의 타당성을 검증하여 보았다. 물론 가유전체 기판이나 결합접지구조 어느 한 가지만 삽입하여도, 아무런 외란(Perturbation) 구조가 없는 표준형 전송선로로만 구성된 회로에 비하여 크기는 줄어든다. 그러나 본 논문에서는 가유전체 기판이나 결합접지구조의 공통적인 장점을 극대화하기 위하여 이 두 가지를 결합하고 이를 BLHC 회로의 소형화 설계에 활용하였다.

설계 결과 결합접지구조만을 삽입한 경우와 가유전체 기판만을 삽입한 경우 순수한 BLHC 회로부분의 면적은 각각 2548mm², 1969mm²이었으나, 두 가지를 결합하여 설계한 BLHC의 면적은 1373mm²로 현저하게 크기가 줄어들었다.

제작한 BLHC의 성능을 실제로 측정한 결과, 약간의 주파수 이동 현상이 있었으나 동작 주파수에서 두 출력간 전력 분배와 위상차 특성이 BLHC로서는 양호하게 측정되었다. 이로써 가유전체 기판과 결합접지구조를 결합하여 소형화하는 회로 설계 방법이 타당함이 검증되었다고 말할 수 있다. 본 논문에서 기술한 설계 방법은 향후에도 높은 주파수 대역의 무선통신용 회로와 부품의 소형화 설계에 유익하게 사용될 수 있을 것이라 사료된다.

References

[1] K. C. Gupta, R. Garg, I. Bahl, and P. Bhartia, "Microstrip Lines and Slotlines, 2/e", Artech House, Boston, pp. 26-27, 1996.

[2] B. C. Wadell, "Transmission Line Design Handbook", Artech House, Boston, pp. 93-115, 1991.

[3] W. Hayt Jr. and J. Buck, "Engineering Electromagnetics", 7th ed., McGraw-Hill, New York, pp. 343-345, 2006.

[4] V. Radisic, Y. Qian, R. Coccioli, and T. Itoh, "Novel 2-D Photonic Bandgap Structure for Microstrip Lines", *IEEE Microwave Guide Wave Letters*, Vol. 8, No. 2, pp. 69-71, Feb. 1998.

[5] C. S. Kim, J. S. Park, D. Ahn, and J. B. Lim, "A Novel 1-D Periodic Defected Ground Structure for Planar Circuits", *IEEE Microwave Guide Wave Letters*, Vol. 10, No. 4, pp. 131-133, Apr. 2000.

[6] M. Coulombe, H. V. Nguyen, and C. Caloz, "Substrate Integrated Artificial Dielectric (SIAD) Structure for Miniaturized Microstrip Circuits", *IEEE Antenna and Wireless Propagation Letters*, Vol. 6, pp. 575-579, Dec. 2007.

[7] J. Lim, K. Kwon, S. M. Han, and D. Ahn, "Application of Artificial Dielectric Substrate for Size Reduction of Unequal Power Dividers", *Journal of Korean Institute of Information Technology*, Vol. 10, No. 12, pp. 33-39, Dec. 2012.

[8] D. M. Pozar, "Microwave Engineering", 3/e, John

Wiley and Sons, Inc., New York, pp. 143-148, 2005.

[8] J. Lim, J. Koo, S. Han, Y. Jeong, and D. Ahn, "A Method for Calculating the Characteristic Impedance of Substrate Integrated Artificial Dielectric Transmission Lines", *The Transactions of the Korean Institute of Electrical Engineers*, Vol. 58, No. 8, pp. 1585-1591, Aug. 2009.

[10] J. S. Lim, S. W. Lee, C. S. Kim, J. S. Park, D. Ahn, and S. Nam, "A 4:1 Unequal Wilkinson Power Divider", *IEEE Microwave and Wireless Components Letters*, Vol. 11, No. 3, pp. 124-126, Mar. 2001.

[11] J. S. Lim, J. S. Park, Y. T. Lee, D. Ahn, and S. Nam, "Application of Defected Ground Structure in Reducing the Size of Amplifiers", *IEEE Microwave and Wireless Component Letters*, Vol. 12, No. 7, pp. 261-263, July 2002.

저자소개

권 경 훈 (Kyunghoon Kwon)



2012년 2월 : 순천향대학교
전기통신공학과(공학사)
2014년 2월 : 순천향대학교 대학원
전기통신시스템공학과
2014년 7월 ~ 현재 : (주) People
Works
관심분야 : 초고주파 무선 능동/
수동 회로/부품 설계 분야 등

임 종 식 (Jongsik Lim)



1991년 2월 : 서강대 전자공학과
(공학사)
1993년 2월 : 서강대 대학원
전자공학과(공학석사)
2003년 2월 : 서울대 대학원
전기컴퓨터공학부(공학박사)
1993년 2월 ~ 2005년 2월 :

한국전자통신연구원 선임연구원
2005년 3월 ~ 현재 : 순천향대학교 전기공학과 재직중.
관심분야 : 초고주파 무선 회로/부품 설계, 능동/수동
소자 모델링 및 회로 응용, 주기 구조의 모델링 및
회로 응용 등

정 용 채 (Yongchae Jeong)



1989년 2월 : 서강대 전자공학과
(공학사)

1991년 2월 : 서강대 대학원
전자공학과(공학석사)

1996년 2월 : 서강대 대학원
전자공학과(공학박사)

1991년 2월 ~ 1998년 2월 :

삼성전자 정보통신본부 선임연구원

1998년 3월 ~ 현재 : 전북대학교 전자정보공학부 교수
관심분야 : RF, 마이크로파 회로 해석 및 설계, 이동통신
및 위성통신용 RF 시스템 등

한 상 민 (Sang-Min Han)



1996년 2월 : 고려대 전파공학과
(공학사)

1998년 8월 : 고려대 대학원
전파공학과(공학석사)

2003년 8월 : 고려대 대학원
전파공학과(공학박사)

2003년 10월 ~ 2004년 11월 :

UCLA Post Doctoral Research Fellow

2005년 1월 ~ 2007년 8월 : 삼성종합기술원 전문연구원
2007년 9월 ~ 현재 : 순천향대학교 정보통신공학과 재직 중
관심분야 : RF 시스템, Low power RF transceivers,
Active integrated antenna systems 등

안 달 (Dal Ahn)



1984년 2월 : 서강대 전자공학과
(공학사)

1986년 2월 : 서강대 대학원
전자공학과(공학석사)

1990년 8월 : 서강대 대학원
전자공학과(공학박사)

1990년 8월 ~ 1992년 8월 :

한국전자통신연구원 선임연구원

1992년 9월 ~ 현재 : 순천향대학교 전기공학과 재직중
관심분야 : RF, 마이크로파 수동소자 해석 및 설계 등