

높은 Q-지수를 갖는 대칭 구조의 CMOS 2 단자 능동 인덕터

CMOS Symmetric High-Q 2-Port Active Inductor

구 자 건 · 정 승 호 · 정 용 채

Jageon Koo · Seungho Jeong · Yongchae Jeong

요 약

본 논문에서는 LC 공진회로를 이용한 2 단자 능동 인덕터를 제안한다. 제안된 회로는 기존 자이레이터 구조의 1 단자 능동 인덕터들을 캐스코드 형태로 결합하였으며, 두 자이레이터 사이에 LC 공진회로를 추가시켰다. LC 공진회로는 능동 인덕터를 구성하는 트랜지스터의 기생 성분들을 상쇄시킴으로써 넓은 대역에서 높은 Q-지수를 제공한다. 제안된 회로는 삼성전자 65 nm 공정을 이용하여 시뮬레이션과 제작을 수행하였으며, 1~6 GHz 대역에서 2 nH의 일정한 인덕턴스와 40 이상의 높은 Q-지수를 가진다.

Abstract

In this paper, a novel CMOS high Q factor 2-port active inductor has been proposed. The proposed circuit is designed by cascading basic gyrator-C structural active inductors and attaching the feedback LC resonance circuit. This LC resonator can compensate parasitic capacitance of transistor and can improve Q factor over wide frequency range. The proposed circuit was fabricated and simulated using 65 nm Samsung RF CMOS process. The fabricated circuit shows inductance of above 2 nH and Q factor higher than 40 in the frequency range of 1~6 GHz.

Key words: Active Inductor, CMOS Integrated Circuits, Gytrators, Q Factor

I. 서 론

무선 통신 시스템의 발전과 그를 응용한 시장의 계속적인 확대에 따라 무선통신 회로나 소자들에 대한 관심이 커지고 있다. 하나의 주파수에서 특정 전기적 특성을 갖는 소자 및 회로에 주파수 가변성을 부여하는 연구도 활발히 이루어지고 있다. 또한, 정부의 승인 없이 사용이 가능한 ISM 주파수 대역에 대한 연구 개발 활동이 활발히 진행 중에 있으며, 특히 5 GHz 대역에서의 WLAN 연구가 활발하다. 이 대역에서 동작하는 WLAN 송수신 모

듈 또는 응용 회로를 제작하기 위해서는 다양한 정보의 효율적인 전송이 가능한 고속 집적회로의 개발이 요구되고 있다. 또한, 적은 면적과 전력소모량의 요구에 따라 이를 MMIC 또는 RFIC^[1]로 구현하는 연구도 활발하다.

RFIC에서 일반적으로 사용되어지는 나선형 인덕터(spiral inductor)는 구조가 간단하고, 전력 소모가 적다는 장점이 존재한다. 하지만 나선형 인덕터는 회로 점유 면적이 크며, 긴 선로 길이로 인해서 직렬 저항 선분이 추가되어 낮은 Q-지수를 갖는다. 이러한 단점을 보완하기 위하여 자이레이터(gyrator) 구조의 접지형 능동 인덕터가

전북대학교 전자정보공학부 및 IT융합연구센터(Division of Electronics and Information Engineering and IT Convergence Research Center, Chonbuk National University)

· Manuscript received July 8, 2016 ; Revised August 4, 2016 ; Accepted September 16, 2016. (ID No. 20160708-01S)

· Corresponding Author: Yongchae Jeong(e-mail: ycjeong@jbnu.ac.kr)

연구되어 왔다^[2]. 하지만 기존의 접지형 능동 인덕터는 높은 Q-지수를 갖는 주파수 대역폭이 좁고, 한 쪽 단자가 접지되어 있어서 직렬 회로에는 사용할 수 없다는 단점이 있다^[3].

본 논문에서는 기존의 나선형 인덕터와 접지형 능동 인덕터의 단점을 보완하는 새로운 구조의 2 단자 능동 인덕터를 제안한다. 제안하는 능동 인덕터는 기존의 1 단자 능동 인덕터 두 개를 캐스코드(cascode) 형태로 연결하였으며, 두 능동 인덕터 사이에 LC 공진회로를 추가하여서 트랜지스터의 기생 성분을 상쇄시킴으로 높은 Q-지수를 얻었다. 또한, 제안하는 능동 인덕터는 높은 Q-지수를 가지는 대역폭이 넓고, 높은 Q-지수를 가지는 범위 내에서 일정한 인덕턴스를 가지므로 광대역 응용 회로의 적용이 용이하다.

II. 2 단자 능동 인덕터의 설계

2.1 기존의 2 단자 능동 인덕터

기존의 1 단자 능동 인덕터는 자이레이터 구조의 접지형 능동 인덕터로 구현되었다^{[4][5]}. 이러한 1단자 능동 인덕터를 2단자로 동작시키기 위해 1단자 능동 인덕터들을 캐스코드 형태로 연결한다. 그림 1은 기존의 2단자 능동 인덕터의 회로도 및 소신호 등가 모델이다.

하지만 기존의 능동 인덕터는 차동 입력이 필요하며, 넓은 주파수 대역에서 일정한 인덕턴스를 얻기 어렵고, 높은 Q-지수를 가지는 대역폭도 좁다^[7]. 이러한 제한적인 요소를 해결하고, 성능을 개선하기 위해서는 기존의 2 단자 능동 인덕터에 대한 수식적 분석이 선행되어야 한다. 기존의 2단자 능동 인덕터의 소신호 등가회로에 대한 분석을 하면, 식 (1) 및 (2)와 같이 인덕턴스 및 Q-지수를 구할 수 있다.

$$L_{eq} = \frac{2(C_{gs1} + C_{gs3})(2g_{m1} - g_{ds5} + g_{m3})}{g_{ds5} \left[(g_{m1} + g_{m3})^2 + \omega^2 (C_{gs1} + C_{gs3})^2 \right]} \quad (1)$$

$$Q = \frac{\omega(C_{gs1} + C_{gs3})(2g_{m1} + g_{m3} - g_{ds5})}{(g_{m1} + g_{m3})(g_{ds5} - g_{m1}) + \omega^2 (C_{gs1} + C_{gs3})^2} \quad (2)$$

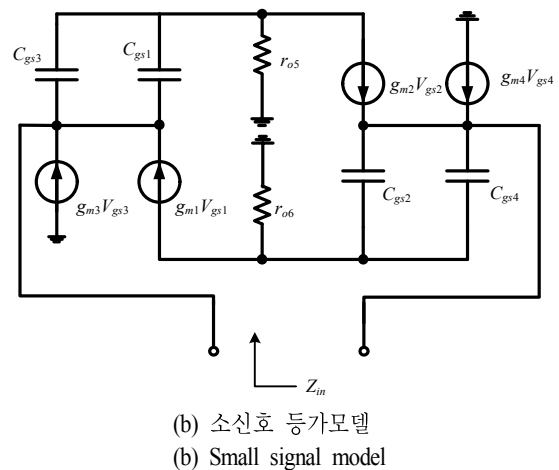
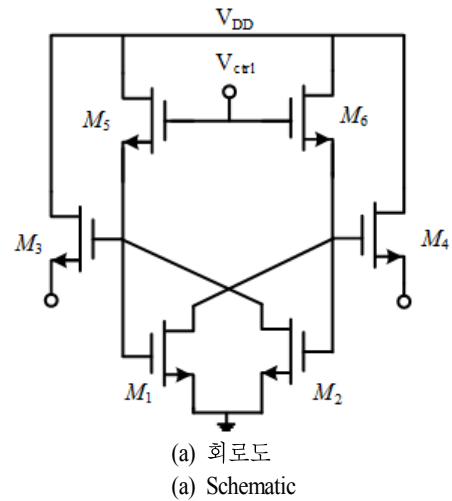


그림 1. 기존 2 단자 능동 인덕터
Fig. 1. Conventional 2-port active inductor.

하지만 식 (1)과 (2)에서 각 파라미터가 Q-지수에 영향을 미치는 요소들을 알 수 없기 때문에 식 (2)를 바탕으로 각 파라미터 변화에 따른 Q-지수의 변화를 알아보았으며, 그 결과들을 그림 2에 나타냈다.

그림 2(a)는 트랜지스터의 드레인-소스간 출력 저항 값이 커짐에 따라서 Q-지수가 높아지는 것을 보여주고 있고, 그림 2(b)는 트랜지스터의 기생 커패시턴스가 작아지면 높은 주파수에서 같은 Q-지수를 얻으면서도 주파수 대역폭도 넓어짐을 보이고 있다. 이것은 트랜지스터의 기생 성분들이 능동 인덕터의 Q-지수에 영향을 미친다는 것을 나타내고 있다.

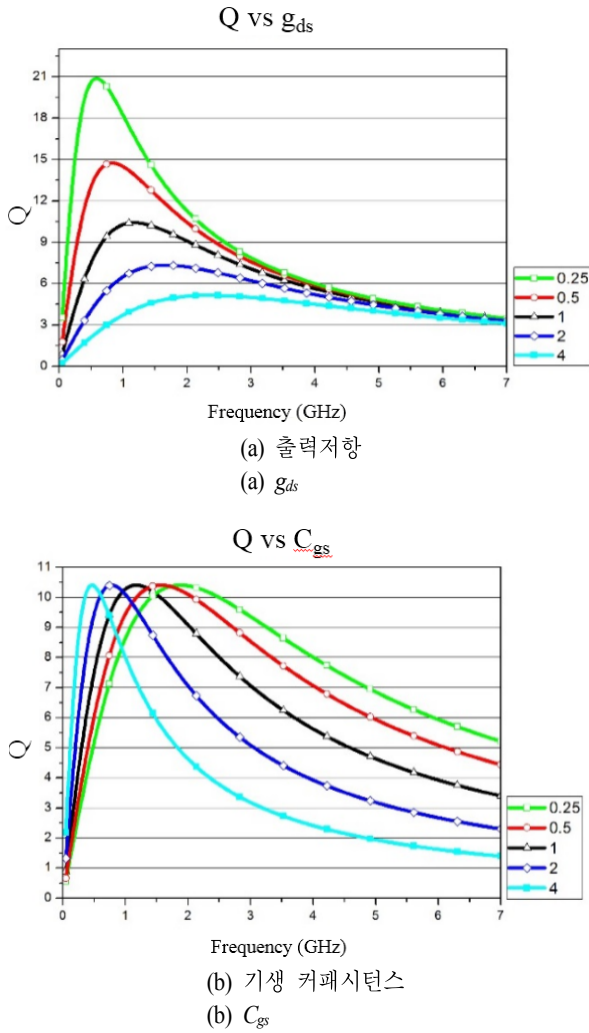
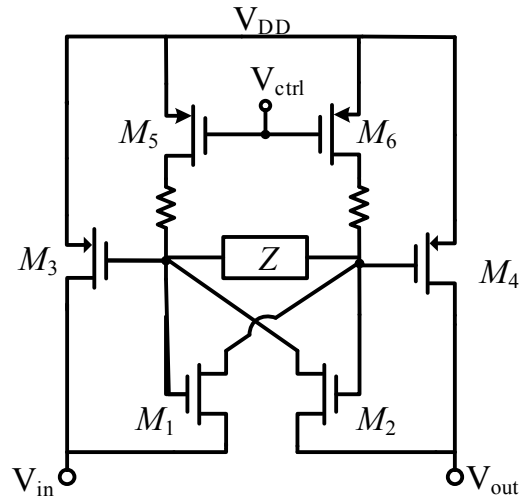


그림 2. 트랜지스터 파라미터 변화에 따른 Q-지수의 변화
Fig. 2. Q factor variation according to change MOSFET's parameters.

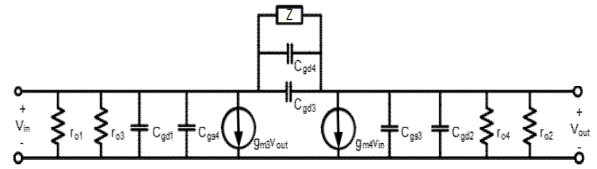
2-2 제안하는 2 단자 능동 인덕터

기존의 능동 인덕터의 시뮬레이션을 통해서 기존의 구조로는 높은 Q-지수를 갖기가 어려움을 알 수 있었다.

따라서 부가적인 회로의 추가를 통해 Q-지수를 높이는 회로를 제안한다. 그림 3은 제안된 2 단자 능동 인덕터의 회로도 및 소신호 등가 회로이다. 이 회로에서 M_3 와 M_4 는 조정 전압(V_{ctrl})에 의한 가변 저항의 역할을 한다. 또한, 추가된 LC 병렬 공진 회로는 트랜지스터의 기생 커패시턴스를 상쇄시킴으로써 회로의 Q-지수를 향상시킬 수 있



(a) 회로도
(a) Schematic



(b) 소신호 등가 모델
(b) Small signal model

그림 3. 제안하는 2 단자 능동 인덕터
Fig. 3. Proposed 2-port active inductor.

다. 등가 회로에서 Z는 부계환 L_f 와 C_f 의 합성 임피던스이다.

이 회로의 정확한 분석을 위해 소신호 등가 회로를 1 단자 등가 회로 분석 방법과 동일하게 적용하면 2 단자 능동 인덕터의 인덕턴스 및 Q-지수를 식 (3)과 (4)로 표현할 수 있다.

$$L_{eq} = \frac{\left[\frac{L_f}{R} \left(g_{m3} - g_{m3}\omega^2 C_f L_f - \frac{\omega^2 C_{gs4} L_f}{R} \right) - \left(c_{gs4} + \frac{g_{m3} L_f}{R} \right) (1 - \omega^2 L_f (C_f + C_{gs4})) \right]}{\left(g_{m3} - g_{m3}\omega^2 C_f L_f - \frac{\omega^2 C_{gs4} L_f}{R} \right)^2 + \omega^2 \left(C_{gs4} + \frac{g_{m3} L_f}{R} \right)^2} \quad (3)$$

$$Q = \frac{\omega \left[\frac{L_f}{R} \left(g_{m3} - g_{m3}\omega^2 C_f L_f - \frac{\omega^2 C_{gs4} L_f}{R} \right) - \left(c_{gs4} + \frac{g_{m3} L_f}{R} \right) (1 - \omega^2 L_f (C_f + C_{gs4})) \right]}{\left[1 - \omega^2 L_f (C_f + C_{gs4}) \right] \left[g_{m3} - g_{m3}\omega^2 C_f L_f - \frac{\omega^2 C_{gs4} L_f}{R} \right] + \frac{\omega^2 L_f}{R} \left[c_{gs4} + \frac{g_{m3} L_f}{R} \right]} \quad (4)$$

이 결과를 토대로 회로에 L_f 와 C_f 로 이루어진 LC 병렬 공진 회로를 추가하여 M_1 과 M_2 의 기생 커패시턴스를 상쇄시켜 높은 Q-지수를 얻을 수 있도록 하였다. 추가된 나선형 인덕터는 0.75 nH의 인덕턴스를 가지며, $150 \times 150 \mu\text{m}^2$ 의 공간을 차지한다. 시뮬레이션은 삼성전자 CMOS RF 65 nm 공정 PDK 파일을 이용하였다. 또한, 설계는 Cadence사의 Spectre 프로그램으로 시뮬레이션 하였으며, KAIST IDEC MPW 프로그램을 이용하여 제작되었다. 그림 5는 제안된 2 단자 능동 인덕터의 인덕턴스 및 Q-지수의 시뮬레이션 및 측정 결과들이다. 제안된 회로는 1~6 GHz의 주파수에서 2 nH의 일정한 인덕턴스를 가지며, 전체 주파수에서 40 이상의 높은 Q-지수를 얻을 수 있었다. 그림 4는 제작된 회로의 레이아웃 사진이며, 회로의 패드를 제외한 면적은 $200 \times 150 \mu\text{m}^2$ 이다. 또한, 제작된 회

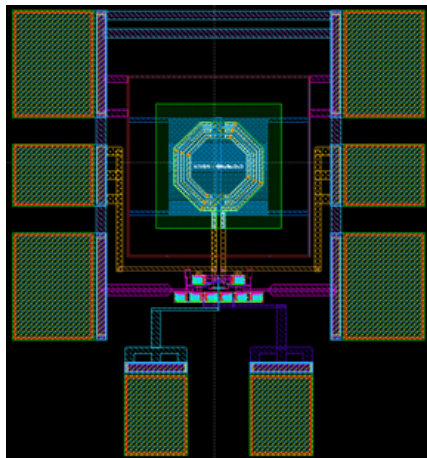
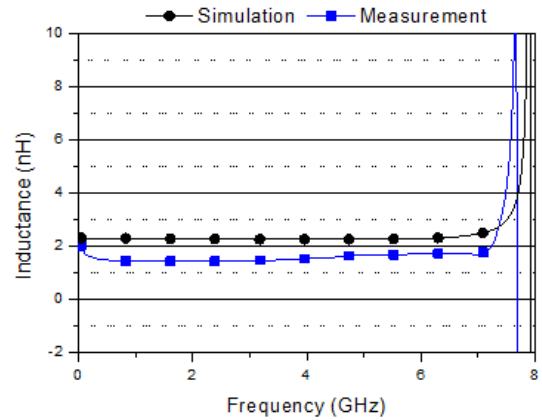


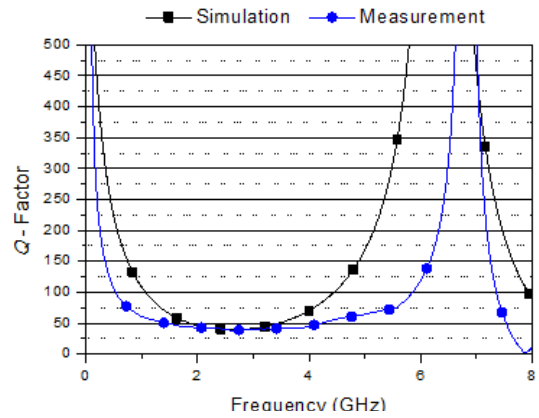
그림 4. 제안하는 회로의 레이아웃
Fig. 4. Layout of proposed active inductor.

표 1. 기존의 능동 인덕터들과의 성능 비교
Table 1. Performance comparison of CMOS 2-port active inductor.

비교논문	f_0 [GHz]	Q_{max}	L [nH]	P_{diss} [mW]	Tech.	Chip area [μm^2]
Gyrator-C [1]	3.98	20	10	13.92	1.2 μm AMI	360×210
Cascode [2]	2.8	59	0.88	2.88	0.18 μm CMOS	-
Feedback resistor [6]	3	50	2.8	7.2	0.18 μm CMOS	100×50
Two-ports [4]	0.5	28	27	4	0.18 μm CMOS	100×100
Reciprocal two-ports [7]	0~4	520	24.7	3	0.13 μm CMOS	150×50
This work	1~6	>40	1.8~10	3.6	65 nm CMOS	200×150



(a) 인덕턴스
(a) Inductance



(b) Q-지수
(b) Q factor

그림 5. 제안된 2 단자 능동 인덕터의 시뮬레이션 및 측정 결과
Fig. 5. Simulation and measurement results of the proposed 2-port active inductor.

로는 3.6 mW의 전력을 소비하며, $V_{DD}=1.2$ V, $V_{CTRL}=0.7$ V의 DC 전압을 인가해 주었으며, P1 dB는 -17 dBm이다. 회로 설계 시 선로의 기생 성분으로 인해서 시뮬레이션과 측정 결과의 오차가 발생하였다.

표 1은 기존의 능동 인덕터와 제안된 능동 인덕터의 전기적 특성 비교를 표로 나타낸 것이다. 기존의 능동 인덕터에 비해서 최대 인덕턴스는 낮은 값을 가지지만, 기존의 능동 인덕터의 경우 일정한 인덕턴스를 가지는 주파수 범위가 좁지만, 제안하는 능동 인덕터의 경우 일정한 인덕턴스를 가지는 범위가 매우 넓으며, 높은 Q-지수를 가지는 대역폭도 넓다. 또한, 기존의 능동 인덕터들에 비해서 소비하는 전력량이 적다는 장점이 있다.

III. 결 론

본 논문에서는 LC 병렬 공진 회로를 이용한 2 단자 능동 인덕터의 수식 분석 및 설계에 대해 나타냈다. 제작된 회로는 넓은 주파수 범위에서 일정한 인덕턴스와 높은 Q-지수를 가지며, 3.6 mW의 전력을 소모한다. 비록 제안된 회로는 큰 인덕턴스 값을 가지지 못하였지만, 기존의 능동 인덕터에 비해 더 넓은 주파수 대역에 걸쳐 일정한 인덕턴스를 가진다. 또한, 동일한 인덕턴스를 가지는 나선형 인덕터의 크기가 $200 \times 150 \mu\text{m}^2$ 인 것에 비해서 약 25%의 크기를 줄였으며, 높은 Q-지수를 가지고 있다. 추후 본 연구 결과를 이용하여 RFIC 여파기, 전력 분배기 및 방향성 결합기와 같은 수동 회로와 LC-VCO를 구현할 예정이다.

References

- [1] R. Sharman, A. K. A'ain, M. Azmi, and H. M. Zhe, "Design approach for tunable CMOS active inductor", *Semiconductor Electronics, ICSE 2004, IEEE International Conf.* pp. 143-147, Dec. 2004.
- [2] H. H. Hsieh, "A compact quadrature hybrid MMIC using CMOS active inductors", *IEEE Trans. on Microwave Theory and Techniques*, vol. 99, pp. 1-7, 2007.
- [3] S. Seo, N. Ryu, H. Choi, and Y. Jeong, "Novel high-Q inductor using active inductor structure and feedback parallel resonance circuit", in *Proceedings of IEEE Radio Frequency Integrated Circuits Symposium*, pp. 467-470, 2007.
- [4] K. Hwang, C. Cho, J. Lee, and J. Kim, "High quality-factor and inductance of symmetric differential-pair structure active inductor using a feedback resistance design", in *IEEE International Microwave Symposium Digest*, pp. 1059-1062, 2008.
- [5] Q. Lai, J. Mao, "A new floating active inductor using resistive feedback technique", in *IEEE International Microwave Symposium Digest*, pp. 1748-1751, 2010.
- [6] R. Mukhopadhyay, S. W. Yoon, Y. Park, C. -H. Lee, S. Nuttinck, and J. Laskar, "Investigation of inductors for digital Si-CMOS technologies", *IEEE Int. Symp. Circuits and System(ISCAS)*, pp. 3750-3753, May 2006.
- [7] H. Feng, K. Mouthaan, "Lossless CMOS active reciprocal two-port inductor and application in a series LC filter", in *Proceedings of European Microw. Conf.*, pp. 364-367, 2012.

구 자 건



2016년 2월: 전북대학교 전자공학과 (공학사)
 2016년 3월~현재: 전북대학교 전자정보공학부 석사과정
 [주 관심분야] CMOS 능동 인덕터, 대역통과 여파기, 분배기 설계

정 승 호



2015년 2월: 전북대학교 전자공학과 (공학사)
 2015년 3월~현재: 전북대학교 전자정보공학부 석사과정
 [주 관심분야] Digital Pre-Distortion, 임피던스 변환기

정 용 채



1989년 2월: 서강대학교 전자공학과 (공학사)

1991년 2월: 서강대학교 전자공학과 (공학석사)

1996년 8월: 서강대학교 전자공학과 (공학박사)

1991년 2월~1998년 2월: 삼성전자 정보통신본부 선임연구원

2006년 7월~2007년 12월: 미국 Georgia Institute of Technology 방문연구교수

1998년 3월~현재: 전북대학교 전자정보공학부 교수

2013년 9월~현재: 전북대학교 BK21 PLUS HOPE-IT인력양성사업단 단장

[주 관심분야] RF 및 Microwave 회로 해석 및 설계