



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H04B 1/10 (2006.01) H04B 7/005 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년03월02일 10-0688605 2007년02월22일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2005-0113920 2005년11월28일 2005년11월28일	(65) 공개번호 (43) 공개일자
----------------------------------	---	------------------------

(73) 특허권자	세원텔레텍 주식회사 경기 안양시 동안구 관양2동 881번지
(72) 발명자	김철동 경기도 과천시 중앙동 67 주공아파트 1007-402 김홍기 경기도 군포시 산본동 1092 장미아파트 1139-903호 정용채 전라북도 전주시 덕진구 덕진1가 664-14 전북대학교
(74) 대리인	김희소
(56) 선행기술조사문헌 17027246 * 심사관에 의하여 인용된 문헌	

심사관 : 이옥우

전체 청구항 수 : 총 2 항

(54) 공진 회로를 이용한 마이크로파 균지연 시간조정기

(57) 요약

본 발명은 공진 회로를 이용한 마이크로파 균지연 시간조정기에 대한 것으로, 입력단 하이브리드 결합기(210)와; 버랙터 다이오드로 이루어진 제1 가변 캐패시터부(222)와, 제1 전송선로로 이루어진 제1 가변 인덕터부(224)로 구성된 제1 균지연 시간조정부(220)와; 버랙터 다이오드로 이루어진 제2 가변 캐패시터부(232)와, 제2 전송선로로 이루어진 제2 가변 인덕터부(234)로 구성된 제2 균지연 시간조정부(230)와; 출력단 하이브리드 결합기(240)를 포함하여 이루어지는 평형 균지연 시간조정기를 통하여 우수한 전기적 신호 전달 특성을 가지는 마이크로파 송수신 시스템을 제공한다.

대표도

도 6

특허청구의 범위

청구항 1.
삭제

청구항 2.
삭제

청구항 3.
삭제

청구항 4.

입력된 신호를 분기하여 출력하는 입력단 하이브리드 결합기(210)와;

상기 입력단 하이브리드 결합기(210)의 제1 출력단에 연결된 버랙터 다이오드(V_{D1})로 이루어진 제1 가변 캐패시터부(222)와, 상기 제1 가변 캐패시터부(222)와 병렬 연결되며 버랙터 다이오드(V_{D2}) 및 상기 버랙터 다이오드(V_{D2})의 종단에 연결된 제1 전송선로(Z₁)로 이루어진 제1 가변 인덕터부(224)로 구성된 제1 균지연 시간조정부(220)와;

상기 입력단 하이브리드 결합기(210)의 제2 출력단에 연결된 버랙터 다이오드(V_{D1})로 이루어진 제2 가변 캐패시터부(232)와, 상기 제2 가변 캐패시터부(232)와 병렬 연결되며 버랙터 다이오드(V_{D2}) 및 상기 버랙터 다이오드(V_{D2})의 종단에 연결된 제2 전송선로(Z₁)로 이루어진 제2 가변 인덕터부(234)로 구성된 제2 균지연 시간조정부(230)와;

상기 제1 균지연 시간조정부(220)와 제2 균지연 시간조정부(230)에서 출력된 신호를 결합하여 출력하는 출력단 하이브리드 결합기(240)를 포함하여 구성함을 특징으로 하는 공진 회로를 이용한 마이크로파 균지연 시간조정기.

청구항 5.

제 4항에 있어서,

상기 입력단 하이브리드 결합기 및 출력단 하이브리드 결합기로는 3dB 하이브리드 결합기를 사용함을 특징으로 하는 공진 회로를 이용한 마이크로파 균지연 시간조정기.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 마이크로파 송수신 시스템에 관한 것으로서, 특히 공진 회로를 이용한 마이크로파 균지연 시간조정기에 관한 것이다.

통상적으로, 신호가 왜곡없이 전달되려면 신호가 경유하는 시스템이 선형적인 특성을 가져야 한다. 만약 어떤 시스템이 비선형적 특성을 가지고 있다면, 입력되는 신호가 선형적이라 할지라도 출력 신호는 비선형적일 수 밖에 없다. 예를 들어, 이동통신 시스템에 있어서 `선형 입력 신호 대비 비선형 출력 신호`를 살펴볼 수 있는데, 상기 입출력 신호 관계는 AM-to-AM, AM-to-PM, 혼변조 왜곡, 인접채널 전력비 등을 이용하여 설명할 수 있다.

현재까지 비선형 출력 신호를 선형 신호로 개선시키는 선형화 기술 중에서 피드포워드 방식은 신호의 동일 진폭, 역 위상, 군지연 시간의 정확한 정합 등이 중요한 것으로 알려져 있으며, 실시간 자동적응 신호상쇄와 대량 생산을 편리하게 하는 양산성을 위해서는 가변 신호 진폭 조정기, 가변 위상 조정기 및 가변 군지연 시간 조정기가 필수적이다.

한편, 마이크로파 중계 시스템에서 송신 안테나로부터 수신 안테나로 변환되는 신호는 수신 시스템의 성능을 나쁘게 할 뿐만 아니라 중계 시스템 내에 동일 채널 간섭 신호를 발생시킨다.

이와 같이 송신 안테나에서 수신 안테나로 변환되는 동일 채널 간섭 신호의 지연 시간은 환경 조건과 같은 여러 요인에 의해 달라지게 되는데, 이러한 채널 간섭 신호를 효율적으로 제거하기 위해서는 시스템 내에서 변환 신호에 대응하는 상쇄 신호의 진폭, 위상, 군지연 시간 등을 적절하게 조절해야 한다.

발명이 이루고자 하는 기술적 과제

상기와 같은 문제점을 해결하기 위하여 본 발명의 목적은 여러 요인에 의해 변화되는 군지연 시간을 적절하게 조절함으로써 비선형 왜곡 신호 또는 채널 간섭 신호를 효과적으로 제거할 수 있는 공진 회로를 이용한 마이크로파 군지연 시간조정기를 제공하는데 있으며, 특히 단일 군지연 시간 조종기보다 나은 반사 특성을 얻을 수 있는 평형 군지연 시간조정기를 제공하는데 있다.

상기와 같은 목적을 달성하기 위한 본 발명의 평형 군지연 시간조정기는,
 입력된 신호를 분기하여 출력하는 입력단 하이브리드 결합기와;
 상기 입력단 하이브리드 결합기의 제1 출력단에 연결된 버랙터 다이오드로 이루어진 제1 가변 캐패시터부와, 상기 제1 가변 캐패시터부와 병렬 연결되며 버랙터 다이오드 및 상기 버랙터 다이오드의 종단에 연결된 제1 전송선로로 이루어진 제1 가변 인덕터부로 구성된 제1 군지연 시간조정부와;
 상기 입력단 하이브리드 결합기의 제2 출력단에 연결된 버랙터 다이오드로 이루어진 제2 가변 캐패시터부와, 상기 제2 가변 캐패시터부와 병렬 연결되며 버랙터 다이오드 및 상기 버랙터 다이오드의 종단에 연결된 제2 전송선로로 이루어진 제2 가변 인덕터부로 구성된 제2 군지연 시간조정부와;
 상기 제1 군지연 시간조정부와 제2 군지연 시간조정부에서 출력된 신호를 결합하여 출력하는 출력단 하이브리드 결합기; 를 포함하여 이루어지는 평형 군지연 시간조정기를 통하여 우수한 전기적 신호 전달 특성을 가지는 마이크로파 송수신 시스템을 제공한다.

삭제

삭제

발명의 구성

이하 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 상세히 설명하면 다음과 같다. 본 발명을 설명함에 있어서, 관련된 공지기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.

통상적으로, 군지연 시간(Group Delay Time, GD)은 신호가 임의의 시스템을 통과하는데 얼마의 시간이 걸리는가를 나타낸다. 상기 군지연 시간은 시스템의 전기적 특성과 물리적 길이에 큰 영향을 받고, 보통 주파수에 대해서는 크게 영향을 받지 않는다.

일반적으로, 상기 군지연 시간은 각 주파수 변화에 따른 전체 위상의 변화율로 나타내며, 하기 <수학식 1>과 같이 정의할 수 있다. 상기 군지연 시간 왜곡은 송수신 신호나 데이터의 왜곡을 관찰하는 중요한 파라미터이다.

수학식 1

$$GD = -\frac{d\Phi}{d\omega}$$

(Φ 는 전체 위상의 변화, ω 는 각 주파수를 각각 나타낸다.)

도 1은 전송선로에 연결된 병렬 공진 회로를 나타낸 회로도이다. 도 1에 도시된 바와 같이 전송선로에 연결된 병렬 공진 회로에 있어서, 입력 단에서 바라보는 입력 어드미턴스는 하기 <수학식 2>와 같이 표현할 수 있고, 전달계수는 하기 <수학식 3>과 같이 나타낼 수 있다.

수학식 2

$$Y_{input} = Y_0 + j(\omega C - \frac{1}{\omega L})$$

수학식 3

$$S_{21} = \frac{2 Y_0}{\sqrt{4 Y_0^2 + (\omega C - 1/\omega L)^2}} \exp(j(\tan^{-1} \frac{1 - \omega^2 LC}{2\omega L Y_0}))$$

상기 <수학식 3>으로부터 군지연 시간(GD)은 하기 <수학식 4>로 나타낼 수 있다.

수학식 4

$$GD = \frac{2 Y_0 L (1 + \omega^2 LC)}{4 \omega^2 L^2 Y_0^2 + (1 - \omega^2 LC)}$$

만약 도 1의 병렬 공진회로가 특정 주파수에서 공진을 유지한다면, $\omega_0^2 LC = 1$ 을 만족하게 되고, 상기 <수학식 4>는 하기 <수학식 5>와 같이 표현된다.

수학식 5

$$GD = \frac{1}{\omega_0^2 Y_0 L} = C Z_0$$

상기 <수학식 5>로부터 병렬 공진회로의 캐패시턴스가 증가하게 되면 군지연 시간도 증가하게 되며, 반대로 인덕턴스가 증가하게 되면 군지연 시간은 감소하게 되는 것을 알 수 있다. 따라서, 공진 주파수를 일정하게 유지시키면, 신호 진폭 전달 특성은 일정하게 유지하면서 군지연 시간은 캐패시턴스와 인덕턴스의 조합에 의해서 조절할 수 있다.

도 2는 버랙터 다이오드의 역바이어스에 따른 다이오드 커패시턴스를 측정하여 나타낸 그래프이며, 도 3은 전송선로와 집중소자 등가모델을 나타낸 회로도로서, 도 2 및 도 3은 본 발명에 적용되는 이론적 뒷받침을 설명하기 위한 참고 도면들이다.

버랙터 다이오드(Varactor Diode)는 다이오드의 PN 접합 공핍 영역의 물리적 폭이 바이어스 조건에 따라 달라지는 특성을 이용한 소자로서, PN 접합부에 역바이어스를 가하면 캐패시터로 동작한다. 본 발명에서는 상기 버랙터 다이오드를 가변 캐피시터로 활용한다.

도 2에는 버랙터 다이오드의 다이오드 캐패시턴스를 측정한 값을 나타낸 그래프로서, Sony사의 1T362를 대상으로 역바이어스에 따른 다이오드 캐패시턴스를 880MHz를 기준으로 측정하여 나타내고 있다.

한편, 도 3에는 전송선로와 집중소자의 등가모델이 도시되어 있으며, 특성 임피던스가 Z_0 이고, 전기각이 θ 일 때 집중소자의 값은 하기 <수학식 6>으로 나타낼 수 있다.

수학식 6

$$L_t = \frac{Z_t \sin\theta}{\omega}, C_t = \frac{1 - \cos\theta}{Z_t \omega \sin\theta}$$

도 4는 본 발명의 실시예에 따른 단일 균지연 시간 조정기를 나타낸 회로도이고, 도 5는 본 발명의 실시예에 따라 전송선로 등가모형을 적용한 단일 균지연 시간 조정기를 나타낸 회로도이다.

도 4에 도시된 바와 같이 본 발명의 실시예에 따른 단일 균지연 시간 조정기(100)는 가변 캐패시터부(110)와 가변 인덕터부(120)로 구성된다.

상기 가변 캐패시터부(110)는 신호 전송선로에 연결된 버랙터 다이오드(VD₁)로 이루어진다.

상기 가변 인덕터부(120)는 상기 가변 캐패시터부(110)와 병렬 연결되며, 버랙터 다이오드(VD₂) 및 상기 버랙터 다이오드(VD₂)의 종단에 연결된 전송선로(Z_t)로 이루어진다.

도 5에 도시된 바와 같이 본 발명인 단일 균지연 시간 조정기는 도 3의 전송선로 등가모형을 적용하여 등가적으로 가변 인덕터로 구현할 수 있다.

삭제

도 5의 (b)에 나타난 바와 같이 전송선로(Z_t)는 집중소자 등가모형을 이용해 나타낼 수 있고, 도 5의 (c)에 나타난 바와 같이 등가모형의 병렬 C_t는 각각 C₁과 C₂와 합해져 나타낼 수 있다. 또한, L_t와 직렬 연결된 버랙터 다이오드의 캐패시턴스(C₂+C_t)를 조절하게 되면 전체적으로 도 5의 (d)와 같은 인덕턴스(L') 특성을 얻을 수 있다.

하기 <수학식 7>은 직렬 L_t와 C₂+C_t의 동작 주파수에서의 입력 임피던스를 나타내고 있다. 만약 리액턴스(X_L)가 양의 값을 갖는다면, 인덕터의 특성을 갖게 된다. 따라서, 캐패시턴스의 값을 리액턴스가 양의 값을 갖는 범위 안에서 적절하게 변화시키면 인덕터의 특성을 얻을 수 있다.

수학식 7

$$jX_L = j \frac{\omega_0^2 LC - 1}{\omega_0 C}$$

상기 <수학식 7>로부터 도 4의 공진회로에서 전송선로의 특성 임피던스도 균지연 시간에 영향을 주는 것을 알 수 있으며, 전송선로의 특성 임피던스가 50Ω일 때 880MHz 대역에서 균지연 시간을 1ns 변화시키기 위해서는 약 20pF 정도의 캐패시턴스 변화량이 있어야 한다. 또한, 공진회로를 구성하는 가변 캐패시터와 가변 인덕터는 각각 두 개의 바이어스 전압에 의해서 특정한 값을 갖는다.

한편, 본 발명인 단일 균지연 시간 조정기(100)는 디지털 셀룰라 중계 시스템이나 피드포워드 선형화 회로에 적용할 수 있으며, 하기 <표 1>에는 880 MHz에서 균지연 시간을 1ns에서 2ns로 변화시켜가면서 측정된 전송계수와 반사계수 특성이 나타나 있다.

[표 1]

GD[ns]	S21[dB]	S11[dB]
1.034	-0.8	-18.0
1.216	-1.0	-16.7
1.411	-1.1	-15.9
1.603	-1.3	-15.1

1.827	-1.5	-14.2
2.005	-1.8	-13.2

도 6은 본 발명의 바람직한 실시예에 따른 평형 균지연 시간 조정기를 나타낸 회로도이다. 본 발명의 바람직한 실시예에 따른 평형 균지연 시간 조정기는 상기 단일 균지연 시간 조정기보다 나은 반사 특성을 얻기 위해 제안된 기술이다.

도 6에 도시된 바와 같이, 본 발명의 바람직한 실시예에 따른 평형 균지연 시간 조정기(200)는 입력단 하이브리드 결합기(210), 제1 균지연 시간조정부(220), 제2 균지연 시간조정부(230) 및 출력단 하이브리드 결합기(240)로 크게 구성된다.

상기 입력단 하이브리드 결합기(210)는 입력된 신호를 분기하여 제1 균지연 시간조정부(220) 및 제1 균지연 시간조정부(230)에 출력한다.

상기 제1 균지연 시간조정부(220)는 입력단 하이브리드 결합기(210)의 제1 출력단에 연결된 버랙터 다이오드(V_{D1})로 이루어진 제1 가변 커패시터부(222)와, 그리고 상기 제1 가변 커패시터부(222)와 병렬 연결되며 버랙터 다이오드(V_{D2}) 및 상기 버랙터 다이오드(V_{D2})의 종단에 연결된 제1 전송선로(Z₁)로 이루어진 제1 가변 인덕터부(224)로 구성된다.

상기 제2 균지연 시간조정부(230)는 입력단 하이브리드 결합기(210)의 제2 출력단에 연결된 버랙터 다이오드(V_{D1})로 이루어진 제2 가변 커패시터부(232)와, 상기 제2 가변 커패시터부(232)와 병렬 연결되며 버랙터 다이오드(V_{D2}) 및 상기 버랙터 다이오드(V_{D2})의 종단에 연결된 제2 전송선로(Z₂)로 이루어진 제2 가변 인덕터부(234)로 구성된다.

상기 출력단 하이브리드 결합기(240)는 제1 균지연 시간조정부(220)와 제2 균지연 시간조정부(230)에서 출력된 신호를 결합하여 출력한다.

도 7a 내지 도 7c는 본 발명의 응용예에 따른 평형 균지연 시간 조정기의 전기적 특성을 나타낸 그래프로서, 평형 균지연 시간 조정기를 디지털 셀룰라 대역에서 제작하여 그 전기적 특성을 측정하였다.

도 7a 내지 도 7c에서 살펴볼 수 있는 바와 같이 평형 균지연 시간 조정기의 최소 균지연 시간이 1.0061ns일 때, 전송 특성과 최대 반사 손실은 각각 -0.53±0.01dB와 -42.1dB였다. 또한, 평형 균지연 시간 조정기의 최대 균지연 시간이 2.0064ns일 때, 전송 특성과 최대 반사 손실은 각각 -1.09±0.03dB와 -36.4dB로 측정되었다.

발명의 효과

상술한 바와 같이 본 발명의 바람직한 실시예에 따른 공진 회로를 이용한 마이크로파 균지연 시간조정기는 평형 균지연 시간조정기로서 실시간으로 간섭 신호 및 왜곡 신호의 균지연 시간에 맞추어서 간섭 신호 및 왜곡 신호를 제거할 수 있어 우수한 전기적 신호 전달 특성을 가지는 마이크로파 송수신 시스템을 구축할 수 있는 효과가 있다.

도면의 간단한 설명

도 1은 전송선로에 연결된 병렬 공진 회로를 나타낸 회로도,

도 2는 버랙터 다이오드의 역바이어스에 따른 다이오드 커패시턴스를 측정하여 나타낸 그래프,

도 3은 전송선로와 집중소자 등가모형을 나타낸 회로도,

도 4는 본 발명의 바람직한 실시예에 따른 단일 균지연 시간 조정기를 나타낸 회로도,

도 5는 본 발명의 바람직한 실시예에 따라 전송선로 등가모형을 적용한 단일 균지연 시간 조정기를 나타낸 회로도,

도 6은 본 발명의 응용예에 따른 평형 균지연 시간 조정기를 나타낸 회로도,

도 7a 내지 도 7c는 본 발명의 응용예에 따른 평형 균지연 시간 조정기의 전기적 특성을 나타낸 그래프.

<도면의 주요 부분에 대한 부호의 설명>

(도 4)

100 : 단일 균지연 시간 조정기 110 : 가변 캐패시터부

삭제

120 : 가변 인덕터부

(도 6)

200 : 평형 균지연 시간 조정기 210 : 입력단 하이브리드 결합기

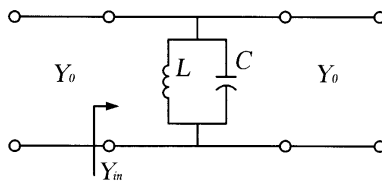
220 : 제1 균지연 시간조정부 230 : 제2 균지연 시간조정부

240 : 출력단 하이브리드 결합기 VD_1, VD_2 : 버랙터 다이오드

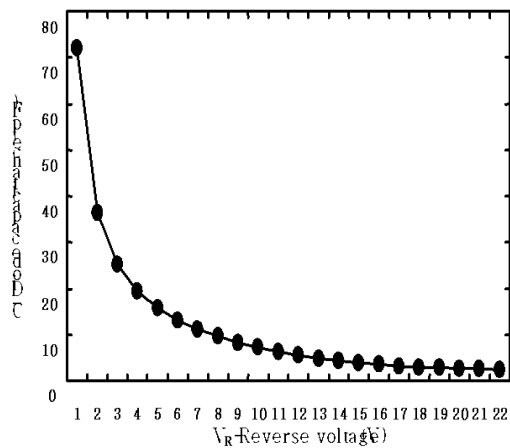
Z_t : 전송설로

도면

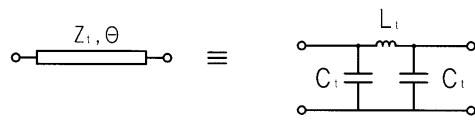
도면1



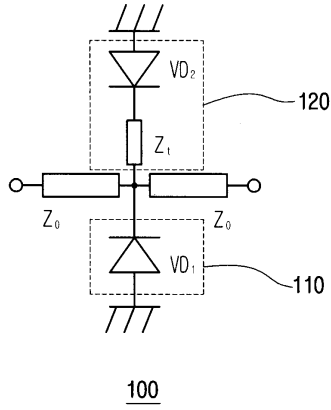
도면2



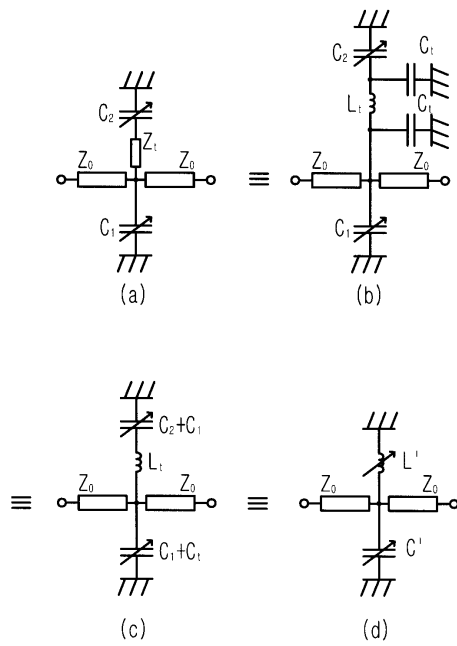
도면3



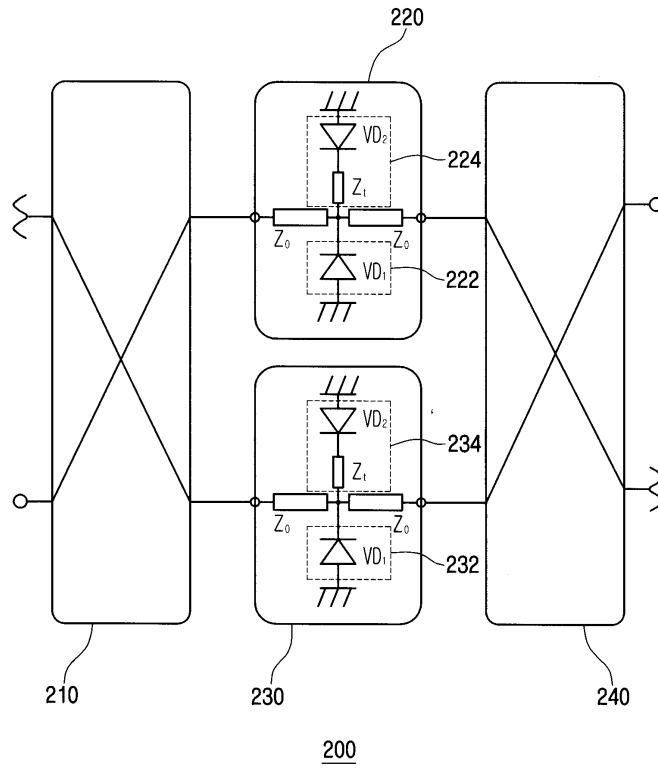
도면4



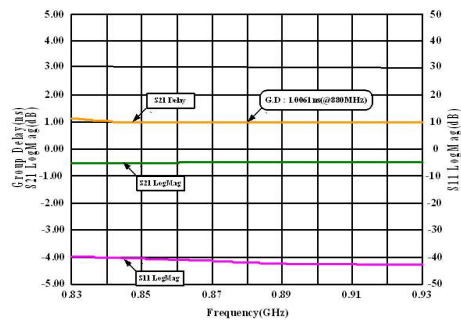
도면5



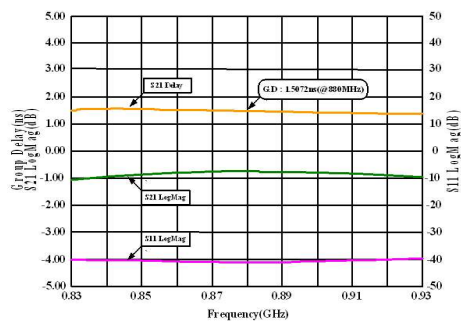
도면6



도면7a



도면7b



도면7c

