



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년12월15일
(11) 등록번호 10-1093632
(24) 등록일자 2011년12월07일

(51) Int. Cl.

H03F 1/32 (2006.01) H03F 3/24 (2006.01)

(21) 출원번호 10-2009-0044564

(22) 출원일자 2009년05월21일

심사청구일자 2009년05월21일

(65) 공개번호 10-2010-0125718

(43) 공개일자 2010년12월01일

(56) 선행기술조사문헌

US20040178848 A1*

JP2005045547 A

JP2007049689 A

JP2004153815 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

세원텔레텍 주식회사

경기 안양시 동안구 관양2동 881번지

(72) 발명자

김철동

경기도 과천시 중앙동 67 주공아파트 1007-402

정용채

전라북도 전주시 덕진구 덕진1가 664-14 전북대학교

(74) 대리인

임준호

전체 청구항 수 : 총 13 항

심사관 : 정병홍

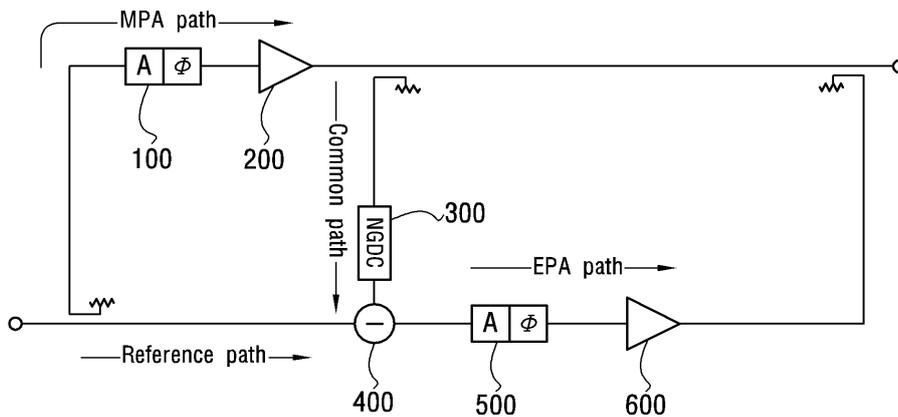
(54) 음의 균지연 회로를 갖는 피드포워드 선형 전력 증폭기

(57) 요약

본 발명은 음의 균지연 회로를 통해 균지연 정합 조건을 만족시키므로 선형성과 효율을 개선하고, 지연 소자를 사용하지 않으므로 전력증폭기의 부피와 원가를 줄일 수 있는 음의 균지연 회로를 갖는 선형 전력 증폭기에 관한 것이다.

이를 위해 본 발명에서는 균지연 정합 조건을 만족시킬 수 있도록 공진특성을 갖는 음의 균지연 회로를 설치하여 지연 소자를 없앨 수 있는 피드포워드 선형 전력 증폭기를 제공한다.

대표도 - 도2



특허청구의 범위

청구항 1

선형 전력 증폭기에 있어서,

군지연 정합 조건을 만족시킬 수 있도록 공진 특성을 갖는 음의 군지연 회로(300)를 설치한 것을 특징으로 하는 음의 군지연 회로를 갖는 피드포워드 선형 전력 증폭기

청구항 2

제 1 항에 있어서, 상기 음의 군지연 회로(300)와 서로 보완적으로 군지연을 유연하게 조정할 수 있도록 시간 지연 소자(700)를 더 설치한 것을 특징으로 하는 음의 군지연 회로를 갖는 피드포워드 선형 전력 증폭기

청구항 3

제 1 항 또는 제 2 항에 있어서, 발진 가능성을 제거하기 위한 대역 통과 여파기(800)를 더 설치한 것을 특징으로 하는 음의 군지연 회로를 갖는 피드포워드 선형 전력 증폭기

청구항 4

제 1 항에 있어서, 상기 공진 특성을 갖는 음의 군지연 회로(300)는 공통 경로에 설치한 것을 특징으로 하는 음의 군지연 회로를 갖는 피드포워드 선형 전력 증폭기

청구항 5

제 1 항에 있어서, 상기 공진 특성을 갖는 음의 군지연 회로(300)를 오차 증폭기(600) 경로에 설치한 것을 특징으로 하는 음의 군지연 회로를 갖는 피드포워드 선형 전력 증폭기

청구항 6

제 3 항에 있어서, 상기 대역 통과 여파기(800)를 공통 경로에 설치된 음의 군지연 회로(300)의 입력단에 설치한 것을 특징으로 하는 음의 군지연 회로를 갖는 피드포워드 선형 전력 증폭기

청구항 7

제 1 항에 있어서, 상기 선형 전력 증폭기는

입력된 신호의 이득과 위상을 조정하는 이득 위상 조정기(100)와;

상기 이득 위상 조정기(100) 신호를 전력 증폭하는 주 전력 증폭기(200)와;

전력 증폭되지 않은 신호와 전력 증폭된 신호를 결합하여 주신호를 제거하는 결합기(400)와;

결합기(400)에서 출력된 신호의 이득과 위상을 조정하는 이득 위상 조정기(500)와;

이득 위상 조정기(500)에서 출력된 혼변조 왜곡 신호를 증폭하는 오차 증폭기(600)

를 포함하여 이루어진 것을 특징으로 하는 음의 군지연 회로를 갖는 피드포워드 선형 전력 증폭기

청구항 8

제 1 항에 있어서, 상기 공진 특성을 갖는 음의 군지연 회로(300)는

입력된 신호를 분기하여 출력하며 서로 직렬 연결된 다수의 90° 하이브리드와;

각각의 90° 하이브리드 출력단에 연결되어 음의 군지연 시간을 조정하는 시간조정부와;

각각의 90° 하이브리드의 출력단에 연결된 전송선로와;

다수의 90° 하이브리드 직렬 연결에 따른 삽입손실을 보상하는 이득증폭기

를 포함하여 이루어진 것을 특징으로 하는 음의 군지연 회로를 갖는 피드포워드 선형 전력 증폭기

청구항 9

제 8 항에 있어서, 상기 시간조정부는 저항과 기생 인덕턴스 성분을 보상하는 캐패시터가 병렬로 연결된 것을 특징으로 하는 음의 균지연 회로를 갖는 피드포워드 선형 전력 증폭기

청구항 10

제 8 항에 있어서, 상기 전송선로는 90° 하이브리드의 출력단에 시간조정부와 병렬 연결한 것을 특징으로 하는 음의 균지연 회로를 갖는 피드포워드 선형 전력 증폭기

청구항 11

제 8 항에 있어서, 상기 전송선로는 종단이 단락된 $\lambda/4$ 길이의 전송선로 공진기인 것을 특징으로 하는 음의 균지연 회로를 갖는 피드포워드 선형 전력 증폭기

청구항 12

제 8 항에 있어서, 상기 전송선로는 종단이 개방된 $\lambda/2$ 길이의 전송선로 공진기인 것을 특징으로 하는 음의 균지연 회로를 갖는 피드포워드 선형 전력 증폭기

청구항 13

제 8 항에 있어서, 상기 이득증폭기는 각 90° 하이브리드의 입력단에 각각 설치한 것을 특징으로 하는 음의 균지연 회로를 갖는 피드포워드 선형 전력 증폭기

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 입력된 신호를 전력 증폭하는 선형 전력 증폭기에 관한 것으로서, 보다 상세하게는 음의 균지연 회로를 통해 균지연 정합 조건을 만족시키므로 선형성과 효율을 개선하고, 지연 소자를 사용하지 않으므로 전력증폭기의 부피와 원가를 줄일 수 있는 음의 균지연 회로를 갖는 피드포워드 선형 전력 증폭기에 관한 것이다.

배경 기술

[0002] 일반적으로 대전력 증폭기(High Power Amplifier: HPA)는 이동통신 시스템, 그 중 특히 기지국에 있어서 가장 중요한 구성 요소 중의 하나로서, 높은 출력 전력을 얻기 위하여 주로 평형 증폭기나 푸시-풀 (Push pull) 구조의 전력 결합 방식을 이용한다.

[0003] 그러나 높은 스펙트럼 이용 효율을 얻기 위하여 광대역 코드 분할 다중 접속 (Wideband Code Division Multiple Access: WCDMA)신호와 같이 넓은 대역폭을 갖는 포락선 변조 신호를 이용할 경우, 대전력 증폭기의 출력 단에서 진폭 및 위상 왜곡을 발생시키는 비선형성이 나타난다.

[0004] 이러한 비선형성으로 인하여 기지국용 대전력 증폭기에 대하여 엄격한 선형성이 요구되고, 이를 만족시키기 위하여 부가적인 장치를 추가하여 대전력 증폭기의 선형성을 개선시키는 선형화기가 필요하다.

[0005] 대전력 증폭기의 선형성 문제를 극복하기 위한 해법으로써 여러 가지 선형화 기법이 존재하며, 그 중 대표적으로 전치왜곡 (Predistortion: PD) 선형화 기법과 피드포워드 (Feedforward: FFW) 선형화 기법을 들 수 있다.

[0006] 전치왜곡 선형화 기법은 비용이 저렴하고 회로 구현이 간단하지만, 선형화 정도가 상대적으로 작으며 넓은 주파수 대역과 넓은 동작 영역(dynamic range)에서 선형성 개선 효과를 갖게 하는 것이 쉽지 않다. 이는 왜곡 신호 발생 회로가 특정 입력 전력 레벨에 최적화 되어 있기 때문이다.

[0007] 이에 반해 피드포워드 기법은 회로가 복잡하고 상대적으로 많은 비용이 들지만 알려져 있는 선형화 기법 중 선형성 개선 정도가 가장 뛰어나며 넓은 주파수 대역과 동작 영역에서 선형성을 가질 수 있기 때문에 이에 대한 활발한 연구와 이용이 지속적으로 이루어지고 있다.

[0008] 그러나 기존의 피드포워드 선형화 기법의 경우 신호 상쇄를 위하여 동일 진폭, 역 위상 및 군지연 정합 조건을 만족시켜 주어야 하는데, 도 1에 도시한 바와 같이 주 전력 증폭기(Main Power Amplifier: MPA)의 출력단에 필연적으로 지연 선로 여파기와 같은 시간 지연 소자(D2)가 삽입되고, 레퍼런스 경로에도 시간 지연 소자(D1)가 삽입됨으로써 피드포워드 선형화 시스템의 효율 저하를 발생시켰다.

[0009] 또한 시간 지연 소자(D1)(D2)는 선형성의 효율을 떨어뜨리는 것 이외에, 그 크기로 인해 선형 전력 증폭기의 용적과 부피를 증가시키고, 선형 전력 증폭기의 생산 원가를 상승시키는 문제점이 발생되었다.

발명의 내용

해결 하고자하는 과제

[0010] 본 발명은 전술한 바와 같은 종래의 제반 문제점을 해결하기 위하여 안출된 것으로, 본 발명의 목적은 시간 지연 소자의 사용을 사용하지 않거나 줄이므로 선형화에 따른 군지연 정합 조건을 충족시킬 수 있는 음의 군지연 회로를 갖는 피드포워드 선형 전력 증폭기를 제공하는데 있다.

[0011] 또한 본 발명의 다른 목적은 시간 지연 소자를 사용하지 않거나 줄이므로 선형성과 효율을 높이고, 선형 전력 증폭기의 부피와 생산 원가를 줄일 수 있는 피드포워드 선형 전력 증폭기를 제공하는데 있다.

과제 해결수단

[0012] 상기한 본 발명의 목적은 선형 전력 증폭기에 있어서, 군지연 정합 조건을 만족시킬 수 있도록 공진 특성을 갖는 음의 군지연 회로를 갖는 피드포워드 선형 전력 증폭기를 통해 달성할 수 있다.

효과

[0013] 본 발명은 음의 군지연 회로를 통해 지연 선로 여파기와 같은 시간 지연 소자의 사용을 배제하거나 줄이므로 선형화 시스템의 효율을 향상시키고, 선형 전력 증폭기의 용적과 비용을 줄이는 매우 유용한 효과가 있다.

[0014] 또한 본 발명은 분산소자인 전송선로 공진기를 사용한 음의 군지연 회로를 구현하므로 집중소자를 이용한 음의 군지연 회로 설계시 사용 가능한 소자 값이 제한되는 단점을 해소하고, 광대역의 경우에도 음의 군지연 시간 응답을 얻을 수 있는 매우 유용한 효과가 있다.

[0015] 그리고 본 발명은 음의 군지연 회로에 적용된 소신호 이득 증폭기들의 조합을 통하여 통과대역에서 원하는 이득을 얻도록 조절할 수 있는 효과와, 시간조정부를 통해 칩 저항의 기생 인덕턴스 성분을 보상하여 음의 군지연 회로의 신뢰성을 높이는 매우 유용한 효과가 있다.

[0016] 더욱이 본 발명은 대역 통과 여파기를 통해 선형 전력 증폭기의 발전 가능성을 제거할 수 있는 매우 유용한 효과도 있다.

발명의 실시를 위한 구체적인 내용

[0017] 이하, 본 발명에 대한 상세한 설명을 실시예 별로 구분하여 상세하게 설명한다.

[0018] < 제 1 실시예 >

[0019] 도 2는 본 발명에 따른 음의 군지연 회로를 갖는 선형 전력 증폭기를 나타낸 블록도로서, 도시된 바와 같이 본 발명은 크게 이득 위상 조정기(100), 주 전력 증폭기(200), 음의 군지연 회로(300), 결합기(400), 이득 위상 조정기(500), 오차 증폭기(600)로 이루어진다.

[0020] 먼저, 이득 위상 조정기(100)는 선형 전력 증폭을 위해 입력된 신호 중 주 전력 증폭기 경로로 흐르는 신호의 진폭과 위상을 조정하게 된다.

[0021] 주 전력 증폭기(200)는 이득 위상 조정기(100)를 통해 진폭과 위상이 조정된 신호를 전력 증폭하여 출력하게 된다.

- [0022] 음의 균지연 회로(300)는 주 전력 증폭기(200)에 출력된 신호와 레퍼런스 경로 신호간의 균지연 정합을 위해 공통 경로에 설치한 것으로, 본 발명에서는 그 일 예로 도 3에서와 같이 제1,2 90° 하이브리드(310)(311), 제1,2,3,4 시간조정부(320)(321)(322)(323), 제1,2,3,4 전송선로(330)(331)(332)(333), 제1,2,3 이득증폭기(340)(341)(342)로 구성하였다.
- [0023] 여기서 제1,2 90° 하이브리드(310)(311)는 입/출력 반사계수의 특성을 개선시키기 위하여 적용한 것으로, 입력된 신호를 분기하여 제1,2 시간조정부(320)(321)와 제3,4 시간조정부(322)(323)로 각각 출력하고, 서로 직렬 연결한다.
- [0024] 제1,2,3,4 시간조정부(320)(321)(322)(323)는 음의 균지연 시간을 조정하기 위하여 상기한 제1,2 90° 하이브리드(310)(311)의 제1,2 출력단에 연결된 것으로, 제1,2 시간조정부(320)(321)는 제1 90° 하이브리드(310)의 제1,2 출력단에 연결하고, 제3,4 시간조정부(322)(323)는 제2 90° 하이브리드(311)의 제1,2 출력단에 연결한다.
- [0025] 그리고 제1,2,3,4 시간조정부(320)(321)(322)(323)는 각각 저항(R_{RP})과 캐패시터(C_{COMP})로 병렬 구성하며, 캐패시터(C_{COMP})는 칩 저항의 기생 인덕턴스 성분을 보상하므로 보다 신뢰성 높은 음의 균지연 회로(300)를 구현할 수 있다.
- [0026] 제1,2,3,4 전송선로(330)(331)(332)(333)는 공진을 발생시키기 위한 것으로, 본 발명에서는 그 일 예로 종단이 단락된 $\lambda/4$ 길이의 전송선로 공진기를 적용하였다. 따라서 제1,2 전송선로(330)(331)는 제1 90° 하이브리드(310)의 제1,2 출력단에 제1,2 시간조정부(320)(321)와 병렬로 각각 연결하고, 제3,4 전송선로(332)(333)는 제2 90° 하이브리드(311)의 제1,2 출력단에 제3,4 시간조정부(322)(323)와 병렬로 각각 연결한다.
- [0027] 제1,2,3 이득증폭기(340)(341)(342)는 음의 균지연 회로의 삽입손실을 보상하기 위한 것으로, 제1 이득증폭기(340)는 제1 90° 하이브리드(310)의 입력단에 연결하고, 제2 이득증폭기(341)는 제2 90° 하이브리드(311)의 입력단에 연결하며, 제3 이득증폭기(342)는 제2 90° 하이브리드(311)의 출력단에 연결한다.
- [0028] 결합기(400)는 주 전력 증폭기(200) 경로를 거치지 않은 레퍼런스 경로 신호와 음의 균지연 회로(300)를 통해 균지연이 조정된 신호를 결합하는 것으로, 이를 통해 주신호를 제거하고, 혼변조 왜곡(IMD) 신호만을 이득 위상 조정기(500)로 출력하게 된다.
- [0029] 이득 위상 조정기(500)는 결합기(400)에서 출력된 혼변조 왜곡 신호의 이득과 위상을 조정하는 것으로, 이때 위상은 주 전력 증폭기(200)에서 출력되는 신호와 반대가 되도록 조정하여 오차 증폭기(600)로 출력하게 된다.
- [0030] 오차 증폭기(600)는 이득 위상 조정기(500)에서 출력된 혼변조 왜곡 신호를 증폭하여 주 전력 증폭기(200)의 출력 경로에 인가하는 것으로, 이를 통해 주 전력 증폭기(200)에서 출력된 혼변조 왜곡 신호는 오차 증폭기(600)에서 출력되는 위상이 반대인 혼변조 왜곡 신호와 결합되어 상쇄된다.
- [0031] 이와 같이 구성된 본 발명에 따른 음의 균지연 회로를 갖는 피드포워드 선형 전력 증폭기는 음의 균지연 회로(300)를 통해 이득 위상 조정기(100)와 주 전력 증폭기(200)에서 발생하는 균지연 시간을 보상하므로 주신호 제거 경로의 균지연 정합 조건을 만족시킬 수 있다. 아울러 음의 균지연 회로(300)를 통해 결합기(400), 이득 위상 조정기(500)와 오차 증폭기(600)에서 발생하는 균지연 시간을 보상하므로 혼변조 왜곡 신호 제거경로의 균지연 정합 조건을 만족시킬 수 있다.
- [0032] 따라서 도 1에서와 같이 주신호 제거 경로와 주 전력 증폭기(200)의 출력단의 지연 선로 여파기와 같은 시간 지연 소자 D1,D2를 사용하지 않아도 되므로 선형화 시스템의 효율을 향상시키고, 선형 전력 증폭기의 부피와 생산 원가를 줄일 수 있다.
- [0033] 특히, 본 발명에서는 음의 균지연 회로(300) 중 공진기 설계에 분산소자를 사용하므로 집중소자로 구현된 음의 균지연 회로(300)를 설계하는 과정에서 소자 값이 제한되지 않는 장점이 있고, 또한 매우 엄격한 요구조건을 필요로 하는 광대역의 경우에도 음의 균지연 시간 응답을 얻을 수 있도록 하였다.
- [0034] 또한 본 발명에서는 제1,2,3 이득 증폭기(340)(341)(342)의 조합을 통하여 통과 대역에서 원하는 이득을 얻도록 조절할 수 있고, 이득 증폭기 중 잡음 지수가 양호하고 OIP3(Output 3rd Intercept Point)가 큰 트랜지스터를 첫 단에 배치하여 잡음지수(NF)를 개선시킴과 동시에 허용 가능한 입력 전력 레벨 값 또한 증가시킬 수 있다.

- [0035] 보다 상세하게 설명하면, 이득 증폭기와 단위 음의 균지연 셀의 위치는 전체 회로의 잡음 특성에 영향을 주므로 첫 스테이지에 음의 균지연이 먼저 배치되면 음의 균지연 회로(300) 모듈에 상대적으로 높은 입력 전력까지 허용이 되는 장점이 있으나, 잡음 지수(NF)가 증가하게 된다.
- [0036] 또한 음의 균지연 회로(300)의 주파수 응답 특성을 살펴보면 저지 대역의 이득이 크고, 통과 대역의 이득이 상대적으로 작은 대역 제한적인 속성을 나타내고 있으며, 이로 인하여 높은 이득의 오차 증폭기(600)와 함께 루프를 구성할 경우 저지 대역의 잡음 레벨 증가로 인한 DC 발진의 가능성이 존재한다.
- [0037] 그러나 본 발명에서와 같이 제1,2,3 이득 증폭기(340)(341)(342) 중 잡음 지수가 양호하고 OIP3가 큰 증폭기를 첫 단에 배치하면, 잡음지수(NF)를 개선시킴과 동시에 허용 가능한 입력 전력 레벨 값도 증가시킬 수 있다.
- [0038] 그리고 본 발명은 음의 균지연 회로(300) 중 제1,2,3,4 시간조정부(320)(321)(322)(323)를 통해 칩 저항의 기생 인덕티브 성분을 보상하여 음의 균지연 회로(300)의 신뢰성을 높일 수 있는 장점이 있다.
- [0039] 이하, 본 발명의 제1실시예에 대한 측정 및 결과 분석을 첨부된 도면을 참조하여 상세하게 설명한다.
- [0040] 본 발명에서는 실제적인 혼변조 왜곡 신호의 제거 특성을 비교하기 위하여 입력에 IMT-2000 대역의 WCDMA 2FA 신호를 인가하였다.
- [0041] 도 4는 신호 발생기와 주파수 분석기를 이용하여 측정한 주신호 제거 루프의 상쇄도 측정 결과를 나타낸 것이다. 주신호가 예상치와 근접하게 약 30dB 상쇄되었음을 확인할 수 있다.
- [0042] 도 5는 본 발명에 따라 음의 균지연 회로를 적용하므로 주신호 지연선로를 제거한 피드포워드 선형 전력 증폭기의 출력을 37~44 dBm 으로 변화시키면서 출력 전력 범위에 대한 ACLR, 효율, DC 전력 소모 등의 측정결과들을 나타낸 것이다. 측정 결과 본 발명에 따른 음의 균지연 회로를 갖는 피드포워드 선형 전력 증폭기의 경우 최대 19.4%의 PAE를 달성하였다.
- [0043] 도 6은 비교를 위하여 일반적인 피드포워드 선형 전력 증폭기인데 지연 소자로써 지연 선로 여파기를 이용한 경우와 RG-223 동축 케이블(삽입손실: 45.9dB/100m @1GHz, 83.1dB/100m @3GHz)을 이용 경우의 실험 결과들을 정리한 것이다.
- [0044] 비교 결과를 살펴 볼 때에 본 발명이 종래의 선형 전력 증폭기들과 비교할 때 약간의 PAE 개선특성을 보이고 있다. 그러나 이러한 미미한 차이는 지연 선로 여파기와 동축 케이블의 삽입 손실이 워낙 작기 때문에 발생한 것으로, 이는 음의 균지연 회로가 통과 대역에서 큰 삽입손실을 가지므로 이것을 보상하기 위해 추가된 소신호 증폭기들의 전력 소모에 기인한 것이다.
- [0045] 따라서 주전력 증폭기의 전력 용량이 더 커질 경우에 본 발명에서와 같이 음의 균지연 회로를 이용한 장점이 부각되어 효율 개선 효과가 확실하게 나타날 것이라는 사실을 쉽게 예측할 수 있다.
- [0046] 그리고 일반적인 구조의 피드포워드 선형 전력 증폭기에 동축 케이블을 지연 소자로 이용했을 경우, 시스템 PAE 가 17.8%로 측정되었으며, 이는 본 발명의 측정 결과인 19.4%와 비교하여 볼 때에 PAE 가 1.6% 개선되었음을 보이는 값이다.
- [0047] 도 7은 최종 출력 단의 평균 출력 전력에 따른 주신호 제거량과 혼변조 왜곡 신호 상쇄량을 나타낸 것이다.
- [0048] 도시된 바와 같이 평균 출력 전력이 44dBm 일 때, 5MHz 이격된 주파수에서 -36.02dBc 에서 -53.20dBc로 약 17.18dB 개선되었고, 43dBm 일 때 5MHz 이격된 주파수에서 -38.01dBc 에서 56.58dBc로 18.57dB 개선되었다.
- [0049] 도 8은 음의 균지연 회로를 갖는 선형 전력 증폭기를 이용한 피드포워드 시스템의 개선 전/후 최종 출력 스펙트럼을 44dBm 및 43dBm 의 출력 전력에서 측정한 결과를 나타낸 것이다.
- [0050] 도 9는 음의 균지연 회로를 갖는 선형 전력 증폭기의 대역폭 제한 특성을 알아보기 위하여 WCDMA 4FA에 대하여 측정을 결과를 나타낸 것이다.
- [0051] 4FA 신호의 경우 41dBm 출력 전력일 때, 5MHz 이격된 주파수에서 약 16dB 개선되었으나, 도 (b)에 나타난 바와 같이 상측파대의 15MHz 이격된 주파수에서 상대적으로 혼변조 왜곡 신호 상쇄가 충분히 이루어지지 않고 있는 현상을 관찰할 수 있다.
- [0052] 그러나 혼변조 왜곡 신호의 상쇄가 충분히 이루어지지 않는 것은 제작된 음의 균지연 회로의 주파수 대역폭을

30 MHz로 설계한 것에 기인하며, 음의 균지연 회로의 주파수 대역폭을 충분히 넓힌다면 넓은 대역폭을 갖는 신호에 대해서도 선형화 효과를 얻을 수 있다.

[0053] < 실시예 2 >

[0054] 도 10은 본 발명에 따른 음의 균지연 회로를 갖는 피드포워드 선형 전력 증폭기의 다른 실시예를 나타낸 것으로, 주신호 제거루프에 시간 지연 소자(700)와 음의 균지연 회로(300)를 설치한 예를 나타낸 것이다.

[0055] 도시된 바와 같이 주신호 제거 경로에 음의 균지연 회로(300)와 시간 지연 소자(700)를 같이 적용할 경우, 전술한 제1실시예와 마찬가지로 주 전력 증폭기(200)의 출력 경로에 지연 선로 여파기와 같은 시간 지연 소자를 사용하지 않아도 된다.

[0056] 또한 음의 균지연 회로(300)와 시간 지연 소자(700)는 주신호 제거루프의 균지연을 서로 보완하는 관계이므로 균지연 정합을 보다 유연하고 효율적으로 달성할 수 있다. 따라서 음의 균지연 회로(300)를 통한 음의 균지연 값을 줄일 수 있고, 시간 지연 소자(700)도 균지연이 작은 소자로 대체하여 사용할 수 있다.

[0057] < 실시예 3 >

[0058] 도 11은 본 발명에 따른 음의 균지연 회로를 갖는 피드포워드 선형 전력 증폭기의 다른 실시예를 나타낸 것으로, 음의 균지연 회로(300) 입력단에 대역 통과 여파기(800)를 더 설치한 예를 나타낸 것이다.

[0059] 전술한 바와 같이 음의 균지연 회로(300)는 대역저지 주파수 응답 특성을 이용하기 때문에, 만약 음의 균지연 특성을 얻는 저지 대역의 이득이 0dB 가 되도록 소신호 증폭기를 이용하여 이득을 높일 경우, 음의 균지연 특성을 얻지 않는 다른 통과 대역의 이득이 상대적으로 높아진다.

[0060] 이로 인하여 음의 균지연 특성을 얻는 저지 대역의 잡음지수(NF)는 증가하고, 음의 균지연 특성을 얻지 않는 주파수 대역에서 발진을 일으킬 수 있는 조건이 형성될 수도 있다.

[0061] 그러나 본 발명에서는 IMT-2000 대역에서 사용할 수 있는 결합 선로 형태의 3단 대역 통과 여파기(Band Pass Filter, 800)를 음의 균지연 회로(300) 입력단에 적용하여 음의 균지연 특성을 얻지 않는 주파수 대역의 발진 가능성을 방지하였다.

[0062] 한편, 대역 통과 여파기(800)를 제외한 다른 구성에 대한 설명과, 음의 균지연 회로(300)의 적용에 따른 작용 및 효과에 대한 설명은 제1실시예와 동일하므로 생략한다.

[0063] < 제 4 실시예 >

[0064] 도 12는 본 발명에 따른 음의 균지연 회로를 갖는 선형 전력 증폭기의 또 다른 실시예를 나타낸 것으로, 대역 통과 여파기(800)와 음의 균지연 회로(300)를 오차 증폭기(600)의 입력단에 설치한 예를 나타낸 것이다.

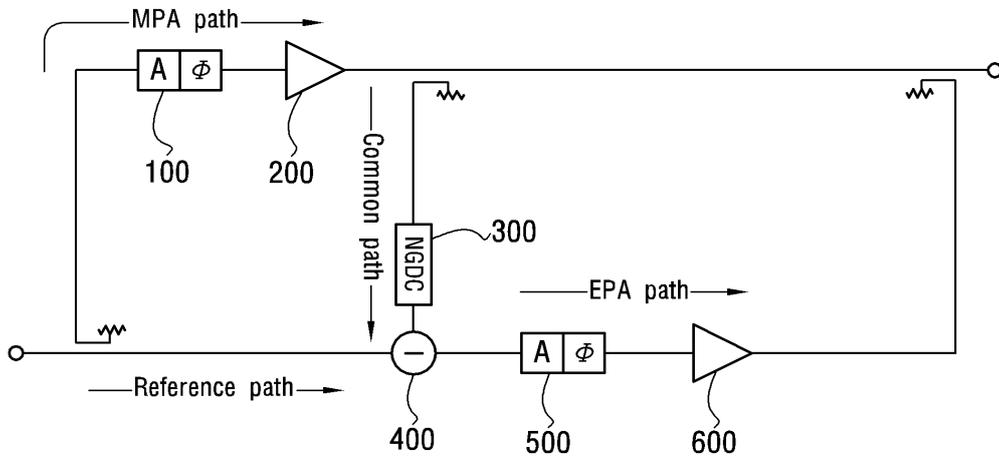
[0065] 도시된 같이 오차 증폭기(600)의 입력단에 대역 통과 여파기(800)와 음의 균지연 회로(300)를 설치하는 경우에는 이득 위상 조정기(100)와 주 전력 증폭기(200)로 인하여 주신호 제거경로에 시간 지연 소자(700)가 사용된다. 그러나 결합기(400), 이득 위상 조정기(500)와 오차 증폭기(600)에서 발생하는 균지연은 음의 균지연 회로(300)를 통해 보상되므로 주 전력 증폭기(200)의 출력 경로에는 지연 선로 여파기와 같은 고가의 시간 지연 소자를 제거하는 장점이 있다.

[0066] 한편, 대역 통과 여파기(800)를 제외한 다른 구성에 대한 설명과, 음의 균지연 회로(300)의 적용에 따른 작용 및 효과에 대한 설명은 제1실시예와 동일하므로 생략한다.

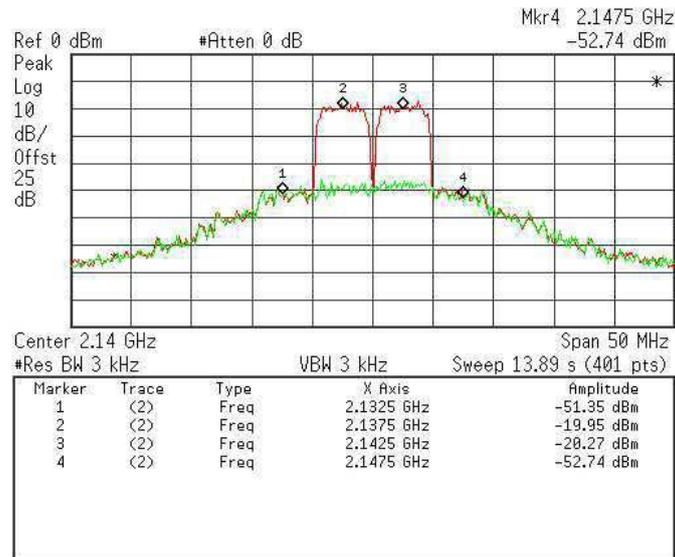
[0067] 이와 같이 기술한 본 발명의 여러 실시 예는 바람직한 일 예를 설명한 것에 불과한 것으로, 본 발명의 적용범위는 이와 같은 것에 한정되는 것은 아니며, 동일사상의 범주 내에서 적절하게 변경 가능한 것이다.

도면의 간단한 설명

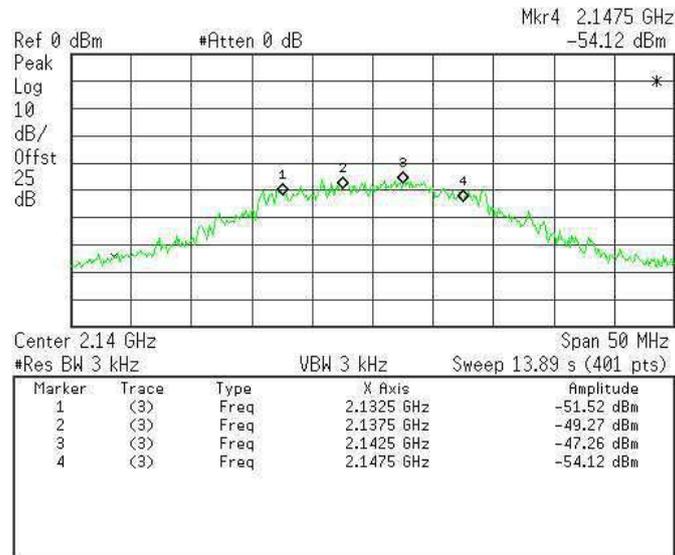
도면2



도면4



(A)



(B)

도면5

NGDC FFW ACLR with Loop																	
Backoff from P1dB	Pin_avg [dBm]	Pout_avg [dBm]	2.1425 [dBm]	L10 [dBm]	L5 [dBm]	U5 [dBm]	U10 [dBm]	V1 [V]	I1 [mA]	V2 [V]	I2 [mA]	V3 [V]	I3 [mA]	V4 [V]	I4 [mA]	DE [%]	PAE [%]
5	8.46	44	13.41	-44.26	-39.79	-40.90	-45.27	29	3910	25	482	8	195	5	427	19.5	19.4
6	8.57	43	13.32	-45.65	-43.26	-43.53	-46.27	29	3790	25	482	8	195	5	427	15.9	15.9
7	7.85	42	12.32	-46.48	-43.05	-41.59	-46.02	29	3690	25	482	8	195	5	427	13.0	13.0
8	6.64	41	11.40	-47.70	-42.73	-44.09	-47.41	29	3490	25	482	8	195	5	427	10.8	10.8
9	5.72	40	11.01	-46.61	-44.11	-43.66	-45.51	29	3350	25	482	8	195	5	427	8.9	8.9
10	4.79	39	10.09	-47.65	-44.80	-43.87	-46.53	29	3240	25	482	8	195	5	427	7.2	7.2
11	3.89	38	9.30	-46.37	-45.19	-44.43	-46.78	29	3150	25	482	8	195	5	427	5.9	5.9
12	2.93	37	8.35	-46.69	-45.11	-46.36	-45.51	29	3080	25	482	8	195	5	427	4.8	4.8

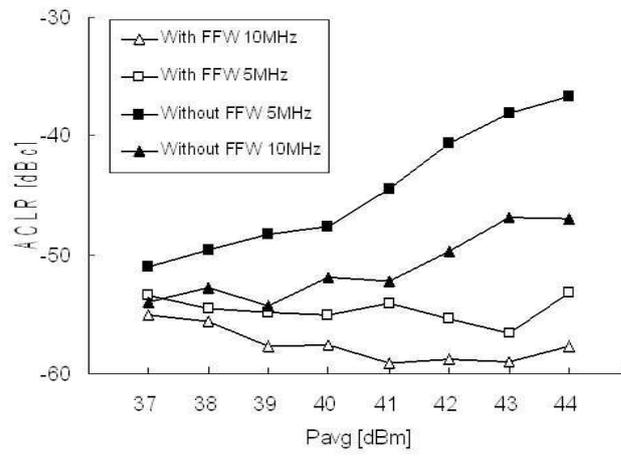
NGDC FFW ACLR without Loop																	
Backoff from P1dB	Pin_avg [dBm]	Pout_avg [dBm]	2.1425 [dBm]	L10 [dBm]	L5 [dBm]	U5 [dBm]	U10 [dBm]	V1 [A]	I1 [A]	V2 [V]	I2 [A]	V3 [V]	I3 [A]	V4 [V]	I4 [A]	DE [%]	PAE [%]
		44	13.73	-32.80	-22.29	-22.96	-33.20										
		43	11.77	-34.87	-26.24	-26.28	-35.12										
		42	11.32	-38.86	-29.44	-29.28	-38.41										
		41	10.98	-41.14	-32.97	-33.46	-41.20										
		40	9.20	-42.75	-37.74	-38.48	-42.65										
		39	8.87	-45.56	-38.85	-39.42	-45.41										
		38	7.65	-44.87	-42.46	-41.94	-45.10										
		37	6.66	-47.27	-44.57	-44.35	-47.31										

도면6

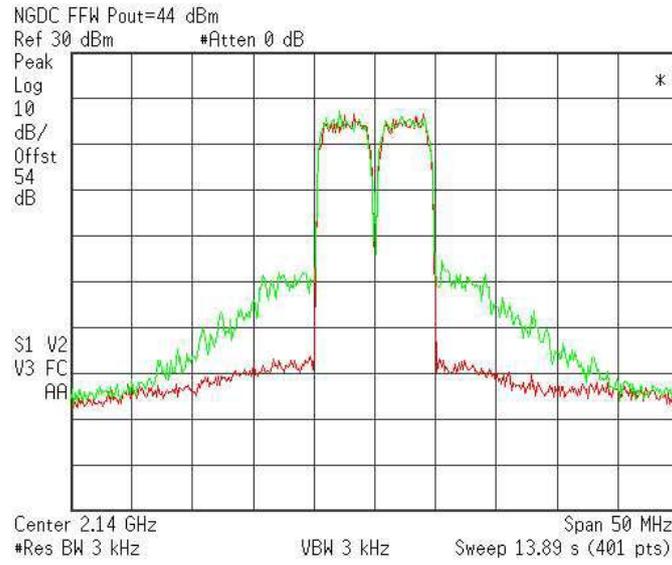
CONV FFW with Delayline filter (0.4dB) ACLR test																	
Backoff from P1dB	Pin_avg [dBm]	Pout_avg [dBm]	2.1425 [GHz]	L10 [dBm]	L5 [dBm]	U5 [dBm]	U10 [dBm]	V1 [V]	I1 [mA]	V2 [V]	I2 [mA]	V3 [V]	I3 [mA]	V4 [V]	I4 [mA]	DE [%]	PAE [%]
5	12.97	44	12.54	-45.05	-38.76	-39.29	-45.10	29	4060	25	482	8	65	0	0	19.3	19.3
6	12.16	43	13.05	-45.65	-39.39	-39.67	-45.67	29	3890	25	482	8	65	0	0	15.9	15.9
7	11.15	42	13.12	-46.74	-38.69	-39.56	-46.80	29	3690	25	482	8	65	0	0	13.3	13.2
8	10.22	41	11.93	-48.53	-41.06	-40.10	-48.73	29	3500	25	482	8	65	0	0	11.0	11.0
9	9.32	40	10.54	-49.28	-42.19	-42.14	-49.19	29	3370	25	482	8	65	0	0	9.1	9.1
10	8.38	39	9.25	-47.79	-43.33	-43.06	-48.10	29	3240	25	482	8	65	0	0	7.5	7.4
11	7.45	38	8.99	-49.21	-43.65	-43.38	-49.11	29	3130	25	482	8	65	0	0	6.1	6.1
12	6.36	37	6.60	-48.81	-45.07	-45.22	-48.85	29	3070	25	482	8	65	0	0	4.9	4.9

CONV FFW with coaxial cable (-0.8dB)																	
Backoff from P1dB	Pin_avg [dBm]	Pout_avg [dBm]	2.1425 [GHz]	L10 [dBm]	L5 [dBm]	U5 [dBm]	U10 [dBm]	V1 [V]	I1 [A]	V2 [V]	I2 [A]	V3 [V]	I3 [A]	V4 [V]	I4 [A]	DE [%]	PAE [%]
5	13.40	44						29	4440	25	482	8	65	0	0	17.8	17.8

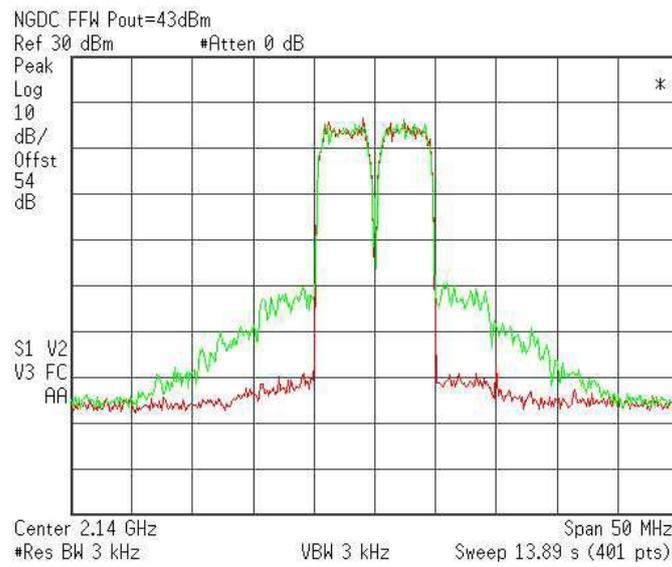
도면7



도면8

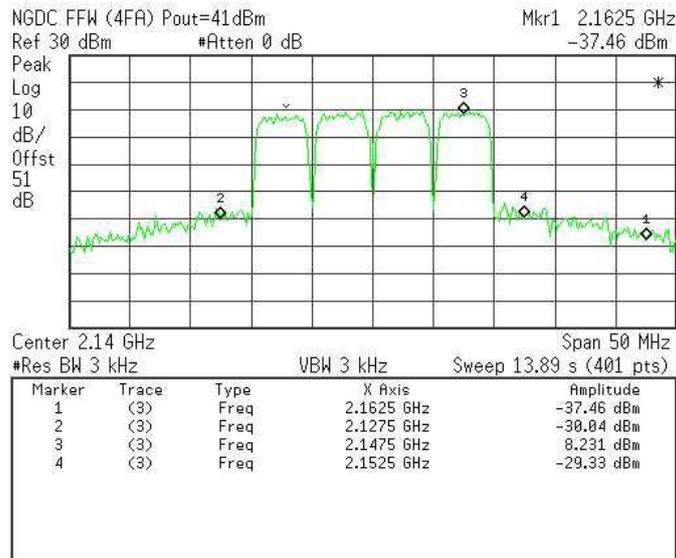


(A)

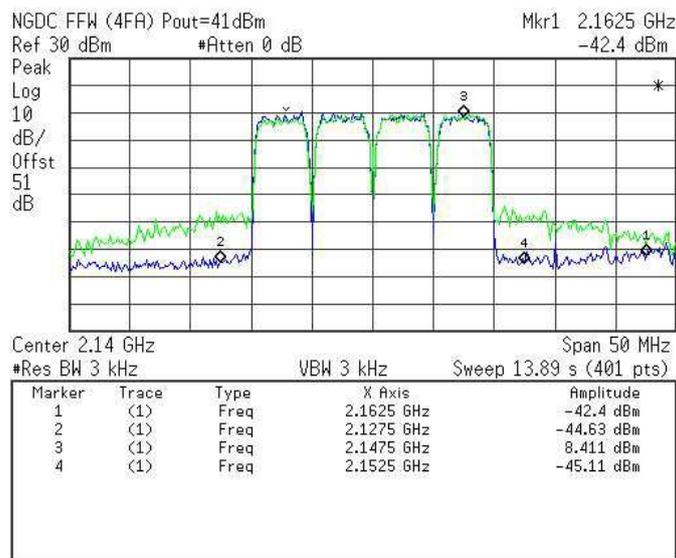


(B)

도면9

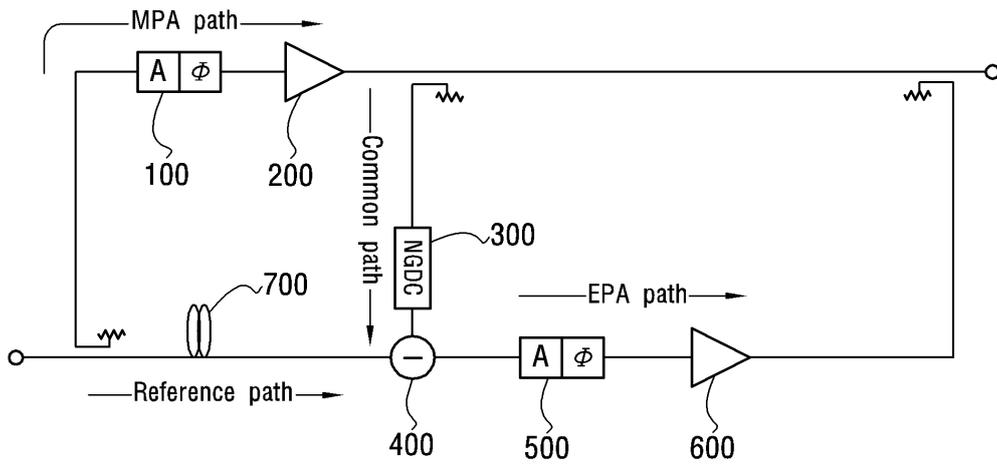


(A)

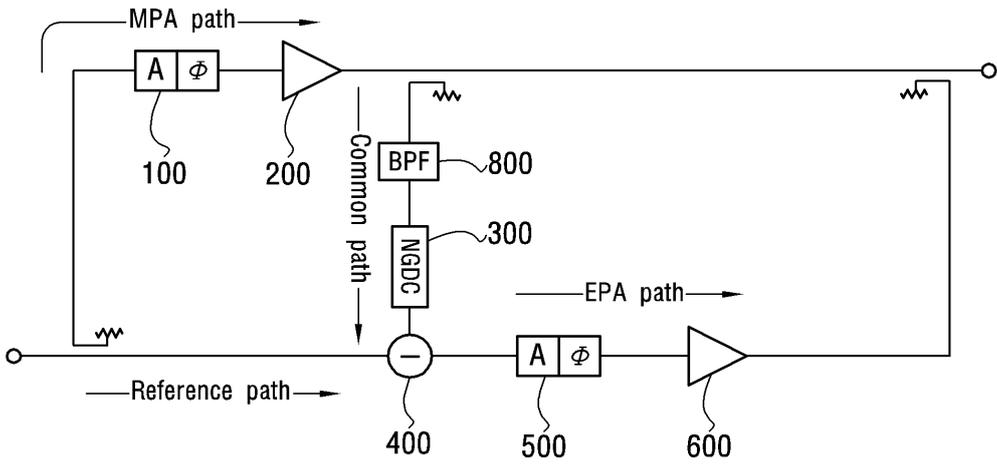


(B)

도면10



도면11



도면12

