

특허증

CERTIFICATE OF PATENT



특허

Patent Number

제 10-1589587 호

출원번호

Application Number

제 10-2013-0161709 호

출원일

Filing Date

2013년 12월 23일

등록일

Registration Date

2016년 01월 22일

발명의 명칭 Title of the Invention

T형 이중 대역 정합 회로 및 그 설계 방법

특허권자 Patentee

등록사항란에 기재

발명자 Inventor

등록사항란에 기재

위의 발명은 「특허법」에 따라 특허등록원부에 등록되었음을 증명합니다.

This is to certify that, in accordance with the Patent Act, a patent for the invention has been registered at the Korean Intellectual Property Office.

2016년 01월 22일



특허청장

COMMISSIONER,

KOREAN INTELLECTUAL PROPERTY OFFICE

최동규

등록사항

특허

등록제 10-1589587 호

Patent Number

특허권자 Patentees

전자부품연구원(135471-0*****)
경기도 성남시 분당구 새나리로 25 (야탑동)

전북대학교산학협력단(210171-0*****)
전라북도 전주시 덕진구 백제대로 567 (덕진동1가)

발명자 Inventors

이우성(660515-1*****)
경기 성남시 분당구 동판교로 123, 101동 801호 (백현동,
백현마을1단지판교푸르지오그랑블)

유찬세(730420-1*****)
경기 의왕시 안양판교로 64, 2동 1401호 (포일동, 인덕원삼호아파트)

김동수(721105-1*****)
경기 성남시 분당구 대왕판교로606번길 58, 101동 1001호 (삼평동,
판교푸르지오월드마크)

정용채(630715-1*****)
전북 전주시 완산구 홍산로 390, 106동 303호 (효자동3가,
서부신시가지아이파크)



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0073712
(43) 공개일자 2015년07월01일

(51) 국제특허분류(Int. Cl.)
H03H 7/46 (2006.01)

(21) 출원번호 10-2013-0161709
(22) 출원일자 2013년12월23일
심사청구일자 2013년12월23일

(71) 출원인

전자부품연구원

경기도 성남시 분당구 새나리로 25 (야탑동)

전북대학교산학협력단

전라북도 전주시 덕진구 백제대로 567 (덕진동1가)

(72) 발명자

이우성

경기 성남시 분당구 동판교로 123, 101동 801호
(백현동, 백현마을1단지관교푸르지오그랑블)

유찬세

경기 의왕시 안양관교로 64, 2동 1401호 (포일동, 인덕원삼호아파트)

(뒷면에 계속)

(74) 대리인

박종한

전체 청구항 수 : 총 9 항

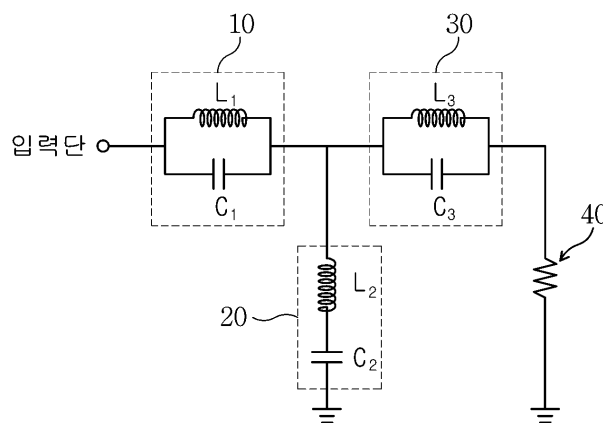
(54) 발명의 명칭 T형 이중 대역 정합 회로 및 그 설계 방법

(57) 요약

본 발명은 T형 이중 대역 정합 회로 및 그 설계 방법에 관한 것으로서, 본 발명의 T형 이중 대역 정합 회로는 일단이 입력단에 직렬 연결되고, 제1 인덕터와 제1 커패시터가 병렬 연결된 형태이며, 제1 저지대역에 공진주파수를 갖는 제1 LC 공진부, 상기 제1 LC 공진부의 타단으로부터 분로를 형성하여 입력단과 병렬 연결되고, 제2 인덕터와 제2 커패시터가 직렬 연결된 형태이며, 제2 저지대역에 공진주파수를 갖는 제2 LC 공진부, 및 상기 제1 LC 공진부의 타단과 출력단 사이에 위치하여 상기 제1 LC 공진부와 직렬 연결되고, 제3 인덕터와 제3 커패시터가 병렬 연결된 형태이며, 제3 저지대역에 공진주파수를 갖는 제3 LC 공진부를 포함하며, 이를 통해 단일의 T형 회로를 이용하여 이중의 통과 대역을 가지는 회로를 제공할 수 있고, 필요에 따라 설정된 세 개의 저지대역에서 불필요한 고조파 및 혼변조 성분들이 제거된다.

대표도 - 도3

100



(72) 발명자

김동수

경기 성남시 분당구 대왕판교로606번길 58, 101동
1001호 (삼평동, 판교푸르지오월드마크)

정용채

전북 전주시 완산구 홍산로 390, 106동 303호 (효
자동3가, 서부신시가지아이파크)

이 발명을 지원한 국가연구개발사업

과제고유번호 10035173

부처명 지식경제부

연구관리전문기관 한국산업기술평가관리원

연구사업명 산업융합원천기술개발사업

연구과제명 차세대 이동통신 기지국용 Class-S 전력증폭기 기술연구

기 여 율 1/1

주관기관 한국전자통신연구원

연구기간 2013.03.01 ~ 2014.02.28

명세서

청구범위

청구항 1

제1 통과대역을 갖는 제1 T형 단일 대역 정합 회로 및 제2 통과대역을 갖는 제2 T형 단일 대역 정합회로의 소자 값을 기반으로, 상기 제1 통과대역 및 상기 제2 통과대역을 갖도록 각 소자값이 정해지는 T형 이중 대역 정합 회로에 관한 것으로서,

일단이 입력단에 직렬 연결되고, 제1 인덕터와 제1 커패시터가 병렬 연결된 형태이며, 제1 저지대역에 공진주파수를 갖는 제1 LC 공진부;

상기 제1 LC 공진부의 타단으로부터 분로를 형성하여 입력단과 병렬 연결되고, 제2 인덕터와 제2 커패시터가 직렬 연결된 형태이며, 제2 저지대역에 공진주파수를 갖는 제2 LC 공진부; 및

상기 제1 LC 공진부의 타단과 출력단 사이에 위치하여 상기 제1 LC 공진부와 직렬 연결되고, 제3 인덕터와 제3 커패시터가 병렬 연결된 형태이며, 제3 저지대역에 공진주파수를 갖는 제3 LC 공진부;

를 포함하는 것을 특징으로 하는 T형 이중 대역 정합 회로.

청구항 2

제1항에 있어서,

상기 제1 T형 단일 대역 정합 회로는, 상기 제1 통과대역 주파수에서 동작하도록, 일단이 입력단에 직렬 연결된 제11 공진부, 상기 제11 공진부의 타단으로부터 분로를 형성하여 입력단과 병렬 연결되는 제21 공진부, 상기 제11 공진부의 타단과 출력단 사이에 위치하여 상기 제11 공진부와 직렬 연결된 제31 공진부를 포함하고,

상기 제2 T형 단일 대역 정합 회로는, 상기 제2 통과대역 주파수에서 동작하도록, 일단이 입력단에 직렬 연결된 제12 공진부, 상기 제12 공진부의 타단으로부터 분로를 형성하여 입력단과 병렬 연결되는 제22 공진부, 상기 제12 공진부의 타단과 출력단 사이에 위치하여 상기 제12 공진부와 직렬 연결된 제32 공진부를 포함하고,

상기 제1 인덕터의 인덕턴스와 상기 제1 커패시터의 커패시턴스는 상기 제11 공진부의 리액턴스 및 상기 제12 공진부의 리액턴스를 기반으로 결정되고,

상기 제2 인덕터의 인덕턴스와 상기 제2 커패시터의 커패시턴스는 상기 제21 공진부의 리액턴스 및 상기 제22 공진부의 리액턴스를 기반으로 결정되고,

상기 제3 인덕터의 인덕턴스와 상기 제3 커패시터의 커패시턴스는 상기 제31 공진부의 리액턴스 및 상기 제32 공진부의 리액턴스를 기반으로 결정되는 것을 특징으로 하는 T형 이중 대역 정합 회로.

청구항 3

제2항에 있어서,

상기 제1 인덕터의 인덕턴스와 상기 제1 커패시터의 커패시턴스는 다음의 수식을 이용해 결정되는 것을 특징으로 하는 T형 이중 대역 정합 회로.

$$L_1 = \frac{X_{11} X_{12} (\omega_2^2 - \omega_1^2)}{\omega_1 \omega_2 (X_{12} \omega_2 - X_{11} \omega_1)}$$

$$C_1 = \frac{X_{12} \omega_1 - X_{11} \omega_2}{X_{11} X_{12} (\omega_2^2 - \omega_1^2)}$$

L_1 : 제1 인덕터의 인덕턴스

C_1 : 제1 커패시터의 커패시턴스

ω_1 : 제1 통과대역의 주파수

ω_2 : 제2 통과대역의 주파수

X_{11} : 제11 공진부의 리액턴스

X_{12} : 제12 공진부의 리액턴스

청구항 4

제3항에 있어서,

상기 제1 LC 공진부의 입력 임피던스는 다음의 수식을 이용해 결정되는 것을 특징으로 하는 T형 이중 대역 정합 회로.

$$Z_1 = \frac{1}{j\omega_1 C_1 \left(\frac{\omega_k}{\omega_1} - \frac{\omega_1}{\omega_k} \right)}$$

$$\omega_1 = \frac{1}{\sqrt{L_1 C_1}}$$

Z_1 : 제1 LC 공진부의 입력 임피던스

L_1 : 제1 인덕터의 인덕턴스

C_1 : 제1 커패시터의 커패시턴스

ω_1 : 제1 LC 공진부의 공진주파수

ω_k : 제1 통과대역의 주파수 또는 제2 통과대역의 주파수

k : 1 또는 2

청구항 5

제2항에 있어서,

상기 제2 인덕터의 인덕턴스와 상기 제2 커패시터의 커패시턴스는 다음의 수식을 이용해 결정되는 것을 특징으로 하는 T형 이중 대역 정합 회로.

$$L_2 = \frac{B_{22} \omega_1 - B_{21} \omega_2}{B_{21} B_{22} (\omega_2^2 - \omega_1^2)}$$

$$C_2 = \frac{B_{21} B_{22} (\omega_2^2 - \omega_1^2)}{\omega_1 \omega_2 (B_{22} \omega_2 - B_{21} \omega_1)}$$

L_2 : 제2 인덕터의 인덕턴스

C_2 : 제2 커패시터의 커패시턴스

ω_1 : 제1 통과대역의 주파수

ω_2 : 제2 통과대역의 주파수

B_{21} : 제21 공진부의 서셉턴스

B_{22} : 제22 공진부의 서셉턴스

청구항 6

제5항에 있어서,

상기 제3 LC 공진부의 입력 임피던스는 다음의 수식을 이용해 결정되는 것을 특징으로 하는 T형 이중 대역 정합 회로.

$$Y_2 = \frac{1}{j\omega_2 C_2 \left(\frac{\omega_k}{\omega_2} - \frac{\omega_2}{\omega_k} \right)}$$

$$\omega_2 = \frac{1}{\sqrt{L_2 C_2}}$$

Y_2 : 제2 LC 공진부의 입력 어드미턴스

L_2 : 제2 인덕터의 인덕턴스

C_2 : 제2 커패시터의 커패시턴스

ω_2 : 제2 LC 공진부의 공진주파수

ω_k : 제1 통과대역의 주파수 또는 제2 통과대역의 주파수

k: 1 또는 2

청구항 7

제2항에 있어서,

상기 제3 인덕터의 인덕턴스와 상기 제3 커패시터의 커패시턴스는 다음의 수식을 이용해 결정되는 것을 특징으로 하는 T형 이중 대역 정합 회로.

$$L_3 = \frac{X_{31} X_{32} (\omega_2^2 - \omega_1^2)}{\omega_1 \omega_2 (X_{32} \omega_2 - X_{31} \omega_1)}$$

$$C_3 = \frac{X_{32} \omega_1 - X_{31} \omega_2}{X_{31} X_{32} (\omega_2^2 - \omega_1^2)}$$

L_3 : 제3 인덕터의 인덕턴스

C_3 : 제3 커패시터의 커패시턴스

ω_1 : 제1 통과대역의 주파수

ω_2 : 제2 통과대역의 주파수

X_{31} : 제31 공진부의 리액턴스

X_{32} : 제32 공진부의 리액턴스

청구항 8

제7항에 있어서,

상기 제3 LC 공진부의 입력 임피던스는 다음의 수식을 이용해 결정되는 것을 특징으로 하는 T형 이중 대역 정합 회로.

$$Z_3 = \frac{1}{j\omega_3 C_3 \left(\frac{\omega_k}{\omega_3} - \frac{\omega_3}{\omega_k} \right)}$$

$$\omega_3 = \frac{1}{\sqrt{L_3 C_3}}$$

Z_3 : 제3 LC 공진부의 입력 임피던스

L_3 : 제3 인덕터의 인덕턴스

C_3 : 제3 커패시터의 커패시턴스

ω_3 : 제3 LC 공진부의 공진주파수

ω_k : 제1 통과대역의 주파수 또는 제2 통과대역의 주파수

k: 1 또는 2

청구항 9

제1 통과대역을 갖도록, 일단이 입력단에 연결된 제11 공진부, 상기 제11 공진부의 타단으로부터 분로를 형성하여 입력단과 병렬 연결되는 제21 공진부, 상기 제11 공진부의 타단과 출력단 사이에 위치하여 상기 제11 공진부와 직렬 연결된 제31 공진부를 포함하는 제1 T형 단일 대역 정합 회로를 설계하는 단계;

제2 통과대역을 갖도록, 일단이 입력단에 연결된 제11 공진부, 상기 제11 공진부의 타단으로부터 분로를 형성하여 입력단과 병렬 연결되는 제21 공진부, 상기 제11 공진부의 타단과 출력단 사이에 위치하여 상기 제11 공진부와 직렬 연결된 제31 공진부를 포함하는 제2 T형 단일 대역 정합 회로를 설계하는 단계; 및

일단이 입력단에 직렬 연결되고, 제1 인덕터와 제1 커패시터가 병렬 연결된 형태이며, 제1 저지대역에 공진주파수를 갖는 제1 LC 공진부, 상기 제1 LC 공진부의 타단으로부터 분로를 형성하여 입력단과 병렬 연결되고, 제2 인덕터와 제2 커패시터가 직렬 연결된 형태이며, 제2 저지대역에 공진주파수를 갖는 제2 LC 공진부, 상기 제1 LC 공진부의 타단과 출력단 사이에 위치하여 상기 제1 LC 공진부와 직렬 연결되고, 제3 인덕터와 제3 커패시터가 병렬 연결된 형태이며, 제3 저지대역에 공진주파수를 갖는 제3 LC 공진부를 포함하되, 상기 제1 인덕터의 인덕턴스와 상기 제1 커패시터의 커패시턴스는 상기 제11 공진부의 리액턴스 및 상기 제12 공진부의 리액턴스를 기반으로 결정되고, 상기 제2 인덕터의 인덕턴스와 상기 제2 커패시터의 커패시턴스는 상기 제21 공진부의 리액

턴스 및 상기 제22 공진부의 리액턴스를 기반으로 결정되고, 상기 제3 인덕터의 인덕턴스와 상기 제3 커패시터의 커패시턴스는 상기 제31 공진부의 리액턴스 및 상기 제32 공진부의 리액턴스를 기반으로 결정되는 T형 이중 대역 정합 회로를 설계하는 단계;

를 포함하는 것을 특징으로 하는 T형 이중 대역 정합 회로의 설계 방법.

발명의 설명

기술 분야

[0001] 본 발명은 정합(impedance matching) 회로에 관한 것으로, 더욱 상세하게는 단일의 T형 회로를 이용하여 이중의 통과 대역을 가지는 T형 이중 대역 정합 회로 및 그 설계 방법에 관한 것이다.

배경 기술

[0002] 현대의 통신 시스템은 일반적으로 다중 대역 동작을 위해 설계되며, 특히 무선 통신 시스템은 송신단에서 여러 종류의 정보를 서로 다른 주파수를 이용해서 전송한다.

[0003] 따라서 이러한 다중 대역 시스템에서 최적 전력 소모 및 제작 비용, 장치의 물리적 크기를 고려하여 다중 대역 통신회로를 선호하게 된다.

[0004] 한편 전력증폭기(Power Amplifier: PA)는 다중 대역 시스템의 송신단에서 신호를 증폭시키는 중요한 장치로써, 이러한 전력증폭기는 인가되는 신호들을 증폭시킬 뿐만 아니라, 이득을 갖는 모든 주파수의 대역의 불요 신호뿐만 아니라 잡음도 증가시키는 문제가 있다.

[0005] 따라서 다중 대역 전력증폭기는 통과 대역 이외의 주파수 대역에서 발생하는 이득을 효과적으로 억제하는 것이 통과대역 신호 증폭 뿐만 아니라 안정적인 회로 동작을 위해서 중요하다.

[0006] 또한 전력증폭기는 트랜지스터의 비선형 동작에 의해 고조파 및 혼변조 왜곡 성분들을 발생시키며, 이중 대역 전력증폭기는 단일 대역 전력증폭기에 비해 더 많은 고조파 및 혼변조 성분들을 발생시키므로 설계에 더 많은 주의가 필요하다.

[0007] 이때 전력증폭기의 출력단 고조파 및 혼변조 왜곡 신호들의 전력은 전력증폭기의 출력을 기본파 신호 전력과 공유하므로, 전력증폭기의 출력 레벨과 효율을 증가시키기 위해서는 통과대역 외부의 고조파 성분과 혼변조 성분들을 억제하는 것이 중요하다.

[0008] 임피던스 정합 회로의 주요 기능은 서로 다른 두 회로 간에 신호의 반사를 최소화하는 것으로써 비록 기존의 정합 회로가 통과 대역 주파수에서만 증폭기와 다른 회로간의 임피던스 정합을 제공하지만, 통과대역 이외의 대역에서는 정합 또는 의도적인 비정합 특성을 제공하지 못했었다.

[0009] 또한 다중 대역에서 정합 특성을 제공하기 위해서는, 한국등록특허 제10-0437627호와 같이 각 통과대역에 따른 정합 회로를 별도로 구비하고, 해당 정합 회로의 출력 신호를 멀티플렉서를 이용해 조합하는 과정이 필요하여, 전체 시스템의 부피가 증가하고 제조비용이 증가하는 문제가 존재하였다.

선행기술문헌

특허문헌

[0010] (특허문헌 0001) 한국등록특허 제10-0437627호 "전력 증폭기용 임피던스 정합 회로" (2004년 06월 12일 공고)

발명의 내용

해결하려는 과제

[0011] 상기와 같은 문제점을 해결하기 위한 본 발명의 목적은, 단일의 T형 회로를 이용하여 이중의 통과 대역을 가지면서 불필요한 고조파 및 혼변조 성분들을 감쇄할 수 있는 T형 이중 대역 정합 회로 및 그 설계 방법을 제공하기 위한 것이다.

과제의 해결 수단

[0012] 상기와 같은 목적을 달성하기 위한 본 발명의 T형 이중 대역 정합 회로는, 제1 통과대역을 갖는 제1 T형 단일 대역 정합 회로 및 제2 통과대역을 갖는 제2 T형 단일 대역 정합회로의 소자값을 기반으로, 상기 제1 통과대역 및 상기 제2 통과대역을 갖도록 각 소자값이 정해지는 T형 이중 대역 정합 회로에 관한 것으로서, 일단이 입력단에 직렬 연결되고, 제1 인덕터와 제1 커패시터가 병렬 연결된 형태이며, 제1 저지대역에 공진주파수를 갖는 제1 LC 공진부, 상기 제1 LC 공진부의 타단으로부터 분로를 형성하여 입력단과 병렬 연결되고, 제2 인덕터와 제2 커패시터가 직렬 연결된 형태이며, 제2 저지대역에 공진주파수를 갖는 제2 LC 공진부, 및 상기 제1 LC 공진부의 타단과 출력단 사이에 위치하여 상기 제1 LC 공진부와 직렬 연결되고, 제3 인덕터와 제3 커패시터가 병렬 연결된 형태이며, 제3 저지대역에 공진주파수를 갖는 제3 LC 공진부를 포함하는 것을 특징으로 한다.

[0013] 본 발명의 T형 이중 대역 정합 회로에 있어서, 상기 제1 T형 단일 대역 정합 회로는, 상기 제1 통과대역 주파수에서 동작하도록, 일단이 입력단에 직렬 연결된 제11 공진부, 상기 제11 공진부의 타단으로부터 분로를 형성하여 입력단과 병렬 연결되는 제21 공진부, 상기 제11 공진부의 타단과 출력단 사이에 위치하여 상기 제11 공진부와 직렬 연결된 제31 공진부를 포함하고, 상기 제2 T형 단일 대역 정합 회로는, 상기 제2 통과대역 주파수에서 동작하도록, 일단이 입력단에 직렬 연결된 제12 공진부, 상기 제12 공진부의 타단으로부터 분로를 형성하여 입력단과 병렬 연결되는 제22 공진부, 상기 제12 공진부의 타단과 출력단 사이에 위치하여 상기 제12 공진부와 직렬 연결된 제32 공진부를 포함하고, 상기 제1 인덕터의 인덕턴스와 상기 제1 커패시터의 커패시턴스는 상기 제11 공진부의 리액턴스 및 상기 제12 공진부의 리액턴스를 기반으로 결정되고, 상기 제2 인덕터의 인덕턴스와 상기 제2 커패시터의 커패시턴스는 상기 제21 공진부의 리액턴스 및 상기 제22 공진부의 리액턴스를 기반으로 결정되고, 상기 제3 인덕터의 인덕턴스와 상기 제3 커패시터의 커패시턴스는 상기 제31 공진부의 리액턴스 및 상기 제32 공진부의 리액턴스를 기반으로 결정되는 것을 특징으로 한다.

[0014] 본 발명의 T형 이중 대역 정합 회로에 있어서, 상기 제1 인덕터의 인덕턴스와 상기 제1 커패시터의 커패시턴스는 다음의 수식을 이용해 결정되는 것을 특징으로 한다.

[0015]
$$L_1 = \frac{X_{11} X_{12} (\omega_2^2 - \omega_1^2)}{\omega_1 \omega_2 (X_{12} \omega_2 - X_{11} \omega_1)}$$

[0016]
$$C_1 = \frac{X_{12} \omega_1 - X_{11} \omega_2}{X_{11} X_{12} (\omega_2^2 - \omega_1^2)}$$

[0017] 이때, L_1 은 제1 인덕터의 인덕턴스, C_1 은 제1 커패시터의 커패시턴스, ω_1 은 제1 통과대역의 주파수, ω_2 는 제2 통과대역의 주파수, X_{11} 은 제11 공진부의 리액턴스, X_{12} 는 제12 공진부의 리액턴스이다.

[0018] 본 발명의 T형 이중 대역 정합 회로에 있어서, 상기 제1 LC 공진부의 입력 임피던스는 다음의 수식을 이용해 결정되는 것을 특징으로 한다.

[0019]
$$Z_1 = \frac{1}{j \omega_1 C_1 \left(\frac{\omega_k}{\omega_1} - \frac{\omega_1}{\omega_k} \right)}$$

[0020]
$$\omega_1 = \frac{1}{\sqrt{L_1 C_1}}$$

[0021] 이때, Z_1 은 제1 LC 공진부의 입력 임피던스, L_1 은 제1 인덕터의 인덕턴스, C_1 은 제1 커패시터의 커패시턴스, ω_1

은 제1 LC 공진부의 공진주파수, ω_k 는 제1 통과대역의 주파수 또는 제2 통과대역의 주파수, k 는 1 또는 2이다.

[0022]

본 발명의 T형 이중 대역 정합 회로에 있어서, 상기 제2 인덕터의 인덕턴스와 상기 제2 커패시터의 커패시턴스는 다음의 수식을 이용해 결정되는 것을 특징으로 한다.

[0023]

$$L_2 = \frac{B_{22} \omega_1 - B_{21} \omega_2}{B_{21} B_{22} (\omega_2^2 - \omega_1^2)}$$

[0024]

$$C_2 = \frac{B_{21} B_{22} (\omega_2^2 - \omega_1^2)}{\omega_1 \omega_2 (B_{22} \omega_2 - B_{21} \omega_1)}$$

[0025]

이때, L_2 는 제2 인덕터의 인덕턴스, C_2 는 제2 커패시터의 커패시턴스, ω_1 은 제1 통과대역의 주파수, ω_2 는 제2 통과대역의 주파수, B_{21} 은 제21 공진부의 서셉턴스, B_{22} 는 제22 공진부의 서셉턴스이다.

[0026]

본 발명의 T형 이중 대역 정합 회로에 있어서, 상기 제3 LC 공진부의 입력 임피던스는 다음의 수식을 이용해 결정되는 것을 특징으로 한다.

[0027]

$$Y_2 = \frac{1}{j \omega_2 C_2 \left(\frac{\omega_k}{\omega_2} - \frac{\omega_2}{\omega_k} \right)}$$

[0028]

$$\omega_2 = \frac{1}{\sqrt{L_2 C_2}}$$

[0029]

이때, Y_2 는 제2 LC 공진부의 입력 어드미턴스, L_2 는 제2 인덕터의 인덕턴스, C_2 는 제2 커패시터의 커패시턴스, ω_2 는 제2 LC 공진부의 공진주파수, ω_k 는 제1 통과대역의 주파수 또는 제2 통과대역의 주파수, k 는 1 또는 2이다.

[0030]

본 발명의 T형 이중 대역 정합 회로에 있어서, 상기 제3 인덕터의 인덕턴스와 상기 제3 커패시터의 커패시턴스는 다음의 수식을 이용해 결정되는 것을 특징으로 한다.

[0031]

$$L_3 = \frac{X_{31} X_{32} (\omega_2^2 - \omega_1^2)}{\omega_1 \omega_2 (X_{32} \omega_2 - X_{31} \omega_1)}$$

[0032]

$$C_3 = \frac{X_{32} \omega_1 - X_{31} \omega_2}{X_{31} X_{32} (\omega_2^2 - \omega_1^2)}$$

[0033]

이때, L_3 는 제3 인덕터의 인덕턴스, C_3 은 제3 커패시터의 커패시턴스, ω_1 은 제1 통과대역의 주파수, ω_2 는 제2 통과대역의 주파수, X_{31} 은 제31 공진부의 리액턴스, X_{32} 는 제32 공진부의 리액턴스이다.

[0034]

본 발명의 T형 이중 대역 정합 회로에 있어서, 상기 제3 LC 공진부의 입력 임피던스는 다음의 수식을 이용해 결정되는 것을 특징으로 한다.

$$Z_3 = \frac{1}{j\omega_3 C_3 \left(\frac{\omega_k}{\omega_3} - \frac{\omega_3}{\omega_k} \right)}$$

$$\omega_3 = \frac{1}{\sqrt{L_3 C_3}}$$

이때, Z_3 은 제3 LC 공진부의 입력 임피던스, L_3 은 제3 인덕터의 인덕턴스, C_3 은 제3 커패시터의 커패시턴스, ω_3 은 제3 LC 공진부의 공진주파수, ω_k 는 제1 통과대역의 주파수 또는 제2 통과대역의 주파수, k 는 1 또는 2이다.

상기와 같은 목적을 달성하기 위한 본 발명의 T형 이중 대역 정합 회로의 설계 방법은, 제1 통과대역을 갖도록, 일단이 입력단에 연결된 제11 공진부, 상기 제11 공진부의 타단으로부터 분로를 형성하여 입력단과 병렬 연결되는 제21 공진부, 상기 제11 공진부의 타단과 출력단 사이에 위치하여 상기 제11 공진부와 직렬 연결된 제31 공진부를 포함하는 제1 T형 단일 대역 정합 회로를 설계하는 단계, 제2 통과대역을 갖도록, 일단이 입력단에 연결된 제11 공진부, 상기 제11 공진부의 타단으로부터 분로를 형성하여 입력단과 병렬 연결되는 제21 공진부, 상기 제11 공진부의 타단과 출력단 사이에 위치하여 상기 제11 공진부와 직렬 연결된 제31 공진부를 포함하는 제2 T형 단일 대역 정합 회로를 설계하는 단계, 및 일단이 입력단에 직렬 연결되고, 제1 인덕터와 제1 커패시터가 병렬 연결된 형태이며, 제1 저지대역에 공진주파수를 갖는 제1 LC 공진부, 상기 제1 LC 공진부의 타단으로부터 분로를 형성하여 입력단과 병렬 연결되고, 제2 인덕터와 제2 커패시터가 직렬 연결된 형태이며, 제2 저지대역에 공진주파수를 갖는 제2 LC 공진부, 상기 제1 LC 공진부의 타단과 출력단 사이에 위치하여 상기 제1 LC 공진부와 직렬 연결되고, 제3 인덕터와 제3 커패시터가 병렬 연결된 형태이며, 제3 저지대역에 공진주파수를 갖는 제3 LC 공진부를 포함하되, 상기 제1 인덕터의 인덕턴스와 상기 제1 커패시터의 커패시턴스는 상기 제11 공진부의 리액턴스 및 상기 제12 공진부의 리액턴스를 기반으로 결정되고, 상기 제2 인덕터의 인덕턴스와 상기 제2 커패시터의 커패시턴스는 상기 제21 공진부의 리액턴스 및 상기 제22 공진부의 리액턴스를 기반으로 결정되고, 상기 제3 인덕터의 인덕턴스와 상기 제3 커패시터의 커패시턴스는 상기 제31 공진부의 리액턴스 및 상기 제32 공진부의 리액턴스를 기반으로 결정되는 T형 이중 대역 정합 회로를 설계하는 단계를 포함하는 것을 특징으로 한다.

발명의 효과

본 발명의 T형 이중 대역 정합 회로 및 그 설계 방법에 따르면 단일의 T형 회로를 이용하여 이중의 통과 대역을 가지는 회로를 제공할 수 있고, 필요에 따라 설정된 세 개의 저지대역에서 불필요한 고조파 및 혼변조 성분들이 제거된다. 이때, 단일의 T형 회로를 이용함으로써 전체 회로의 부피가 감소되고, 사용되는 소자의 개수가 절감되어 제조 단가를 현저히 낮출 수 있다.

도면의 간단한 설명

- 도 1은 종래의 실시예에 따른 제1 T형 단일 대역 정합 회로를 나타낸 도면이다.
- 도 2는 종래의 실시예에 따른 제2 T형 단일 대역 정합 회로를 나타낸 도면이다.
- 도 3은 본 발명의 일 실시예에 따른 T형 이중 대역 정합 회로를 나타낸 도면이다.
- 도 4는 본 발명의 일 실시예에 따른 제1 LC 공진부와 등가회로를 나타낸 도면이다.
- 도 5는 본 발명의 일 실시예에 따른 제2 LC 공진부와 등가회로를 나타낸 도면이다.
- 도 6은 본 발명의 일 실시예에 따른 제3 LC 공진부와 등가회로를 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

하기의 설명에서는 본 발명의 실시예를 이해하는데 필요한 부분만이 설명되며, 그 이외 부분의 설명은 본 발명의 요지를 흐트리지 않도록 생략될 것이라는 것을 유의하여야 한다.

이하에서 설명되는 본 명세서 및 청구범위에 사용된 용어나 단어는 통상적이거나 사전적인 의미로 한정해서 해

석되어서는 아니되며, 발명자는 그 자신의 발명을 가장 최선의 방법으로 설명하기 위해 용어의 개념으로 적절하게 정의할 수 있다는 원칙에 입각하여 본 발명의 기술적 사상에 부합하는 의미와 개념으로 해석되어야만 한다. 따라서 본 명세서에 기재된 실시예와 도면에 도시된 구성은 본 발명의 바람직한 실시예에 불과할 뿐이고, 본 발명의 기술적 사상을 모두 대변하는 것은 아니므로, 본 출원시점에 있어서 이들을 대체할 수 있는 다양한 균등물과 변형예들이 있을 수 있음을 이해하여야 한다.

[0043] 본 발명은 정합(impedance matching) 회로와 관련한 것이다. 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 보다 상세하게 설명하기로 한다.

[0044] 도 1은 종래의 실시예에 따른 제1 T형 단일 대역 정합 회로(101)를 나타낸 도면이고, 도 2는 종래의 실시예에 따른 제2 T형 단일 대역 정합 회로(102)를 나타낸 도면이다. 그리고 도 3은 본 발명의 일 실시예에 따른 T형 이중 대역 정합 회로(100)를 나타낸 도면이고, 도 4는 본 발명의 일 실시예에 따른 제1 LC 공진부(10)와 등가회로를 나타낸 도면이며, 도 5는 본 발명의 일 실시예에 따른 제2 LC 공진부(20)와 등가회로를 나타낸 도면이고, 도 6은 본 발명의 일 실시예에 따른 제3 LC 공진부(30)와 등가회로를 나타낸 도면이다.

[0045] 도 1 내지 도 6을 참조하면, 도 1에 도시된 제1 T형 단일 대역 정합 회로(101)는 일단이 입력단에 직렬 연결된 제11 공진부(11), 제11 공진부(11)의 타단으로부터 분로를 형성하여 입력단과 병렬 연결되는 제21 공진부(21), 제11 공진부(11)의 타단과 부하(41)가 위치한 출력단 사이에 위치하여 제11 공진부(11)와 직렬 연결된 제31 공진부(31)를 포함하여 T형의 정합 회로를 이루도록 설계된다.

[0046] 이때 제11 공진부(11), 제21 공진부(21) 및 제31 공진부(31) 각각은 인덕터나 커패시터를 포함할 수 있으며, 해당 인덕터나 커패시터의 소자값은 제1 T형 단일 대역 정합 회로(101)가 제1 통과대역(주파수 ω_1)의 단일 통과대역 주파수에서 동작하도록 결정된다.

[0047] 도 2에 도시된 제2 T형 단일 대역 정합 회로(102)는 일단이 입력단에 직렬 연결된 제12 공진부(12), 제12 공진부(12)의 타단으로부터 분로를 형성하여 입력단과 병렬 연결되는 제22 공진부(22), 제12 공진부(12)의 타단과 부하(42)가 위치한 출력단 사이에 위치하여 제12 공진부(12)와 직렬 연결된 제32 공진부(32)를 포함하여 T형의 정합 회로를 이루도록 설계된다.

[0048] 이때 제12 공진부(12), 제22 공진부(22) 및 제32 공진부(32) 각각은 인덕터나 커패시터를 포함할 수 있으며, 해당 인덕터나 커패시터의 소자값은 제2 T형 단일 대역 정합 회로(102)가 제2 통과대역(주파수 ω_2)의 단일 통과대역 주파수에서 동작하도록 결정된다.

[0049] 그리고 이러한 제1 T형 단일 대역 정합 회로(101)와 제2 T형 단일 대역 정합회로의 소자값을 기반으로, 도 3에 도시된 T형 이중 대역 정합 회로(100)의 각 소자값이 결정된다.

[0050] 도 3 내지 도 6에서, 본 실시예의 T형 이중 대역 정합 회로(100)는 단일의 T형 정합 회로로 설계되며, 이때 T형 이중 대역 정합 회로(100)는 제1 통과대역 및 제2 통과대역의 이중 통과대역을 가지면서, 제1 저지대역, 제2 저지대역 및 제3 저지대역에서 불필요한 고조파 및 혼변조 성분들이 감쇄된 신호를 출력한다.

[0051] 도 3에서 T형 이중 대역 정합 회로(100)는 제1 LC 공진부(10), 제2 LC 공진부(20) 및 제3 LC 공진부(30)를 포함하여 구성된다. 이때, 제1 LC 공진부(10), 제2 LC 공진부(20) 및 제3 LC 공진부(30)에 포함된, 인덕터(L_1 , L_2 , L_3) 및 커패시터(C_1 , C_2 , C_3)의 소자값은, 제1 통과대역을 갖는 제1 T형 단일 대역 정합 회로(101) 및 제2 통과대역을 갖는 제2 T형 단일 대역 정합회로에서 대응되는 위치의 소자값을 기반으로 결정된다.

[0052] 제1 LC 공진부(10)는 일단이 입력단에 직렬 연결되고, 제1 인덕터(L_1)와 제1 커패시터(C_1)가 병렬 연결된 형태로 이루어진다.

[0053] 이때, T형 이중 대역 정합 회로(100)에서 제1 LC 공진부(10)의 위치는, 제1 T형 단일 대역 정합 회로(101)의 제11 공진부(11) 및 제2 T형 단일 대역 정합 회로(102)의 제12 공진부(12)에 대응된다. 그리고 제1 인덕터(L_1)의 인덕턴스와 제1 커패시터(C_1)의 커패시턴스는, 제11 공진부(11)의 리액턴스 및 제12 공진부(12)의 리액턴스를 기반으로 결정된다.

[0054] 도 4에서 좌측에는 제1 LC 공진부(10)가 도시되었고, 우측에는 제1 LC 공진부(10)의 등가회로가 도시되었으며, 해당 등가회로의 리액턴스는 ' X_{1k} '와 같이 표현되었다. 이때 k는 1 또는 2의 값으로, k = 1일 때 ' X_{11} '은 제11

공진부(11)의 리액턴스를 나타내고, $k = 2$ 일 때 ' X_{12} '는 제12 공진부(12)의 리액턴스를 나타낸다.

[0055] 이 경우 제1 LC 공진부(10)의 입력 임피던스는 다음의 수식과 같이 정해진다.

수학식 1

$$Z_1 = \frac{j\omega_k L_1}{1 - \omega_k^2 L_1 C_1} = jX_{1k}$$

[0056]

[0057] Z_1 : 제1 LC 공진부의 입력 임피던스

[0058] L_1 : 제1 인덕터의 인덕턴스

[0059] C_1 : 제1 커패시터의 커패시턴스

[0060] ω_k : 제1 통과대역의 주파수 또는 제2 통과대역의 주파수

[0061] X_{1k} : 제11 공진부의 리액턴스 또는 제12 공진부의 리액턴스

[0062] k : 1 또는 2

[0063] 그리고 수학식 1을 기반으로 제1 인덕터(L_1)의 인덕턴스와 제1 커패시터(C_1)의 커패시턴스를 결정하면 다음의 수식과 같다.

수학식 2

$$L_1 = \frac{X_{11} X_{12} (\omega_2^2 - \omega_1^2)}{\omega_1 \omega_2 (X_{12} \omega_2 - X_{11} \omega_1)}$$

[0064]

$$C_1 = \frac{X_{12} \omega_1 - X_{11} \omega_2}{X_{11} X_{12} (\omega_2^2 - \omega_1^2)}$$

[0065]

[0066] L_1 : 제1 인덕터의 인덕턴스

[0067] C_1 : 제1 커패시터의 커패시턴스

[0068] ω_1 : 제1 통과대역의 주파수

[0069] ω_2 : 제2 통과대역의 주파수

[0070] X_{11} : 제11 공진부의 리액턴스

[0071] X_{12} : 제12 공진부의 리액턴스

[0072] 즉 수학식 2와 같이 제11 공진부(11)의 리액턴스와 제12 공진부(12)의 리액턴스를 기반으로, 제1 인덕터(L_1)의 인덕턴스와 제1 커패시터(C_1)의 커패시턴스를 결정할 수 있다.

[0073] 또한 수학식 1에서 제1 LC 공진부(10)의 입력 임피던스(Z_1) 식을 정리하면 다음의 수식과 같다.

수학식 3

$$Z_1 = \frac{1}{j\omega_1 C_1 \left(\frac{\omega_k}{\omega_1} - \frac{\omega_1}{\omega_k} \right)}$$

$$\omega_1 = \frac{1}{\sqrt{L_1 C_1}}$$

Z_1 : 제1 LC 공진부의 입력 임피던스

L_1 : 제1 인덕터의 인덕턴스

C_1 : 제1 커패시터의 커패시턴스

ω_1 : 제1 LC 공진부의 공진주파수

ω_k : 제1 통과대역의 주파수 또는 제2 통과대역의 주파수

k : 1 또는 2

수학식 3에서 제1 LC 공진부(10)는 병렬 형태로 이루어진 제1 인덕터(L_1)와 제1 커패시터(C_1)의 공진주파수 인공에서 제1 저지대역을 갖게 되며, 해당 제1 저지대역에 위치한 신호가 감쇄된다.

정리하면, 제1 T형 단일 대역 정합 회로(101)는 제1 통과대역을 갖도록 제11 공진부(11)에 포함된 인덕터나 커패시터의 소자값이 결정되고, 제2 T형 단일 대역 정합 회로(102)는 제2 통과대역을 갖도록 제12 공진부(12)에 포함된 인덕터나 커패시터의 소자값이 결정된다. 그리고 이를 기반으로 T형 이중 대역 정합 회로(100)의 제1 LC 공진부(10)에 포함된 제1 인덕터(L_1)와 제1 커패시터(C_1)의 소자값이 결정된다. 이때, 제1 인덕터(L_1)와 제1 커패시터(C_1)의 소자값에 따라 제1 LC 공진부(10)의 공진주파수가 결정됨으로서, 제1 저지대역을 결정할 수 있다.

이는 필요에 따라 제11 공진부(11) 및 제12 공진부(12)에 포함된 인덕터나 커패시터의 소자값을 변경하여 제1 T형 단일 대역 정합 회로(101) 및 제2 T형 단일 대역 정합 회로(102)를 설계하고, 이에 따라 제1 LC 공진부(10)에 포함된 제1 인덕터(L_1)와 제1 커패시터(C_1)의 소자값을 변경하여 T형 이중 대역 정합 회로(100)를 설계할 수 있으며, 그 결과에 따라 결정되는 제1 저지대역에 의해 해당 대역의 신호를 감쇄할 수 있음을 의미한다.

제2 LC 공진부(20)는 제1 LC 공진부(10)의 타단으로부터 분로를 형성하여 입력단과 병렬 연결되고, 제2 인덕터(L_2)와 제2 커패시터(C_2)가 직렬 연결된 형태로 이루어진다.

이때, T형 이중 대역 정합 회로(100)에서 제2 LC 공진부(20)의 위치는, 제1 T형 단일 대역 정합 회로(101)의 제21 공진부(21) 및 제2 T형 단일 대역 정합 회로(102)의 제22 공진부(22)에 대응된다. 그리고 제2 인덕터(L_2)의 인덕턴스와 제2 커패시터(C_2)의 커패시턴스는 위치의 제21 공진부(21)의 리액턴스 및 제22 공진부(22)의 리액턴스를 기반으로 결정된다.

도 5에서 좌측에는 제2 LC 공진부(20)가 도시되었고, 우측에는 제2 LC 공진부(20)의 등가회로가 도시되었으며, 편의를 위해 해당 등가회로의 리액턴스를 변형한 서셉턴스를 이용해 계산을 진행하며, 해당 서셉턴스는 ' B_{2k} '와 같이 표현되었다. 이때 k 는 1 또는 2의 값으로, $k = 1$ 일 때 ' B_{21} '은 제21 공진부(21)의 서셉턴스를 나타내고, $k = 2$ 일 때 ' B_{22} '는 제22 공진부(22)의 서셉턴스를 나타낸다.

이 경우 제2 LC 공진부(20)의 입력 어드미턴스는 다음의 수식과 같이 정해진다.

수학식 4

$$Y_2 = \frac{j\omega_k L_2}{1 - \omega_k^2 L_2 C_2} = jB_{2k}$$

[0089]

[0090]

Y_2 : 제2 LC 공진부의 입력 어드미턴스

[0091]

L_2 : 제2 인덕터의 인덕턴스

[0092]

C_2 : 제2 커패시터의 커패시턴스

[0093]

ω_k : 제1 통과대역의 주파수 또는 제2 통과대역의 주파수

[0094]

B_{2k} : 제21 공진부의 서셉턴스 또는 제22 공진부의 서셉턴스

[0095]

k : 1 또는 2

[0096]

그리고 수학식 4를 기반으로 제2 인덕터(L_2)의 인덕턴스와 제2 커패시터(C_2)의 커패시턴스를 계산하면 다음의 수식과 같다.

수학식 5

$$L_2 = \frac{B_{22}\omega_1 - B_{21}\omega_2}{B_{21}B_{22}(\omega_2^2 - \omega_1^2)}$$

[0097]

$$C_2 = \frac{B_{21}B_{22}(\omega_2^2 - \omega_1^2)}{\omega_1\omega_2(B_{22}\omega_2 - B_{21}\omega_1)}$$

[0098]

[0099]

L_2 : 제2 인덕터의 인덕턴스

[0100]

C_2 : 제2 커패시터의 커패시턴스

[0101]

ω_1 : 제1 통과대역의 주파수

[0102]

ω_2 : 제2 통과대역의 주파수

[0103]

B_{21} : 제21 공진부의 서셉턴스

[0104]

B_{22} : 제22 공진부의 서셉턴스

[0105]

수학식 5와 같이 제21 공진부(21)의 리액턴스(또는 서셉턴스)와 제22 공진부(22)의 리액턴스(또는 서셉턴스)를 기반으로, 제2 인덕터(L_2)의 인덕턴스와 제2 커패시터(C_2)의 커패시턴스를 결정할 수 있다.

[0106]

또한 수학식 4에서 제2 LC 공진부(20)의 입력 어드미턴스(Y_2) 식을 정리하면 다음의 수식과 같다.

수학식 6

$$Y_2 = \frac{1}{j\omega_2 C_2 \left(\frac{\omega_k}{\omega_2} - \frac{\omega_2}{\omega_k} \right)}$$

$$\omega_2 = \frac{1}{\sqrt{L_2 C_2}}$$

[0107]

[0108]

[0109]

[0110]

[0111]

[0112]

[0113]

[0114]

[0115]

[0116]

[0117]

[0118]

[0119]

[0120]

[0121]

Y_2 : 제2 LC 공진부의 입력 어드미턴스

L_2 : 제2 인덕터의 인덕턴스

C_2 : 제2 커패시터의 커패시턴스

ω_2 : 제2 LC 공진부의 공진주파수

ω_k : 제1 통과대역의 주파수 또는 제2 통과대역의 주파수

k : 1 또는 2

수학식 6에서 제2 LC 공진부(20)는 직렬 형태로 이루어진 제2 인덕터(L_2)와 제2 커패시터(C_2)의 공진주파수 인공에서 제2 저지대역을 갖게 되며, 해당 제2 저지대역에 위치한 신호가 감쇄된다.

정리하면, 제1 T형 단일 대역 정합 회로(101)는 제1 통과대역을 갖도록 제21 공진부(21)에 포함된 인덕터나 커패시터의 소자값이 결정되고, 제2 T형 단일 대역 정합 회로(102)는 제2 통과대역을 갖도록 제22 공진부(22)에 포함된 인덕터나 커패시터의 소자값이 결정된다. 그리고 이를 기반으로 T형 이중 대역 정합 회로(100)의 제2 LC 공진부(20)에 포함된 제2 인덕터(L_2)와 제2 커패시터(C_2)의 소자값이 결정된다. 이때 제2 인덕터(L_2)와 제2 커패시터(C_2)의 소자값에 따라 제2 LC 공진부(20)의 공진주파수가 결정됨으로서, 제2 저지대역을 결정할 수 있다.

이는 필요에 따라 제21 공진부(21) 및 제22 공진부(22)에 포함된 인덕터나 커패시터의 소자값을 변경하여 제1 T형 단일 대역 정합 회로(101) 및 제2 T형 단일 대역 정합 회로(102)를 설계하고, 이에 따라 제2 LC 공진부(20)에 포함된 제2 인덕터(L_2)와 제2 커패시터(C_2)의 소자값을 변경하여 T형 이중 대역 정합 회로(100)를 설계할 수 있으며, 그 결과에 따라 결정되는 제1 저지대역에 의해 해당 대역의 신호를 감쇄할 수 있음을 의미한다.

제3 LC 공진부(30)는 제1 LC 공진부(10)의 타단과 부하(40)가 위치한 출력단 사이에 위치하여 제1 LC 공진부(10)와 직렬 연결되고, 제3 인덕터(L_3)와 제3 커패시터(C_3)가 병렬 연결된 형태로 이루어진다.

이때, T형 이중 대역 정합 회로(100)에서 제3 LC 공진부(30)의 위치는, 제1 T형 단일 대역 정합 회로(101)의 제31 공진부(31) 및 제2 T형 단일 대역 정합 회로(102)의 제32 공진부(32)에 대응된다. 그리고 제3 인덕터(L_3)의 인덕턴스와 제3 커패시터(C_3)의 커패시턴스는 제31 공진부(31)의 리액턴스 및 제32 공진부(32)의 리액턴스를 기반으로 결정된다.

도 6에서 좌측에는 제3 LC 공진부(30)가 도시되었고, 우측에는 제3 LC 공진부(30)의 등가회로가 도시되었으며, 해당 등가회로의 리액턴스는 ' X_{3k} '와 같이 표현되었다. 이때 k 는 1 또는 2의 값으로, $k = 1$ 일 때 ' X_{31} '은 제31 공진부(31)의 리액턴스를 나타내고, $k = 2$ 일 때 ' X_{32} '는 제32 공진부(32)의 리액턴스를 나타낸다.

이 경우 제3 LC 공진부(30)의 입력 임피던스는 다음의 수식과 같이 정해진다.

수학식 7

$$Z_3 = \frac{j\omega_k L_3}{1 - \omega_k^2 L_3 C_3} = jX_{3k}$$

[0122]

[0123] Z_3 : 제3 LC 공진부의 입력 임피던스

[0124]

L_3 : 제3 인덕터의 인덕턴스

[0125]

C_3 : 제3 커패시터의 커패시턴스

[0126]

ω_k : 제1 통과대역의 주파수 또는 제2 통과대역의 주파수

[0127]

X_{3k} : 제31 공진부의 리액턴스 또는 제32 공진부의 리액턴스

[0128]

k : 1 또는 2

[0129]

그리고 수학식 7을 기반으로 제3 인덕터(L_3)의 인덕턴스와 제3 커패시터(C_3)의 커패시턴스를 계산하면 다음의 수식과 같다.

수학식 8

$$L_3 = \frac{X_{31} X_{32} (\omega_2^2 - \omega_1^2)}{\omega_1 \omega_2 (X_{32} \omega_2 - X_{31} \omega_1)}$$

[0130]

$$C_3 = \frac{X_{32} \omega_1 - X_{31} \omega_2}{X_{31} X_{32} (\omega_2^2 - \omega_1^2)}$$

[0131]

[0132] L_3 : 제3 인덕터의 인덕턴스

[0133]

C_3 : 제3 커패시터의 커패시턴스

[0134]

ω_1 : 제1 통과대역의 주파수

[0135]

ω_2 : 제2 통과대역의 주파수

[0136]

X_{31} : 제31 공진부의 리액턴스

[0137]

X_{32} : 제32 공진부의 리액턴스

[0138]

즉 수학식 8과 같이 제31 공진부(31)의 리액턴스와 제32 공진부(32)의 리액턴스를 기반으로, 제3 인덕터(L_3)의 인덕턴스와 제1 커패시터(C_3)의 커패시턴스를 결정할 수 있다.

[0139]

또한 수학식 7에서 제3 LC 공진부(30)의 입력 임피던스(Z_3) 식을 정리하면 다음의 수식과 같다.

수학식 9

$$Z_3 = \frac{1}{j\omega_3 C_3 \left(\frac{\omega_k}{\omega_3} - \frac{\omega_3}{\omega_k} \right)}$$

$$\omega_3 = \frac{1}{\sqrt{L_3 C_3}}$$

Z₃: 제3 LC 공진부의 입력 임피던스

L₃: 제3 인덕터의 인덕턴스

C₃: 제3 커패시터의 커패시턴스

ω₃: 제3 LC 공진부의 공진주파수

ω_k: 제1 통과대역의 주파수 또는 제2 통과대역의 주파수

k: 1 또는 2

수학식 9에서 제3 LC 공진부(30)는 병렬 형태로 이루어진 제3 인덕터(L₃)와 제3 커패시터(C₃)의 공진주파수 인근에서 제3 저지대역을 갖게 되며, 해당 제3 저지대역에 위치한 신호가 감쇄된다.

정리하면, 제1 T형 단일 대역 정합 회로(101)는 제1 통과대역을 갖도록 제31 공진부(31)에 포함된 인덕터나 커패시터의 소자값이 결정되고, 제2 T형 단일 대역 정합 회로(102)는 제2 통과대역을 갖도록 제32 공진부(32)에 포함된 인덕터나 커패시터의 소자값이 결정된다. 그리고 이를 기반으로 T형 이중 대역 정합 회로(100)의 제3 LC 공진부(30)에 포함된 제3 인덕터(L₃)와 제3 커패시터(C₃)의 소자값이 결정된다. 이때 제3 인덕터(L₃)와 제3 커패시터(C₃)의 소자값에 따라 제3 LC 공진부(30)의 공진주파수가 결정됨으로서, 제3 저지대역을 결정할 수 있다.

이는 필요에 따라 제31 공진부(31) 및 제32 공진부(32)에 포함된 인덕터나 커패시터의 소자값을 변경하여 제1 T형 단일 대역 정합 회로(101) 및 제2 T형 단일 대역 정합 회로(102)를 설계하고, 이에 따라 제3 LC 공진부(30)에 포함된 제3 인덕터(L₃)와 제3 커패시터(C₃)의 소자값을 변경하여 T형 이중 대역 정합 회로(100)를 설계할 수 있으며, 그 결과에 따라 결정되는 제3 저지대역에 의해 해당 대역의 신호를 감쇄할 수 있음을 의미한다.

이와 같이 본 발명의 T형 이중 대역 정합 회로(100)는 단일의 정합 회로임에도 제1 통과대역 및 제2 통과대역의 이중 통과대역을 가지며, 전체 회로를 소형화하고 제조 원가를 절감할 수 있다. 또한 필요에 따라 각 소자값을 변경하여 제1 저지대역, 제2 저지대역 및 제3 저지대역을 결정할 수 있어, 불필요한 고조파 및 혼변조 성분들을 감쇄시킬 수 있다.

한편, 본 명세서와 도면에 개시된 실시예들은 이해를 돕기 위해 특정 예를 제시한 것에 지나지 않으며, 본 발명의 범위를 한정하고자 하는 것은 아니다. 여기에 개시된 실시예들 이외에도 본 발명의 기술적 사상에 바탕을 둔 다른 변형예들이 실시 가능하다는 것은, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게는 자명한 것이다. 또한, 본 명세서와 도면에서 특정 용어들이 사용되었으나, 이는 단지 본 발명의 기술 내용을 쉽게 설명하고 발명의 이해를 돕기 위한 일반적인 의미에서 사용된 것이지, 본 발명의 범위를 한정하고자 하는 것은 아니다.

부호의 설명

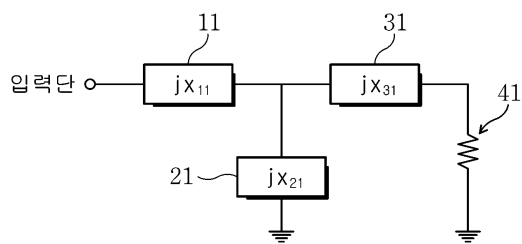
10: 제1 LC 공진부 11: 제11 공진부

- 12: 제12 공진부 20: 제2 LC 공진부
 21: 제21 공진부 22: 제22 공진부
 30: 제3 LC 공진부 31: 제31 공진부
 32: 제32 공진부 40, 41, 42: 부하
 100: T형 이중 대역 정합 회로 101: 제1 T형 단일 대역 정합 회로
 102: 제2 T형 단일 대역 정합 회로

도면

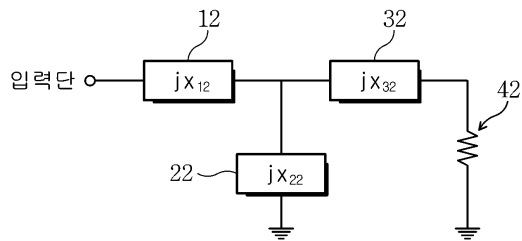
도면1

101



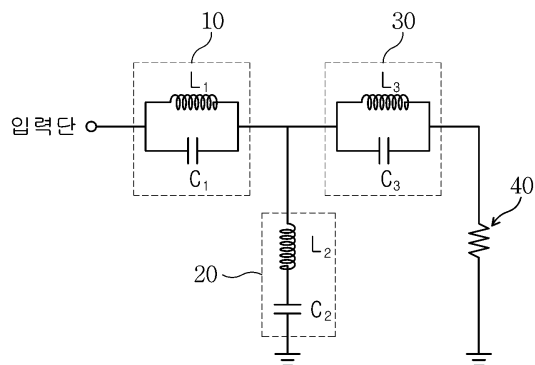
도면2

102

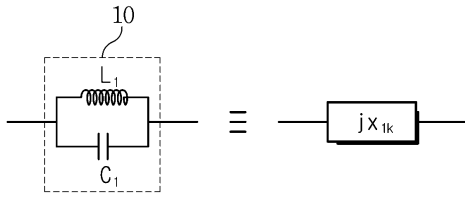


도면3

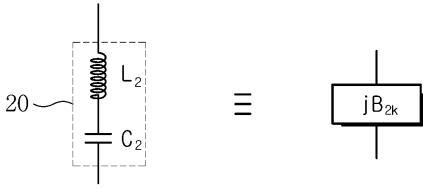
100



도면4



도면5



도면6

