



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2017년04월11일  
(11) 등록번호 10-1725476  
(24) 등록일자 2017년04월05일

(51) 국제특허분류(Int. Cl.)  
H02M 7/155 (2006.01) H02J 17/00 (2006.01)  
H02M 1/12 (2006.01)  
(52) CPC특허분류  
H02M 7/155 (2013.01)  
H02J 17/00 (2013.01)  
(21) 출원번호 10-2015-0153975  
(22) 출원일자 2015년11월03일  
심사청구일자 2015년11월03일  
(56) 선행기술조사문헌  
KR101238686 B1  
논문1  
논문2

(73) 특허권자  
전북대학교산학협력단  
전라북도 전주시 덕진구 백제대로 567 (덕진동1가)  
주식회사 라인인포  
전라북도 전주시 덕진구 전주천동로 422 (진북동)  
(72) 발명자  
서암석  
전라북도 전주시 완산구 신촌3길 1, 102동 1701호 (중화산동2가, 우성중산타운)  
정용채  
전북 전주시 완산구 홍산로 390, 106동 303호 (효자동3가, 서부신시가지아이파크아파트)  
(74) 대리인  
특허법인 참좋은

전체 청구항 수 : 총 4 항

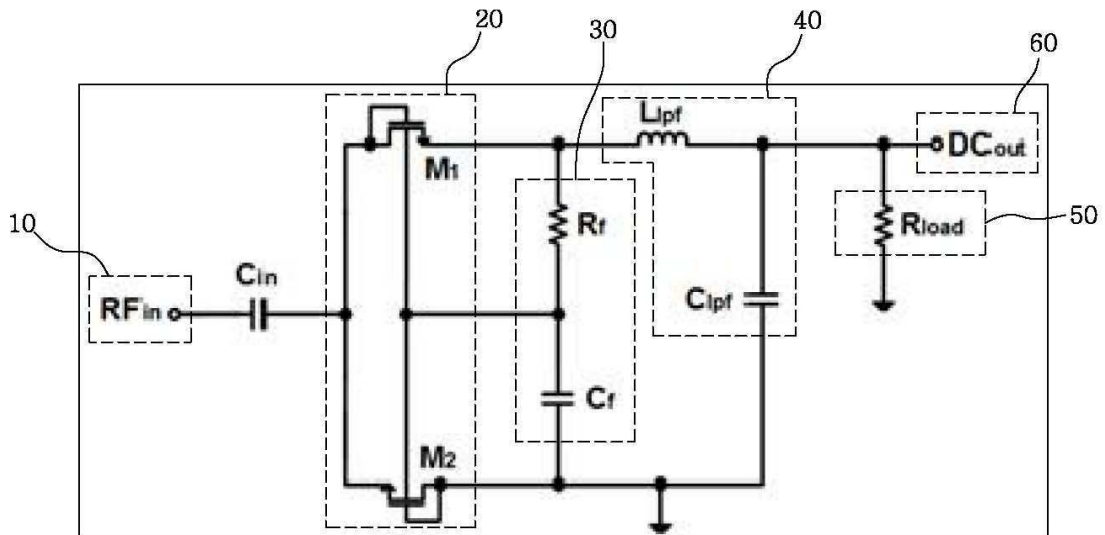
심사관 : 최창락

(54) 발명의 명칭 알에프 에너지 수확을 위한 정류기

(57) 요약

본 발명은 RF(주파수) 신호를 DC(직류)전압으로 정류할 수 있는 정류기에 관한 것으로, 더욱 구체적으로는 부궤환 회로를 통해 씨모스(CMOS) 금속 산화막 반도체 전계 효과 트랜지스터에서 발생하는 문턱전압(Threshold Voltage)에 의한 손실을 절감하여 정류의 효율을 증가시킬 수 있는 정류회로를 포함하는, 알에프 에너지 수확을 위한 정류기에 관한 것이다.

대표도 - 도1



(52) CPC특허분류

*H02M 1/126* (2013.01)

*H02M 2001/0003* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

RF 신호를 DC전압으로 정류하는 정류회로를 포함하는 정류기에 있어서,

상기 정류회로는,

RF신호를 수신하는 수신부(10);

상기 수신부(10)의 다음 단계 복수 개의 소자의 교차 동작에 의해 수신된 RF신호를 DC전압으로 변환하는 DC전압 변환부(20);

상기 DC전압변환부(20)에서 변환된 DC전압을 부궤환시키는 부궤환부(30);

상기 부궤환부(30)를 통해 부궤환된 DC전압과 상기 DC전압변환부(20)에서 발생하는 고조파 성분을 차단하는 저역통과여과부(40);

상기 저역통과여과부(40)의 다음 단계 위치되어 기설정된 부하 저항값을 갖는 부하저항부(50); 및

상기 부하저항부(50)의 다음 단계 위치되어 상기 저역통과여과부(40)를 통과한 DC전압을 출력하는 전압출력부(60);를 포함하고,

상기 DC전압변환부(20)는,

MOSFET으로 구성되는 M1 바디 및 M2 바디로 구성되되, 상기 M1과 M2의 너비는 목표 입력전력에서 최대 출력 DC 전압을 획득하도록 M1 바디의 너비가 M2 바디의 너비보다 크도록 하며,

문턱전압을 표현하는 아래 수식에 대해,

$V_{SB}$ 가  $-2\Phi_F$  일 때 가장 작은 문턱전압을 갖는 것을 특징으로 하는, 알에프 에너지 수확을 위한 정류기.

$$V_{TH} = V_{TH0} + \gamma (\sqrt{|2\Phi_F + V_{SB}|} - \sqrt{|2\Phi_F|})$$

(단,  $V_{TH0}$  = 초기문턱전압,  $\gamma$  = 바디효과계수,  $\Phi_F$  = 실리콘 기판 표면의 전위,  $V_{SB}$  = 모스펫의 소스와 바디의 전위차를 나타냄.)

#### 청구항 2

삭제

#### 청구항 3

청구항 1에 있어서,

상기 부궤환부(30)는,

DC전압변환부(20)를 구성하는 MOSFET M1 바디에서 출력된 DC전압을 기반으로 0dBm의 입력전력을 상기 M1 바디에 재인가하여 부궤환시킬 수 있는 수단; 및

M2 바디에서 출력된 DC전압을 기반으로 0dBm의 입력전력을 상기 M2 바디에 재인가하여 부궤환시킬 수 있는 수단;을 포함하여 구성되는 것을 특징으로 하는, 알에프 에너지 수확을 위한 정류기.

#### 청구항 4

청구항 1에 있어서,

상기 저역통과여파부(40)는,

부궤환되어 M1 바디를 통해 출력된 DC전압과 M1 바디에서 발생하는 고조파 성분을 차단할 수 있는 수단; 및

부궤환되어 M2 바디를 통해 출력된 DC전압과 M2 바디에서 발생하는 고조파 성분을 차단할 수 있는 수단;을 포함하여 구성되는 것을 특징으로 하는, 알에프 에너지 수확을 위한 정류기.

**청구항 5**

청구항 1에 있어서,

상기 부하저항부(50)가 갖는 기설정된 부하 저항값은,

전압출력부(60)에서 획득되는 전력이 최적화되도록 하는 것을 갖는 것을 특징으로 하는, 알에프 에너지 수확을 위한 정류기.

**청구항 6**

삭제

**발명의 설명**

**기술 분야**

[0001] 본 발명은 RF(주파수) 신호를 DC(직류)전압으로 정류할 수 있는 정류기에 관한 것으로, 더욱 구체적으로는 부궤환 회로를 통해 씨모스(CMOS) 금속 산화막 반도체 전계 효과 트랜지스터(이하, 'MOSFET(모스펫)'으로 지칭)에서 발생하는 문턱전압(Threshold Voltage)에 의한 손실을 절감하여 정류의 효율을 증가시킬 수 있는 정류회로를 포함하는, 알에프 에너지 수확을 위한 정류기에 관한 것이다.

[0002] 본 발명에서 상기 정류회로는 RF신호를 수신하는 수신부(10); 수신부(10)의 다음 단계 복수 개의 소자의 교차 동작에 의해 수신된 RF신호를 DC전압으로 변환하는 DC전압변환부(20); DC전압변환부(20)에서 변환된 DC전압을 부궤환(feedback)시키는 부궤환부(30); 부궤환부(30)를 통해 부궤환된 DC전압과 DC전압변환부(20)에서 발생하는 고조파 성분을 차단하는 저역통과여파부(40); 저역통과여파부(40)의 다음 단계 위치되어 기설정된 부하 저항값을 갖는 부하저항부(50); 및 부하저항부(50)의 다음 단계 위치되어 저역통과여파부(40)를 통과한 DC전압을 출력하는 전압출력부(60);를 포함하는 것을 기술적 특징으로 한다.

**배경 기술**

[0004] 일반적으로 정류기(rectifier, 整流器)는, 주기적으로 양과 음 두 가지 방향으로 변화하는 교류전류를 단일 방향만 갖는 직류전류로 변환시키는 소자나 장치이다.

[0005] 이러한 정류기는 정류작용이 일어나는 원리에 따라, (a)실리콘(sillicon), 셀렌(Se), 아산화구리 등에서와 같이 반도체와 금속, 또는 두 종류의 반도체의 접합 부근에서 일어나는 정류기구를 이용한 반도체정류기, (b)양극에서 음극으로 흐르는 일방적인 전류만을 얻을 수 있는 전자관정류기 및 (c)교류전원의 주기에 동기화시켜 개폐하거나 회전하는 접촉자를 사용하여 정류의 목적을 달성하는 기계적 정류기 등이 있다.

[0007] 위와 같은 정류기는 1984년 미국의 NEW MAR사에서 개발하여 지속적인 진화를 거듭해왔으며, 최근에는 무선 주파수(RF, Radio Frequency, 이하 'RF신호'로 지칭)를 통해 소정의 정보를 송수신하는 기술이 개발됨에 따라, 수신된 주파수를 전력으로 정류시키기 위한 정류기까지 진화하면서, 이에 대한 연구가 지속되고 있다.

[0009] 주파수를 전력으로 정류하기 위한 기술에 관련하여 공개특허공보 특2000-0030325호에 무선주파수를 DC전압으로 변환하여 배터리를 충전하는 구성회로가 기재되어 있다.

[0010] 위에 기재된 기술은 무선주파수를 안테나를 통해 수신한 다음 이 수신된 고주파를 검파 다이오드로 검파하여 DC전압으로 변환시킨 후 배터리가 요구하는 충전 전압으로 승압하여 배터리를 충전하는 것을 기재하고 있다.

[0012] 위에 기재된 기술과 같이 주파수를 DC전압으로 변환하기 위하여 각종 다이오드 구성을 적용하고 있는데, 특히

근래에는 전압 변환의 효율을 증진시키고자 문턱전압을 낮출 수 있는 쇼트키 다이오드를 사용하고 있다.

[0013] 또 최근에는 정류회로에 소요되는 소비전력을 절감하고, 고속동작이 가능하게 하며, 잡음제거율이 우수한 정류기를 설계하기 위하여 씨모스(CMOS) 기술을 적용하여 주파수를 집적할 수 있도록 하고 있는데, 이 경우 쇼트키 다이오드를 적용하는 것은 제조단가가 증가되는 문제점과 공정 기술이 용이하지 못한 문제점이 있어 쇼트키 다이오드의 사용이 제한된다.

[0014] 이에 따라 정류기를 구현하는데 있어서 문턱전압을 낮출 수 없기 때문에 변환 효율이 저하되는 문제점이 있다.

[0016] 따라서 씨모스 기술을 적용하여 주파수를 집적할 수 있으면서, 문턱전압을 낮출 수 있는 기술의 연구개발이 필요하다 할 수 있으며, 이에 따라 본 발명에서는 상기한 연구개발의 목적 달성을 위해 부궤환 기술을 적용하여 바다 효과를 증진시킬 수 있는 정류기를 개발하고자 한다.

## 선행기술문헌

### 특허문헌

[0018] (특허문헌 0001) 공개특허공보 특2000-0030325(2000.06.05.)

## 발명의 내용

### 해결하려는 과제

[0019] 본 발명에서 달성하고자 하는 목적은, RF(주파수) 신호를 DC(직류)전압으로 정류할 수 있는 정류기에 관한 것으로, 더욱 구체적으로는 부궤환 회로를 통해 씨모스 MOSFET에서 발생하는 문턱전압(Threshold Voltage)에 의한 손실을 절감하여 정류의 효율을 증가시킬 수 있는 정류회로를 포함하는, 알에프 에너지 수확을 위한 정류기를 제공하는데 있다.

### 과제의 해결 수단

[0021] 위와 같은 목적을 달성하기 위한 본 발명에 따른 알에프 에너지 수확을 위한 정류기는, RF 신호를 DC전압으로 정류하는 정류회로를 포함하는 정류기에 관한 것으로 이 정류회로는, RF신호를 수신하는 수신부(10); 상기 수신부(10)의 다음 단계 복수 개로 위치되고, 복수 개의 교차 동작에 의해 수신된 RF신호를 DC전압으로 변환하는 DC전압변환부(20); 상기 DC전압변환부(20)에서 변환된 DC전압을 부궤환시키는 부궤환부(30); 상기 부궤환부(30)를 통해 부궤환된 DC전압과 상기 DC전압변환부(20)에서 발생하는 고조파 성분을 차단하는 저역통과여파부(40); 상기 저역통과여파부(40)의 다음 단계 위치되어 기설정된 부하 저항값을 갖는 부하저항부(50); 및 상기 부하저항부(50)의 다음 단계 위치되어 상기 저역통과여파부(40)를 통과한 DC전압을 출력하는 전압출력부(60);를 포함하는 것을 기술적 특징으로 한다.

### 발명의 효과

[0023] 본 발명에 따른 알에프 에너지 수확을 위한 정류기를 이용함으로써, 2.44GHz의 RF신호를 수신할 수 있는 정류기를 구현하는데 있어서, 부궤환 기법을 통해 쇼트키 다이오드를 활용하지 않고도 문턱전압에 의한 손실을 절감시킬 수 있는 효과를 보유한다.

[0024] 즉, 본 발명에 의하면 0dBm의 입력전력에서 변환효율을 30%까지 확보할 수 있는 이점이 있다.

### 도면의 간단한 설명

[0026] 도 1은 본 발명에 따른 알에프 에너지 수확을 위한 정류기의 회로구성을 나타낸 것이다.

도 2는 본 발명에 따른 알에프 에너지 수확을 위한 정류기에서 DC전압변환부를 구성하는 씨모스 MOSFET의 너비에 따른 에너지 변환 효율에 대한 시뮬레이션 결과를 나타낸 것이다.

도 3은 본 발명에 따른 알에프 에너지 수확을 위한 정류기에서 저역통과여파부의 유무에 따라 나타나는 주파수 스펙트럼을 나타낸 것이다.

도 4는 본 발명에 따른 알에프 에너지 수확을 위한 정류기에서 부하 저항값에 따른 에너지 변환 효율을 나타낸

것이다.

도 5는 본 발명에 따른 알에프 에너지 수확을 위한 정류기를 통해 측정된 DC전압의 출력을 나타낸 것이다.

도 6은 본 발명에 따른 알에프 에너지 수확을 위한 정류기에서 입력전류별 변환 효율에 대한 측정 결과를 나타낸 것이다.

**발명을 실시하기 위한 구체적인 내용**

- [0027] 본 명세서 및 청구범위에 사용된 용어나 단어는 통상적이거나 사전적인 의미로 한정해서 해석되어서는 안되며, 발명자는 그 자신의 발명을 가장 최선의 방법으로 설명하기 위해 용어의 개념을 적절하게 정의할 수 있다는 원칙에 입각하여 본 발명의 기술적 사상에 부합하는 의미와 개념으로 해석되어야만 한다.
- [0029] 따라서 본 명세서에 기재된 실시 예와 도면에 도시된 구성은 본 발명의 가장 바람직한 실시 예에 불과할 뿐이고 본 발명의 기술적 사상을 모두 대변하는 것은 아니므로, 본 출원시점에 있어서 이들을 대체할 수 있는 다양한 균등물과 변형 예들이 있을 수 있음을 이해하여야 한다.
- [0031] 이하, 도면을 참조하여 설명하기에 앞서, 본 발명의 요지를 드러내기 위해서 필요하지 않은 사항 즉 통상의 지식을 가진 당업자가 자명하게 부가할 수 있는 공지 구성에 대해서는 도시하지 않거나, 구체적으로 기술하지 않았음을 밝혀둔다.
- [0033] 본 발명은 RF(주파수) 신호를 DC(직류)전압으로 정류할 수 있는 정류기에 관한 것으로, 더욱 구체적으로는 부궤환 회로를 통해 씨모스(CMOS) MOSFET에서 발생하는 문턱전압(Threshold Voltage)에 의한 손실을 절감하여 정류의 효율을 증가시킬 수 있는 정류회로를 포함하는, 알에프 에너지 수확을 위한 정류기에 관한 것이다.
- [0034] 본 발명에 따른 정류기는 동부 하이텍 RF CMOS 0.11 $\mu$ m 공정을 이용하여 설계된 것으로, 2.44GHz의 동작 RF신호를 갖고, 0dBm(decibels above 1 milliwatt)의 입력전력에서 30%의 변환 효율을 갖으며, 출력 전압은 0.7V가 되도록 설계된다.
- [0035] 또한 본 발명은 칩으로 구성되며 그 크기가 780 x 640 $\mu$ m<sup>2</sup>으로 구성될 수 있다. 이러한 정류기의 회로를 설계하는데 이용된 시뮬레이션 및 레이아웃 프로그램은 Cadence사의 Spectre 및 Virtuoso 프로그램을 이용하였다.
- [0037] 설명에 앞서, 상술된 정류회로는 CMOS(Complementary Metal-Oxide Semiconductor, 씨모스) 공정으로 설계될 수 있는데, 이는 p채널의 MOS 트랜지스터와 n채널의 MOS 트랜지스터가 서로 절연하여 동일한 칩에서 상보적으로 동작하도록 하는 것으로, 소비전력은  $\mu$ W 정도이고, 동작은 고속이 가능하며, 잡음 배제성이 좋은 것으로 알려져있다.
- [0038] 또한, 일반적인 RF신호 정류 회로에서는 문턱전압이 낮은 쇼트키 다이오드를 적용하고 있지만, 상술된 씨모스 공정을 이용하는 정류 회로에서는 제조 단가 및 공정 기술의 문제로 쇼트키 다이오드의 사용이 제한된다.
- [0039] 따라서, 쇼트키 다이오드를 사용하지 않으면서 문턱전압에 의한 손실을 절감할 수 있도록 해야 하는데, 본 발명에서는 RF신호로부터 변환된 직류 전압을 부궤환하여 MOSFET 바디에 인가하는 바디 바이어스 부궤환 회로 기법을 적용하여 바디 바이어스를 통해 문턱전압에 의한 손실을 절감하고자 한다.
- [0041] 먼저, 아래 [수학식 1]은 통상의 CMOS 공정에서 바디 효과에 따른 MOSFET 문턱전압을 표현하기 위한 수식이다.
- [0042] 여기서, 바디 효과는 본 명세서에서 바디 바이어스라고도 지칭될 수 있으며, 이는 MOSFET 바디(M1, M2)의 최적화된 너비에 따라 문턱전압이 절감되는 효과를 의미한다.

**수학식 1**

[0044] 
$$V_{TH} = V_{TH0} + \gamma(\sqrt{|2\Phi_F + V_{SB}|} - \sqrt{|2\Phi_F|})$$

[0046] 위 [수학식 1]에서  $V_{TH0}$ ,  $r$ ,  $\Phi_F$ ,  $V_{SB}$ 는 각각 전위차가 0V일 때의 초기문턱전압, 바디효과계수, 실리콘 기판 표면의 전위, MOSFET의 소스와 바디의 전위차를 나타낸다.

[0047] 이때  $V_{TH0}$ ,  $r$ ,  $\Phi_F$ 는 제조 공정상에서 전해지는 값으로서, 실리콘 기판의 도핑 농도 및 공핍 영역의 전하량, 실리

큰 기관의 일함수 등에 의해 결정되는 값이기 때문에 임의로 변경될 수 없다.

[0048] 다만, 소스와 바디의 전위차인  $V_{SB}$ 를 통해서 회로 설계시 MOS펫의 문턱전압을 임의로 조절할 수 있다.

[0050] 이에 앞서, 고정값인  $\Phi_F$ 와 임의로 조정 가능한  $V_{SB}$ 의 문턱전압의 표현식을 살펴보면 아래 [수학식 2]와 같다.

**수학식 2**

[0052] 
$$V_{TH} = V_{TH0}, V_{SB} = 0$$

[0053] 
$$V_{TH} = V_{TH0} - \gamma \cdot \alpha, -2\Phi_F \leq V_{SB} < 0, \alpha \approx 0 \sim \sqrt{|2\Phi_F|}$$
 사이의 값

[0054] 
$$V_{TH} = V_{TH0} + \gamma \cdot \beta, V_{SB} < -2\Phi_F \text{ or } V_{SB} > 0, \beta \neq 0$$

[0056] 위의 [수학식 2]를 참조하면,  $V_{SB}$ 가  $-2\Phi_F \leq V_{SB} < 0$  인 범주 내에 있을 때 문턱전압  $V_{TH}$ 는 일반적인 MOS펫의 문턱전압  $V_{TH0}$  보다 작은 값을 갖음을 알 수 있었고, 특히 아래 [수학식 3]과 같이  $V_{SB}$ 가  $-2\Phi_F$  일 때 최소 값을 갖는 것을 알 수 있었다.

**수학식 3**

[0058] 
$$V_{TH} = V_{TH0} - \gamma \sqrt{|2\Phi_F|}$$

[0060] 상술된 수학식을 통해 문턱전압을 절감함으로써, 전압의 변환 효율을 증진시킬 수 있는 본 발명에 따른 알에프 에너지 수확을 위한 정류기는, 수신부(10), DC전압변환부(20), 부궤환부(30), 지역통과여과부(40), 부하저항부(50) 및 전압출력부(60)를 포함하여 구성될 수 있는데, 바람직하게는 첨부된 도면의 도 1과 같이 Villard 배전압 구조의 회로로 구현될 수 있다.

[0062] 도 1은 본 발명에 따른 알에프 에너지 수확을 위한 정류기의 회로구성을 나타낸 것이다.

[0064] 수신부(10)는 회로의 일단에서 2.44GHz 영역의 RF신호를 수신할 수 있다. 이러한 수신부(10)는 전송선로 및 높은 Q-지수를 갖는 칩(chip) 커패시터를 이용하여 구성될 수 있으며, 2.44GHz의 RF신호에서 높은 반사 특성을 갖도록 한다.

[0066] DC전압변환부(20)는 수신부(10)의 다음 단계에 위치하는 MOSFET 소자의 형태로 구성될 수 있다.

[0067] 이때 MOSFET이란, 금속 산화막 반도체 전계효과 트랜지스터(MOS, field-effect transistor)의 준말로서, DC전압변환부(20)의 교차동작에 의해 수신된 RF신호가 DC전압으로 변환되도록 한다.

[0069] 그리고 DC전압변환부(20)는 도 1과 같이 M1 바디 및 M2 바디로 구성할 수 있는데, 이때 변환된 DC전압은 후술될 부궤환부(30)를 통해 M1 바디 및 M2 바디로 분류되어 인가된다.

[0070] 여기서 M1 바디 및 M2 바디로 인가된 DC전압은 전위차가 발생되는데, 상기 [수학식 2]에 따라 선택된 0dBm의 입력전력에서 문턱전압을 낮춤으로 손실을 최소화하여 변환 효율을 높일 수 있도록 한다.

[0072] 이때 DC전압변환부(20)는 입력전력이 0dBm보다 너무 낮거나 높아지지 않도록 각각의 M1 바디 및 M2 바디의 너비(width)가 최적화될 필요가 있는데, 본 발명에서는 M1 바디의 너비를  $50\mu\text{m}$ 로 하고, M2 바디의 너비를  $30\mu\text{m}$ 로 한다.

[0073] 이에 대한 근거로서, 첨부된 도면의 도 2를 참조할 수 있는데, 도 2는 본 발명에 따른 알에프 에너지 수확을 위한 정류기에서 DC전압변환부의 너비에 따른 에너지 변환 효율에 대한 시뮬레이션 결과를 나타낸 것이다.

[0075] 도 2를 참조하면, M1 바디의 너비가  $50\mu\text{m}$ 이고, M2 바디의 너비가  $30\mu\text{m}$ 인 경우가 0dBm의 입력전력에서 40%를 초과하는 변환 효율을 보임으로써 다른 경우보다 높은 효율을 보이고 있다.

[0077] 부궤환부(30)는 DC전압변환부(20)를 통해 변환되어 출력되는 DC전압(출력전압)을 부궤환하여 다시 M1 바디 및

M2 바디를 포함하는 DC전압변환부(20)로 DC전압을 인가하도록 하는 것으로, 도 1에서는 Rf 및 Cf로 도시되어 있다.

- [0078] 여기서, Rf는 M1 바디로부터 출력된 DC전압을 M1 바디로 재인가하는 기능을 수행하는 수단이며, Cf는 M2 바디로부터 출력된 DC전압을 M2 바디로 재인가하는 기능을 수행하는 수단이다.
- [0079] 이때 M1 바디 및 M2 바디에 인가된 DC전압 간의 전위차가 발생할 수 있는데, 위와 같이 M1 바디 및 M2 바디의 너비를 각각 50 $\mu$ m 및 30 $\mu$ m로 결정함에 따라 상술된 수학적 근거하여 결정된 0dBm의 입력전력에서는 문턱전력이 절감되어 손실이 최소화될 수 있도록 한다.
- [0081] 저역통과여과부(40)는 부궤환되어 다시 출력된 직류 전압과 DC전압변환부(20)에서 발생하는 고조파 성분들을 차단하는 기능을 수행할 수 있다.
- [0082] 이러한 저역통과여과부(40)는 부궤환되어 M1 바디로부터 출력된 DC전압과 M1 바디에서 발생하는 고조파 성분을 차단하는 수단(L<sub>lpf</sub>) 및 부궤환되어 M2 바디로부터 출력된 DC전압과 M2 바디에서 발생하는 고조파 성분을 차단하는 수단(C<sub>lpf</sub>)으로 구성될 수 있다.
- [0083] 이와 같은 저역통과여과부(40)는 첨부된 도면의 도 3에서 볼 수 있듯이, M1 바디 및 M2 바디로부터 부궤환되어 다시 출력된 DC전압이 평탄화되어, 저역통과여과부(40)가 구비되지 않았을 때보다 상대적으로 선형에 가까운 스펙트럼을 보이고 있다.
- [0084] 도 3은 본 발명에 따른 알에프 에너지 수확을 위한 정류기에서 저역 통과 여과기의 유무에 따라 나타나는 주파수 스펙트럼을 나타낸 것이다.
- [0086] 한편, 상기와 같이 씨모스 공정을 이용하는 정류기를 구현하는데 있어서, 전력의 변환 효율은 DC전압변환부(20)를 구성하는 MOSFET M1과 M2의 너비 비율 또는 부하 저항의 값이 큰 영향을 미친다.
- [0087] 그러나 앞에서 언급한 바와 같이 DC전압변환부(20)를 구성하는 MOSFET의 M1과 M2의 너비는 본 발명에서 설정한 0dBm의 입력전력에 대해 상술된 수학적 근거를 바탕으로 최적화되었으므로, 부하 저항 값이 최적화될 수 있어야 한다.
- [0088] 이를 위해 저역통과여과부(40)의 다음 단계 부하저항부(50)를 구성하는데, 이때 부하저항부(50)에 걸리는 부하 저항값을 설정하기 위해 첨부된 도면의 도 4를 첨부한다.
- [0090] 도 4는 본 발명에 따른 알에프 에너지 수확을 위한 정류기에서 부하 저항값에 따른 에너지 변환 효율을 나타낸 것이다.
- [0091] 첨부된 도면의 도 4에 따르면, 부하 저항값이 클수록 작은 입력전력에서 에너지 변환효율이 높은 것으로 나타나는데, 이러한 효율은 입력전력이 높아질 수록 점점 감소하는 것으로 나타났다.
- [0092] 그리고 본 발명에서 목표전력으로 하는 0dBm의 입력전력에서는 4k $\Omega$  또는 8k $\Omega$ 이 35% 이상의 변환효율을 나타내어 부하저항부(50)의 부하 저항값으로 적당함을 나타냈다.
- [0094] 전압출력부(60)는 변환된 DC전압을 출력하는 기능을 수행하는 것으로, 목표 입력전력인 0dBm에서 0.7V의 DC전압을 출력할 수 있다.
- [0095] 이는 첨부된 도면의 도 5를 참조할 수 있는데, 도 5는 본 발명에 따른 알에프 에너지 수확을 위한 정류기를 통해 측정된 DC전압의 출력을 나타낸 것이다.
- [0097] 이상과 같이 구성되는 본 발명에서 입력전력을 0dBm으로 설정한 것에 대한 근거를 살펴보기 위해 첨부된 도면의 도 6을 참조한다.
- [0098] 도 6은 본 발명에 따른 알에프 에너지 수확을 위한 정류기에서 입력전류별 변환 효율에 대한 측정 결과를 나타낸 것이다.
- [0100] 첨부된 도면의 도 6은 설계된 회로(도 1 참조)의 레이아웃에 대해 DC전압변환부의 이동도 변화 결과를 예측할 수 있는 시뮬레이션을 나타내고 있는데, 이에 따르면 -4 내지 5dBm의 입력전력에 대해 30% 이상의 변환효율을 갖으며, 이 범주 내의 입력전력에서는 DC전압변환부의 이동도가 주어진 대표 값(Typical)보다 빠른(Fast) 형상을 보이고 있다.
- [0101] 그리고 이 중에서 0dBm의 입력전력 근처에서 변환효율이 가장 높은 것으로 나타나고 있으며, 이보다 너무 작은



입력전력에서는 변환효율이 감소하고 있으며, 큰 입력전력에서는 대표 값을 초과하고 있다.

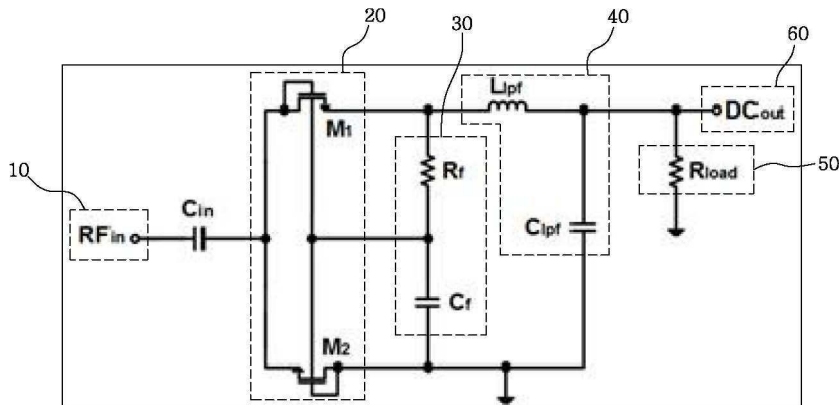
[0103] 한편, 상기에서 도 1 내지 도 6을 이용하여 서술한 것은, 본 발명의 주요 사항만을 서술한 것으로, 그 기술적 범위 내에서 다양한 설계가 가능한 만큼, 본 발명이 도 1 내지 도 6의 구성에 한정되는 것이 아님은 자명하다.

**부호의 설명**

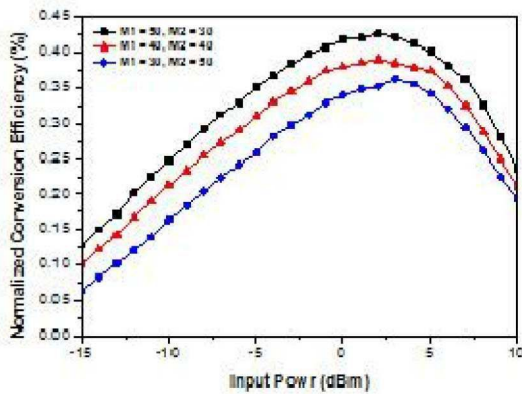
- [0105] 10 : 수신부
- 20 : DC전압변환부
- 30 : 부궤환부
- 40 : 저역통과여과부
- 50 : 부하저항부
- 60 : 전압출력부

**도면**

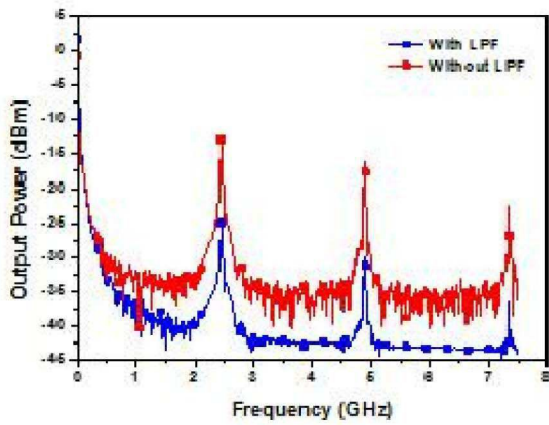
**도면1**



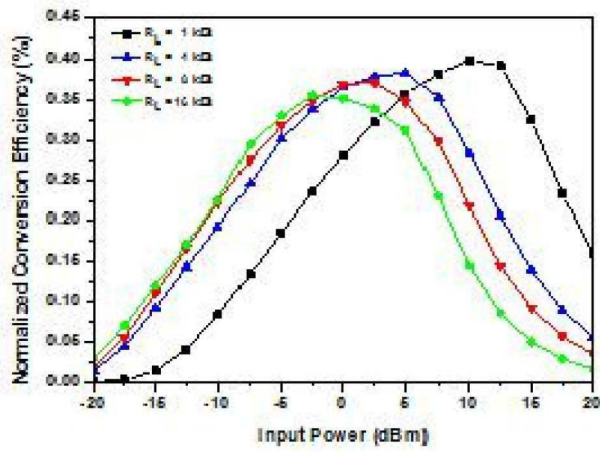
**도면2**



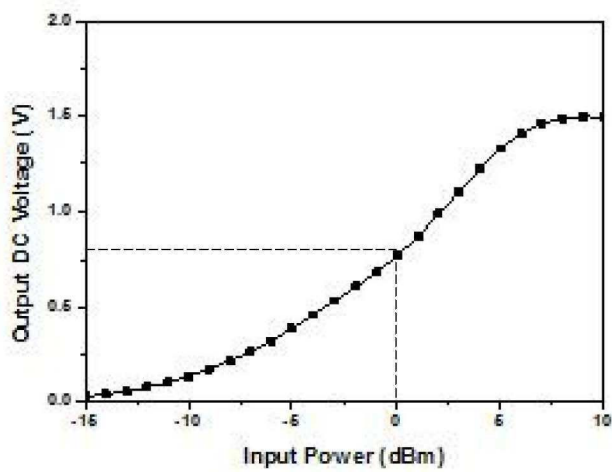
도면3



도면4



도면5



도면6

