



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년10월21일
(11) 등록번호 10-2010010
(24) 등록일자 2019년08월06일

(51) 국제특허분류(Int. Cl.)

H03F 1/32 (2006.01)

(52) CPC특허분류

H03F 1/3229 (2013.01)

H03F 2201/3218 (2013.01)

(21) 출원번호 10-2018-0009866

(22) 출원일자 2018년01월26일

심사청구일자 2018년01월26일

(65) 공개번호 10-2019-0090989

(43) 공개일자 2019년08월05일

(56) 선행기술조사문헌

H. Choi 외, "Efficiency Enhancement of Feedforward Amplifiers by Employing a Negative Group-Delay Circuit," IEEE Transactions on Microwave Theory and Techniques, vol. 58, no. 5, 2010. 05.*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

전북대학교산학협력단

전라북도 전주시 덕진구 백제대로 567 (덕진동1가)

(72) 발명자

정용채

전라북도 전주시 완산구 우전로 180, 702동 1101호 (LH 세븐 팰리스)

(74) 대리인

이재훈

전체 청구항 수 : 총 5 항

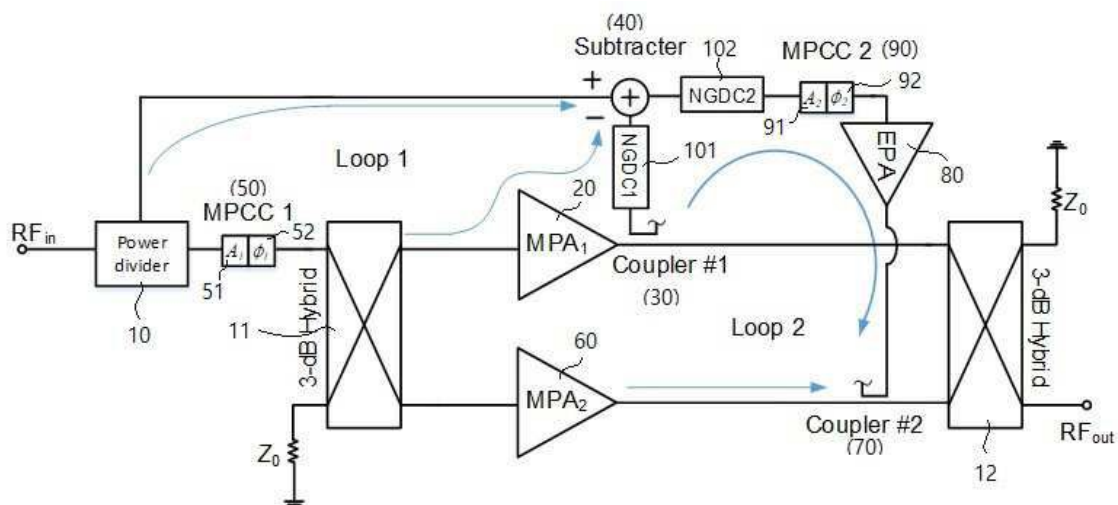
심사관 : 신우열

(54) 발명의 명칭 음의 군지연 회로를 이용한 교차 상쇄 선형 전력증폭기

(57) 요약

본 발명은 음의 군지연 회로를 이용한 교차 상쇄 선형 전력증폭기에 관한 것으로서, 보다 상세하게는 본 발명은 입력 신호의 일부가 전력분배기에서 추출되고, MPA₁ 출력 신호의 일부가 분배기1에서 추출되고, 추출된 두 신호들은 상쇄기를 이용해 신호 상쇄가 이루어지고, 입력 신호의 상쇄를 통한 왜곡 신호의 추출을 위해 입력 신호의 진폭, 역위상, 및 군지연 시간의 정합이 동시에 이루어지도록 신호의 진폭 및 위상 제어 회로로 가변 감쇄기, 및 가변 위상변환기와 NGDC 1이 사용되는 루프 1(Loop 1);과 추출된 왜곡 신호를 MPA₂의 출력 단에 분배기 2로 삽입하고, 신호의 증폭을 위한 오차 전력증폭기를 포함하며, 왜곡 신호의 상쇄를 위해 추출 왜곡 신호의 진폭, 역위상, 및 군지연 시간의 정합을 위해 MPCC 2로 사용되는 가변 감쇄기, 및 가변 위상변환기와 NGDC 2가 사용되는 루프 2(Loop 2);로 이루어진 음의 군지연 회로를 이용한 교차 상쇄 선형 전력증폭기에 관한 것이다.

대표도 - 도2



명세서

청구범위

청구항 1

입력 신호의 일부가 전력분배기에서 추출되고, MPA₁ 출력 신호의 일부가 분배기1에서 추출되고, 추출된 두 신호들은 상쇄기를 이용해 신호 상쇄가 이루어지고, 입력 신호의 상쇄를 통한 왜곡 신호의 추출을 위해 입력 신호의 진폭, 역위상, 및 균지연 시간의 정합이 동시에 이루어지도록 신호의 제1 진폭 및 위상 제어 회로(MPCC1)로 가변 감쇄기와 가변 위상변환기가 사용되는 루프 1(Loop 1); 및

추출된 왜곡 신호를 MPA₂의 출력 단에 분배기 2로 삽입하고, 왜곡 신호의 증폭을 위한 오차 전력증폭기를 포함하며,

왜곡 신호의 상쇄를 위해 추출 왜곡 신호의 진폭, 역위상, 및 균지연 시간의 정합을 위해 제2 진폭 및 위상 제어 회로(MPCC 2)로 사용되는 가변 감쇄기와 가변 위상변환기가 사용되는 루프 2(Loop 2);로 이루어진 음의 균지연 회로를 이용한 교차 상쇄 선형 전력증폭기에 있어서,

상기 루프 1의 RF_{in} 에서 MPA₁을 거쳐 상쇄기로 전달되는데 걸리는 양의 균지연 시간을 상쇄하는 NGDC 1;

상기 MPA₁의 출력 단에서 추출되어 MPA₂의 출력 단으로 인입되는데 걸리는 균지연 시간을 소거하기 위해, 루프 2의 오차 전력증폭기에서 발생하는 양의 균지연을 상쇄하는 NGDC 2;

를 포함하는 음의 균지연 회로를 이용한 교차 상쇄 선형 전력증폭기.

청구항 2

제1항에 있어서,

상기 음의 균지연 회로를 이용한 교차 상쇄 선형 전력증폭기의 출력전력(P_{CCLPA_NGDC})은 아래 수학적 식 1인 것을 특징으로 하는 음의 균지연 회로를 이용한 교차 상쇄 선형 전력증폭기.

[수학적 식 1]

$$P_{CCLPA_NGDC} [dBm] = P_{conventional_CCLPA} [dBm] + I.L_{delay_line2} [dB]$$

(P_{conventional_CCLPA}와 I.L_{delay_line2}는 각각 종전 CCLPA(도 1)의 출력 전력과 균지연 선로 2(도 1의 Delay line 2)의 삽입 손실이다.)

청구항 3

제1항에 있어서,

상기 루프 1, 2에서 MPCC 1, 2는 신호의 진폭 및 위상을 제어하기 위해 삽입하는 것을 특징으로 하는 음의 균지연 회로를 이용한 교차 상쇄 선형 전력증폭기.

청구항 4

제3항에 있어서,

상기 MPCC들을 루프 1, 2를 구성하는 두 경로의 신호 진폭과 역위상 정합을 위해 전력분배기 출력단에 결합되는 가변 감쇄기1과 가변 위상변환기1과, 상기 NGDC 2와 오차 전력증폭기 사이에 결합되는 가변 감쇄기2와 가변 위상변환기2를 위치시키되, 분배기1과 상쇄기 사이에 NGDC 1을, 상쇄기와 진폭 및 위상제어 회로 2 사이에 NGDC 2를 포함하는 음의 균지연 회로를 이용한 교차 상쇄 선형 전력증폭기.

청구항 5

제1항 또는 제4항에 있어서,

상기 루프 1, 2에 대역통과 회로(BPF)를 사용하여 대역 외 신호를 제거하는 것을 특징으로 하는 음의 군지연 회로를 이용한 교차 상쇄 선형 전력증폭기.

발명의 설명

기술 분야

[0001] 본 발명은 음의 군지연 회로를 이용한 교차 상쇄 선형 전력증폭기에 관한 것으로서, 보다 상세하게는 본 발명은 입력 신호의 일부가 전력분배기(power divider)에서 추출되고, MPA₁ 출력 신호의 일부가 분배기1(coupler #1)에서 추출되고, 추출된 두 신호들은 상쇄기(subtractor)를 이용해 신호 상쇄가 이루어지고, 입력 신호의 상쇄를 통한 왜곡 신호의 추출을 위해 입력 신호의 진폭, 역위상, 및 군지연 시간의 정합이 동시에 이루어지도록 신호의 진폭 및 위상 제어 회로로 MPCC 1의 가변 감쇄기와 가변 위상변환기가 사용되는 루프 1(Loop 1);과 추출된 왜곡 신호를 MPA₂의 출력 단의 분배기 2(coupler #2)로 삽입하고, 신호의 증폭을 위한 오차 전력증폭기(error power amplifier: EPA)를 포함하며, 왜곡 신호의 상쇄를 위해 추출 왜곡 신호의 진폭, 역위상, 및 군지연 시간의 정합을 위해 MPCC 2로 사용되는 가변 감쇄기와 가변 위상변환기가 사용되는 루프 2(Loop 2);로 이루어진 음의 군지연 회로(negative group delay circuit: NGDC)를 이용한 교차 상쇄 선형 전력증폭기에 관한 것이다.

배경 기술

- [0002] 일반적으로 전력증폭기는 신호의 증폭 과정에서 소자의 비선형 동작으로 인해 입력 정보를 왜곡하면서 증폭한다. 따라서 통신 규격에 따른 선형성 기준을 만족하기 위해 여러 가지 선형화 기술을 사용한다.
- [0003] 오늘날의 통신시스템에서는 주로 디지털 전치왜곡 (digital pre-distortion: DPD) 기술을 이용해 전력증폭기의 비선형 특성을 디지털 신호 생성 시 이를 역으로 왜곡시켜 선형적인 출력을 얻는다.
- [0004] 하지만 차세대 통신 기술에서 더 높은 데이터 속도와 트래픽 분산을 위해 시스템의 대역폭이 증가하고 있는 추세이다. 이에 따라 디지털 전치왜곡 회로에서 소모되는 전력 및 회로 구현의 난이도 증가되고, 이로 인해 아날로그 선형화 기술이 다시 각광을 받고 있다.
- [0005] 광대역 아날로그 선형화 기술을 이용한 선형 전력증폭기는 주로 피드포워드 선형 전력증폭기 (feedforward linear power amplifier: FFLPA)와 교차 상쇄 선형 전력증폭기(cross cancellation linear power amplifier: CCLPA)가 있다.
- [0006] 종래의 CCLPA는 평형 전력증폭기(balanced amplifier)의 한 경로에서 왜곡 성분을 추출하여 평형 전력증폭기의 다른 경로에 인가함으로써 전력증폭기의 비선형 왜곡성분을 상쇄시키는 선형 전력증폭기이다.
- [0007] 이 선형화 과정에서 왜곡 성분을 추출하기 위한 루프(loop)와 평형 전력증폭기를 구성하는 증폭기들의 입출력 단에 군지연 선로(delay line)들을 삽입하는데, 이는 광대역(wideband)에 걸쳐 비선형 전달 특성을 선형화하기 위한 것이다.
- [0008] 하지만 군지연 선로는 삽입 손실(insertion loss)을 동반하기 때문에 CCLPA의 출력을 감소시켜 효율이 감소하게 된다.
- [0009] 또한 대출력 증폭기의 경우 군지연 선로는 대구경(large radius) 전송선로나 군지연 여파기로 구현되므로 CCLPA의 전체 크기가 커지는 단점이 있다.
- [0010] 아울러 군지연 선로들이 평형 전력증폭기를 구성하는 증폭기의 입출력 단에 부착되어 완전한 평형 증폭기 동작을 제한시킨다.
- [0011] FFLPA는 전력증폭기의 출력 신호에서 왜곡 신호를 추출하여 다시 출력 단에 동일 진폭 및 역위상으로 삽입하여 왜곡 신호를 제거함으로써 선형 출력을 얻는다.
- [0012] 상기 FFLPA도 왜곡 성분들을 추출하는 과정에서 군지연 선로가 사용되어 출력 및 효율 저하가 발생되는데 NGDC를 사용함으로써 출력과 선형성을 개선시킬 수 있다.
- [0013] 두 기법 모두 아날로그 선형화 기법에서 널리 사용되나, 비특허문헌 [1]에서 FFLPA와 CCLPA의 출력 및 효율을 비교했을 때 CCLPA가 FFLPA보다 높은 전력과 효율을 갖는 것으로 나타났다.

- [0014] 하지만 종래의 CCLPA도 FFLPA와 같이 군지연 선로들의 삽입 손실로 인해 출력이 저하되고 효율이 열화되는 문제점을 동일하게 갖고 있다. 또한 여러 개의 군지연 선로로 말미암아 전체 증폭기의 크기가 커지는 단점도 있다.
- [0015] 그리고 선행 발명(미국등록특허 제6734726호)에서는 발명 중의 일부로서 군지연 선로(Delay line)들이 제거된 회로를 제시하지만 주파수 대역폭이 매우 좁은 통신방식에서만 가능한 이상적인 경우이다.
- [0016] 따라서 이러한 문제점을 개선하기 위해 NGDC를 이용함으로써 군지연 선로(Delay line)들을 제거하여 CCLPA의 출력 및 효율을 개선하면서 회로 크기를 감소시키는 방법이 필요하게 되었다.
- [0017] 또한 NGDC를 이용하여 군지연 선로들을 제거시킴으로 이상적인 평형 전력증폭기 동작이 가능하게 하면서 선행 전력증폭기의 특성을 얻을 수 있는 방법이 필요하였다. 아울러 군지연 선로들을 제거시킴에 따라 종전의 CCLPA보다 출력 증가 및 효율 개선 특성을 얻으면서 회로의 크기를 줄일 수 있는 방법도 필요하였다.

선행기술문헌

특허문헌

- [0018] (특허문헌 0001) 한국등록특허 제1093632호
- (특허문헌 0002) 한국등록특허 제1629700호
- (특허문헌 0003) 한국등록특허 제1071844호
- (특허문헌 0004) PCT 국제특허출원 제KR/2010/007606호
- (특허문헌 0005) 미국등록특허 제6734726호

비특허문헌

- [0019] (비특허문헌 0001) H. Choi, Y. Jeong, J. S. Kenney, and C. Kim, "Cross cancellation technique employing an error amplifier," IEEE Microwave and Wireless Components Letters, vol. 18, no. 7 pp. 488-490. Jul. 2008.
- (비특허문헌 0002) [2] G. Chaudhary and Y. Jeong, "Low signal attenuation negative group delay network topologies using coupled lines," IEEE Transactions on Microwave Theory and Techniques, vol. 62, no. 10, pp. 2316-2324, Oct. 2014.

발명의 내용

해결하려는 과제

[0020] 본 발명은 상기와 같은 문제점을 해결하기 위하여 안출된 것으로서, 종래의 아날로그 선형화 기술인 교차 상쇄 선형 전력증폭기의 효율 개선 및 경량화를 위한 회로 구조를 갖는 음의 군지연 회로를 이용한 교차 상쇄 선형 전력증폭기를 제공하는 데 목적이 있다.

[0021] 또한, 본 발명은 종전 CCLPA의 군지연 선로들이 없어도 왜곡 신호의 추출 및 상쇄가 가능하고, 광대역에 걸쳐 선형 특성을 가지는 선형 전력증폭기를 제공할 수 있는 음의 군지연 회로를 이용한 교차 상쇄 선형 전력증폭기를 제공하는 데 목적이 있다.

과제의 해결 수단

[0022] 상기 과제를 해결하기 위하여 본 발명은 입력 신호의 일부가 전력분배기(power divider)에서 추출되고, MPA₁ 출력 신호의 일부가 분배기1(coupler #1)에서 추출되고, 추출된 두 신호들은 상쇄기(subtractor)를 이용해 신호 상쇄가 이루어지고, 입력 신호의 상쇄를 통한 왜곡 신호의 추출을 위해 입력 신호의 진폭, 역위상, 및 군지연 시간의 정합이 동시에 이루어지도록 신호의 진폭 및 위상 제어 회로로 MPCC 1의 가변 감쇄기와 가변 위상변환기가 사용되는 루프 1(Loop 1);과 추출된 왜곡 신호를 MPA₂의 출력 단의 분배기 2(coupler #2)로 삽입하고, 신호

의 증폭을 위한 오차 전력증폭기를 포함하며, 왜곡 신호의 상쇄를 위해 추출 왜곡 신호의 진폭, 역위상, 및 군 지연 시간의 정합을 위해 MPCC 2로 사용되는 가변 감쇄기, 및 가변 위상변환기가 사용되는 루프 2(Loop 2);로 이루어진 음의 군지연 회로를 이용한 교차 상쇄 선형 전력증폭기에 있어서, 상기 루프 1의 RF_{in} 에서 MPA₁을 거쳐 상쇄기로 전달되는데 걸리는 양의 군지연 시간을 상쇄하는 NGDC 1; 상기 MPA₁의 출력 단에서 추출되어 MPA₂의 출력 단으로 인입되는데 걸리는 군지연 시간을 소거하기 위해, 루프 2의 오차 전력증폭기에서 발생하는 양의 군지연을 상쇄하는 NGDC 2;를 포함한다.

[0023] 상기 음의 군지연 회로를 이용한 교차 상쇄 선형 전력증폭기의 출력전력(P_{CCLPA_NGDC})은 아래 수학적 식 1이다.

[0024] [수학적 식 1]

$$P_{CCLPA_NGDC} [dBm] = P_{conventional_CCLPA} [dBm] + I.L_{delay_line2} [dB]$$

[0025] (P_{conventional_CCLPA}와 I.L_{delay_line2}는 각각 종래 CCLPA의 출력 전력과 군지연 선로 2의 삽입 손실이다.)

[0026] 상기 루프 1, 2에서 신호의 진폭 및 위상을 제어하기 위해 MPCC를 삽입하고, 각 루프에 대역통과 회로를 사용하여 대역 외 신호를 제거한다.

[0027] 상기 MPCC는 루프 1, 2를 구성하는 두 경로의 신호 진폭과 역위상 정합을 위해 상기 전력분배기 출력단에 결합되는 가변 감쇄기1과 가변 위상변환기1과, 상기 NGDC 2와 오차 전력증폭기 사이에 결합되는 가변 감쇄기2와 가변 위상변환기2를 더 포함한다.

[0028] 상기 루프 1, 2에 대역통과 회로(BPF)를 사용하여 대역 외 신호를 제거한다.

발명의 효과

[0029] 상기와 같이 이루어지는 본 발명은 종래의 CCLPA 보다 큰 출력 전력 및 높은 효율을 가질 수 있다.

[0030] 또한 종래 CCLPA는 군지연 정합을 위해 사용되는 군지연 선로의 삽입 손실에 의해 전기적 특성 열화를 보이지만, 본 발명은 음의 군지연 회로를 사용함으로써 군지연 선로들을 모두 제거하여 전기적 특성을 개선하면서 전체 회로의 크기를 줄일 수 있다.

[0031] 또한 본 발명은 종래 발명에 비하여 평형 전력증폭기와 출력 스펙트럼들을 비교하였을 때 명확하게 선형화 효과를 보인다.

[0032] 또한 본 발명에 따라 제안된 음의 군지연 회로를 이용한 CCLPA는 차세대 이동통신용 회로에도 적용될 수 있다.

도면의 간단한 설명

[0033] 도 1은 종래 교차 상쇄 선형 전력증폭기 회로도의 구성도를 보여주는 도면이다.

도 2는 본 발명의 일실시예에 따른 음의 군지연 선로를 사용한 교차 상쇄 선형 전력증폭기 회로도를 보여주는 도면이다.

도 3은 본 발명의 일실시예에 따른 음의 군지연회로를 사용한 교차 상쇄 선형 전력증폭기 실제 회로를 보여주는 도면이다.

도 4는 본 발명의 일실시예에 따른 음의 군지연 회로 블록도를 보여주는 도면이다.

도 5는 일반적인 루프에서 두 경로의 시간 차에 의한 신호상쇄 특성을 보여주는 도면이다.

도 6은 본 발명의 일실시예에 따라 평형 전력증폭기와 비교하였을 때 명확하게 선형화 효과를 보이는 것을 보여주는 그래프 도면이다.

발명을 실시하기 위한 구체적인 내용

[0034] 본 발명을 충분히 이해하기 위해서 본 발명의 바람직한 실시예를 첨부 도면을 참조하여 설명한다. 본 발명의 실시예는 여러 가지 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상세히 설명하는 실시예로 한정되는 것으로 해석되어서는 안 된다. 본 실시예는 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위하여 제공되는 것이다. 따라서 도면에서의 요소의 형상 등은 보다 명확한 설명을 강조하기 위해서 과

장되어 표현될 수 있다. 각 도면에서 동일한 부재는 동일한 참조부호로 도시한 경우가 있음을 유의하여야 한다. 또한, 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 공지 기능 및 구성에 대한 상세한 기술은 생략한다.

- [0036] 이하 도 2와 도 3을 참고하여, 본 발명에 따른 음의 군지연 회로를 이용한 교차 상쇄 선형 전력증폭기(CCLPA)는 해석의 편의를 위해 루프 1(Loop 1)과 루프 2(Loop 2)로 나누어 설명한다.
- [0037] 루프 1(Loop 1)에서 입력 신호의 일부가 전력분배기(power divider; 10)에서 추출되고, MPA_1 (20)출력 신호의 일부가 분배기1(Coupler #1; 30)에서 추출되고, 추출된 두 신호들은 상쇄기(Subtractor; 40)를 이용해 신호 상쇄가 이루어지고,
- [0038] 입력 신호의 상쇄를 통한 왜곡 신호의 추출을 위해 입력 신호의 진폭, 역위상, 및 군지연 시간의 정합이 동시에 이루어지도록 신호의 진폭 및 위상 제어 회로 (MPCC1; magnitude and phase control circuit 1; 50)로 가변 감쇄기(variable attenuator, A_1 ;51)와 가변 위상변환기(variable phase shifter, ϕ_1 ;52)가 사용된다.
- [0039] 루프 2(Loop 2)에서 추출된 왜곡 신호를 MPA_2 (60)의 출력 단의 분배기 2(coupler #2; 70)를 통해 삽입하고, 신호의 증폭을 위한 오차 전력증폭기(EPA; error power amplifier; 80), 왜곡 신호의 상쇄를 위해 추출 왜곡 신호의 진폭, 역위상, 및 군지연 시간의 정합을 위해 MPCC 2(90)로 사용되는 가변 감쇄기(A_2 ;91), 및 가변 위상변환기(ϕ_2 ;92)가 사용된다.
- [0040] NGDC 1(101)은 상기 루프 1(loop 1)의 RF_{in} 에서 MPA_1 을 거쳐 상쇄기(Subtractor)로 전달되는데 걸리는 양의 군지연 시간을 상쇄하는 회로이다.
- [0041] 따라서 상쇄기(Subtractor)의 입력 단에서는 종래 CCLPA의 군지연 선로 1(Delay line 1)이 없이도 왜곡 신호만을 추출할 수 있다.
- [0042] NGDC 2(102)는 상기 MPA_1 (20)의 출력 단에서 추출되어 MPA_2 (60)의 출력 단으로 인입되는데 걸리는 군지연 시간을 소거하기 위해, 루프 2(loop 2)의 오차 전력증폭기(EPA)에서 발생하는 양의 군지연을 상쇄하는 회로이다.
- [0043] MPA_1 (20)의 출력 단에서 추출되어 MPA_2 (60)의 출력 단으로 인입되는데 걸리는 군지연 시간을 소거할 수 있어 종래에 사용하던 CCLPA의 지연 선로 2(Delay line 2)와 지연 선로 3(Delay line 3)를 제거할 수 있다.
- [0044] 가변 감쇄기1(A_1 ;51)과 가변 위상변환기1(ϕ_1 ;52)은 상기 루프 1(loop 1)를 구성하는 두 경로의 신호 진폭과 역위상 정합을 위해 전력분배기(10) 출력 단에 결합된다.
- [0045] 가변 감쇄기2(A_2 ;91)와 가변 위상변환기2(ϕ_2 ;92)는 상기 루프 2(loop 2)를 구성하는 두 경로의 왜곡 신호 진폭과 역위상 정합을 위해 상기 NGDC 2(102)와 오차 전력증폭기(80) 사이에 결합된다.
- [0046] 선행 발명(미국등록특허 제6734726호)에서는 발명 중의 일부로서 군지연 선로(Delay line)들이 제거된 회로를 제시하지만 주파수 대역폭이 매우 좁은 통신방식에서만 가능한 이상적인 경우이다.
- [0047] 도 4는 본 발명의 일실시예에 따른 음의 군지연 회로 블록도를 보여주는 도면이다.
- [0048] 도 5는 루프를 구성하는 두 경로의 신호들의 진폭과 역위상 정합이 완전하다는 조건에서 다른 군지연 시간(Δt)을 가질 때에 신호 상쇄 능력을 보인 그림이다.
- [0049] 상기 도면에서 군지연 시간 차이가 커질수록 신호를 상쇄시킬 수 있는 주파수 대역폭이 급격히 감소하는 것을 확인할 수 있다.
- [0050] 실제 선형 전력증폭기를 구성할 때 한 경로의 군지연 시간이 수 nsec 이상을 가지므로, 종래 발명과 같이 CCLPA에 군지연 정합을 하지 않으면 신호 상쇄 대역폭은 무시 가능하다.
- [0051] 상기 선행 발명에서도 이러한 전기적 특성을 인지하여 도 1과 같은 회로도들 제시하였다. 그러나 본 발명은 NGDC들을 사용함으로써 군지연 선로(Delay line)들이 없이도 광대역에 걸쳐 선형 특성을 가지는 선형 전력증폭기를 제공할 수 있다.
- [0052] 본 발명의 일실시예에 따른 CCLPA의 출력 전력(P_{CCLPA_NGDC})은 아래 수학적 식 1이다.

[0053] [수학식 1]

$$P_{\text{CCLPA_NGDC}} [\text{dBm}] = P_{\text{conventional_CCLPA}} [\text{dBm}] + I.L_{\text{delay_line2}} [\text{dB}]$$

[0055] ($P_{\text{conventional_CCLPA}}$ 와 $I.L_{\text{delay_line2}}$ 는 각각 종전 CCLPA의 출력 전력과 균지연 선로 2의 삽입 손실이다.)

[0056] 본 발명은 종전의 CCLPA보다 균지연 선로 2(delay line 2)의 삽입 손실만큼 출력을 증대할 수 있거나, 종전 CCLPA와 같은 출력을 낼 경우 더 큰 효율을 낼 수 있다.

[0057] 본 발명에 따른 CCLPA의 일실시예로서, 루프에서 신호의 진폭 및 위상을 제어하기 위해 MPCC를 삽입하고, 각 루프에 대역통과 회로(BPF; band pass filter; 201')를 사용하여 대역 외 신호를 제거한다.

[0058] 즉 본 발명의 일실시예로서, 도 3에 도시된 바와 같이 루프 1의 RF_{in} 에서 MPA_1 을 거쳐 상쇄기로 전달되는데 걸리는 양의 균지연 시간을 상쇄하는 NGDC 1(101')과, 상기 MPA_1 의 출력 단에서 추출되어 MPA_2 의 출력 단으로 인입되는데 걸리는 균지연 시간을 소거하기 위해, 루프 2의 오차 전력증폭기에서 발생하는 양의 균지연을 상쇄하는 NGDC 2(102')와 상기 루프 1을 구성하는 두 경로의 신호 진폭과 역위상 정합을 위해 전력분배기(10') 출력단에 결합되는 가변 감쇄기(51')와 가변 위상변환기(52')와 상기 루프 2를 구성하는 두 경로의 왜곡 신호 진폭과 역위상 정합을 위해 상기 NGDC 2와 오차 전력증폭기 사이에 결합되는 가변 감쇄기(91')와 가변 위상변환기(92')와 NGDC 1(101')과 상쇄기(40') 사이에 대역통과 회로(201')가 사용되고, 전력증폭기(80')의 출력단에 다른 대역통과 회로(202')가 사용된다.

[0059] 또한 도 4와 같이 비특허문헌 [2]에서 제안된 결합선로로 구현된 음의 균지연 공진기를 이용하여 구현할 수 있으며, 삽입 손실을 개선할 수 있다.

[0060] 또한 상기 NGDC 1과 NGDC 2는 음의 균지연 대역폭을 넓히기 위해 중심 주파수가 서로 다른 2개의 공진기들로 구현될 수도 있다.

[0061] 즉 본 발명은 일실시예로서, 루프 1의 RF_{in} 에서 MPA_1 을 거쳐 상쇄기로 전달되는데 걸리는 양의 균지연 시간을 상쇄하는 NGDC 1(101)과, 상기 MPA_1 의 출력 단에서 추출되어 MPA_2 의 출력 단으로 인입되는데 걸리는 균지연 시간을 소거하기 위해, 루프 2의 오차 전력증폭기에서 발생하는 양의 균지연을 상쇄하는 상기 NGDC 1(101)과 다른 음의 균지연 값을 갖는 NGDC 2(102)와 상기 루프 1을 구성하는 두 경로의 신호 진폭과 역위상 정합을 위해 상기 전력분배기의 출력단에 결합되는 가변 감쇄기 및 가변 위상변환기와 상기 루프 2를 구성하는 두 경로의 왜곡 신호 진폭과 역위상 정합을 위해 상기 NGDC 2와 오차 전력증폭기 사이에 결합되는 가변 감쇄기2와 가변 위상변환기2(50)로 이루어질 수 있다.

[0062] 도 6에 도시된 바와 같이, 일반적인 평형 전력증폭기(balanced power amplifier: BPA)와 본 발명에 따른 NGDC를 사용한 CCLPA의 출력 스펙트럼들을 보이고 있다. 사용된 신호는 WCDMA 2FA 하향대역 10 MHz 신호를 사용했으며, 각 전력증폭기의 평균 출력 전력은 35.2 dBm이다.

[0063] 따라서 본 발명에 따른 구조가 종래의 평형 전력증폭기와 비교하였을 때 명확하게 선형화 효과를 보이는 것을 알 수 있다.

부호의 설명

[0064] 1, 10 : 전력분배기

2, 20 : MPA_1

3, 30 : 분배기1

4, 40 : 상쇄기

5, 50 : 진폭 및 위상 제어 회로1

6, 60 : MPA_2

7, 70 : 분배기2

8, 80 : 오차 전력증폭기

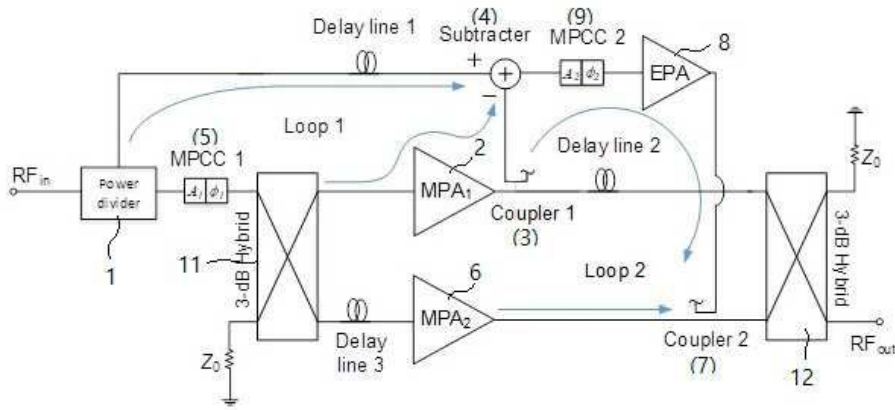
9, 90 : 진폭 및 위상 제어 회로2

10, 101 : NGDC 1

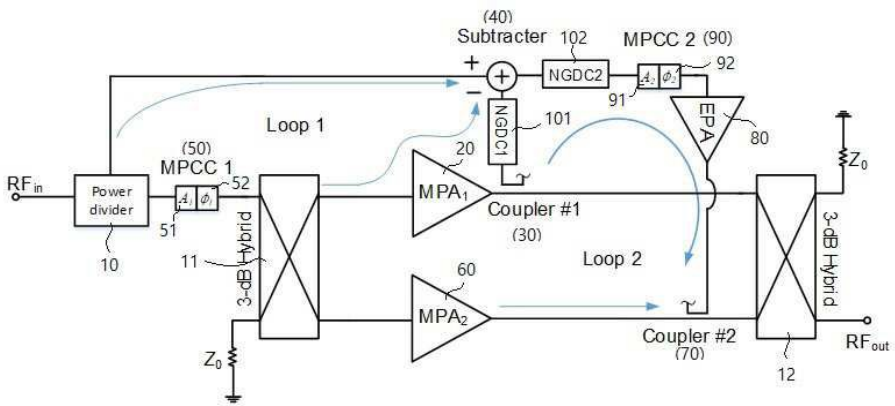
11, 102 : NGDC 2

도면

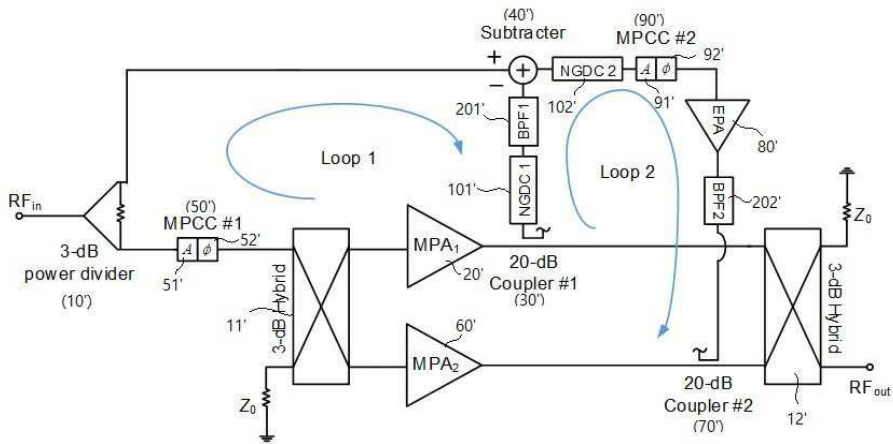
도면1



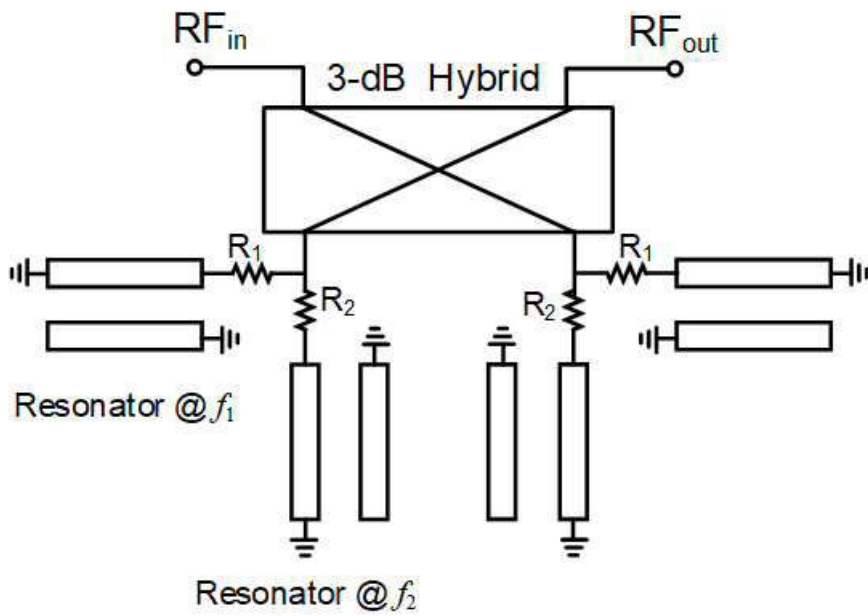
도면2



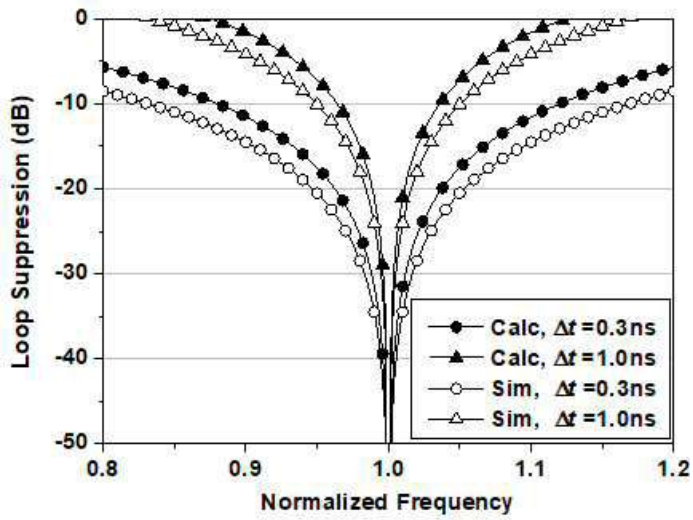
도면3



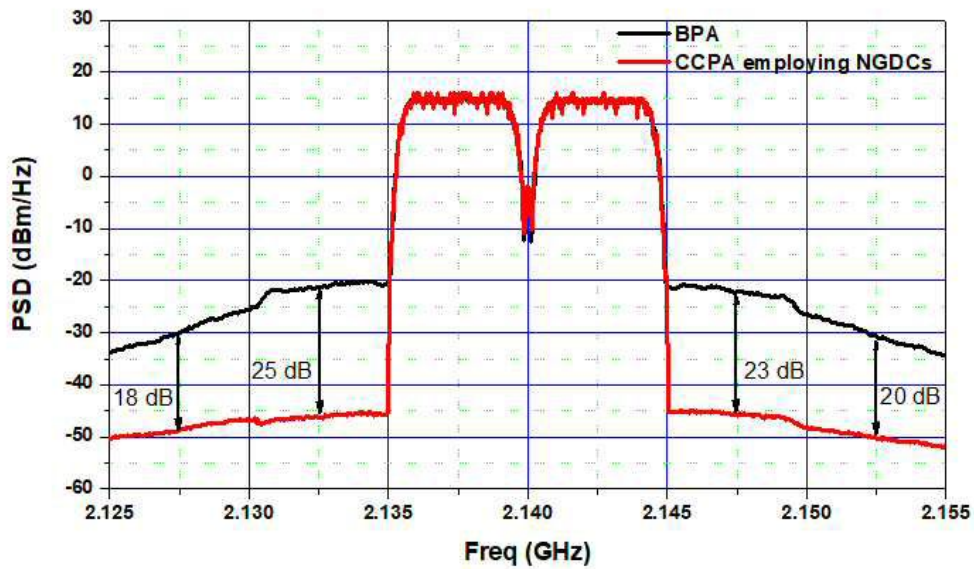
도면4



도면5



도면6



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 2항

【변경전】

 군지연 선로 2의

【변경후】

 군지연 선로 2(도 1의 Delay line 2)의